

HITACHI

No. 0103



SERVICE MANUAL MANUEL D'ENTRETIEN WARTUNGSHANDBUCH

CP2896TA
CP2896TAN
CP2996TA
CP2996TAN

CAUTION:

Before servicing this chassis, it is important that the service technician read the "Safety Precautions" and "Product Safety Notices" in this service manual.

ATTENTION:

Avant d'effectuer l'entretien du châssis, le technicien doit lire les «Précautions de sécurité» et les «Notices de sécurité du produit» présentés dans le présent manuel.

VORSICHT:

Vor Öffnen des Gehäuses hat der Service-Ingenieur die „Sicherheitshinweise“ und „Hinweise zur Produktsicherheit“ in diesem Wartungshandbuch zu lesen.

Data contained within this Service manual is subject to alteration for improvement.

Les données fournies dans le présent manuel d'entretien peuvent faire l'objet de modifications en vue de perfectionner le produit.

Die in diesem Wartungshandbuch enthaltenen Spezifikationen können sich zwecks Verbesserungen ändern.

TECHNICAL SPECIFICATIONS

TV System PAL/SECAM B,G
NTSC 3.58/4.43 MHz via Scart

Mains voltage 210..240 V, 50Hz

Power consumption 135W

Standby power consumption 0.2W

Picture tube
2896 TAN,2896 TA 71cm
2996 TAN,2996 TA 74cm

Sound output (RMS) 2 x 10W/8Ω

Connections

Front panel
Headphones 32..600Ω, 3.5mm
Audio/Video Audio in: 0..2V (RMS)
Video in: 1V/75Ω
Y/C in (SVHS)

Rear panel
A/V Audio in: 0..2V (RMS)
Audio out: 0..2V/10k (RMS)
Video in/out: 1V/75Ω
RGB in: 0.7V/75Ω (E1)
Y/C in: (SVHS)(E2)

Loudspeakers min 10W/8Ω (RMS)
Aerial 75Ω
Audio output 0..2V/10k (RCA)

SPÉCIFICATIONS TECHNIQUES

Système TV PAL/SECAM B,G
NTSC 3.58/4.43 MHz via Scart

Tension secteur 210..240 V, 50Hz

Consommation 135W

Consommation en veille 0.2W

Tube-image
2896 TAN,2896 TA 71cm
2996 TAN,2996 TA 74cm

Sortie sonore (RMS) 2 x 10W/8

Connexions

Sur le panneau avant
Ecouteurs 32..600Ω, 3.5mm
Audio/vidéo Entrée audio:0..2V(RMS)
Entrée video: 1V/75Ω
Entrée Y/C: (SVHS)

Sur le panneau arrière
Audio/video Entrée audio:0..2V(RMS)
Sortie audio: 0..2V/10k (RMS)
Entrée vidéo/out: 1V/75Ω
Entrée RGB: 0.7V/75Ω (E1)
Entrée Y/C: (SVHS)(E2)

Haut-parleurs min 10W/8Ω (RMS)
Antenne 75Ω
Sortie audio 0..2V/10k (RCA)

TECHNICAL SPECIFICATIONS

TV-Norm PAL/SECAM B,G
NTSC 3.58/4.43 MHz via Scart

Netzspannung 210..240 V, 50Hz

Leistungsaufnahme 135W

Leistungsaufnahme im standby-modus...0.2W

Bildröhre
2896 TAN,2896 TA 71cm
2996 TAN,2996 TA 74cm

Tonleistung (RMS) 2 x 10W/8Ω

Anschlüsse

An der Vorderseite
Kopfhörer 32..600Ω, 3.5mm
Audio/Video Audio ein: 0..2V (RMS)
Video ein: 1V/75Ω
Y/C ein (SVHS)

An der Rückseite
Audio/video Audio ein: 0..2V (RMS)
Audio aus: 0..2V/10k (RMS)
Video ein/aus: 1V/75Ω
RGB ein: 0.7V/75Ω (E1)
Y/C ein: (SVHS)(E2)

Lautsprecher min 10W/8Ω (RMS)
Antenne 75Ω
Audio-Ausgang 0..2V/10k (RCA)

December 1998

GB Contents

Repair instructions	1
Technical data	2
Block diagrams	3
SCART connector	6
Operating instructions	7
Initialization of NVRAM	7
Service adjustments	9
Schematic diagrams	19
Variable components	30
Spare parts	31

D Inhaltsverzeichnis

Reparatur-Anweisung	1
Technische Daten	2
Blockschaltbildern	3
SCART-Anschluß	6
Bedienungsanleitung	11
Initialisierung des NVRAM	11
Service-Einstellungen	12
Schaltpläne	19
Röhrenabhängige Bauteile	30
Ersatzteilleiste	31

F Contenu

Instructions de réparation	1
Données techniques	2
Diagrammes des blocs	3
Connecteur SCART	6
Mode d'emploi	15
Initialisation de la NVRAM	15
Réglages de service	16
Schéma	19
Composants variables	30
Pièces de rechange	31

GB Repair instructions

Service and repair work must be performed only in accordance with existing safety regulations!

Where a high current or mechanical stress exists solder connections have been strengthened by using eyelets. Such a connection must not be left without an eyelet.

Wiring has an effect on safety and EMC (Electro-Magnetic Compatibility). Therefore wires must be maintained in their original positions.

X-RAY REGULATIONS:

The picture tube type and the maximum permissible high-voltage ensure that the X-ray intensity of the receiver remains far below the permissible value. The high-voltage must not exceed the value mentioned on the type label. The high voltage is within the permissible limits when the operating voltage (U1) of the horizontal deflection stage is accurate. Refer to the section "Service adjustments".

ESD Warning

The receiver contains components that are sensitive to electrostatic discharge (ESD). Any servicing or repair work must be done in an environment where the components will not be subjected to ESD. Use a special grounding device!

D Reparatur-Anweisung

Bei Reparaturen gültige Sicherheitsvorschriften beachten!

Lötverbindungen die einem hohen Stromfluß oder starker mechanischer Beanspruchung unterliegen wurden durch Lötösen verstärkt. Eine derart belastete Lötverbindung darf nicht ohne Lötöse verbleiben.

Die Lage der Kabel hat einen Einfluß auf die Betriebssicherheit und das EMV Verhalten (Elektro Magnetische Verträglichkeit) des Geräts. Aus diesem Grund müssen die Kabel in ihrer originalen Position verbleiben.

RÖNTGENVERORDNUNG:

Der Bildröhrentyp und die maximal zulässige Hochspannung stellen sicher, daß die Röntgenstrahlenintensität des Fernsehgerätes weit unter dem zulässigen Wert bleibt. Die Kathodenhochspannung darf den auf dem Typenschild angegebenen Wert nicht überschreiten. Die Hochspannung liegt im zulässigen Bereich, wenn die Betriebsspannung (U1) der Horizontal-Ablenkstufe genau eingehalten wird. Siehe auch Abschnitt "Service-Einstellungen".

EGB-Warnung

Das Fernsehgerät enthält Bauteile, die empfindlich auf elektrostatische Entladung reagieren. Alle Service- oder Reparaturarbeiten sind in einer Umgebung durchzuführen, in der die Bauteile nicht elektrostatischer Entladung ausgesetzt sind. Verwenden Sie eine spezielle Erdungsvorrichtung!

F Instructions de réparation

Veillez observer les prescriptions de sécurité en vigueur lors de dépannage !

Les connections par soudure doivent être consolidées par des oeillets lorsqu'elles sont soumises à des tensions importantes et à des contraintes mécaniques. De telles connections doivent toujours être faites à l'emplacement d'un oeillet.

Le câblage a un effet sur la sécurité et les perturbations électromagnétiques. Pour cette raison les câbles doivent garder leur position originale.

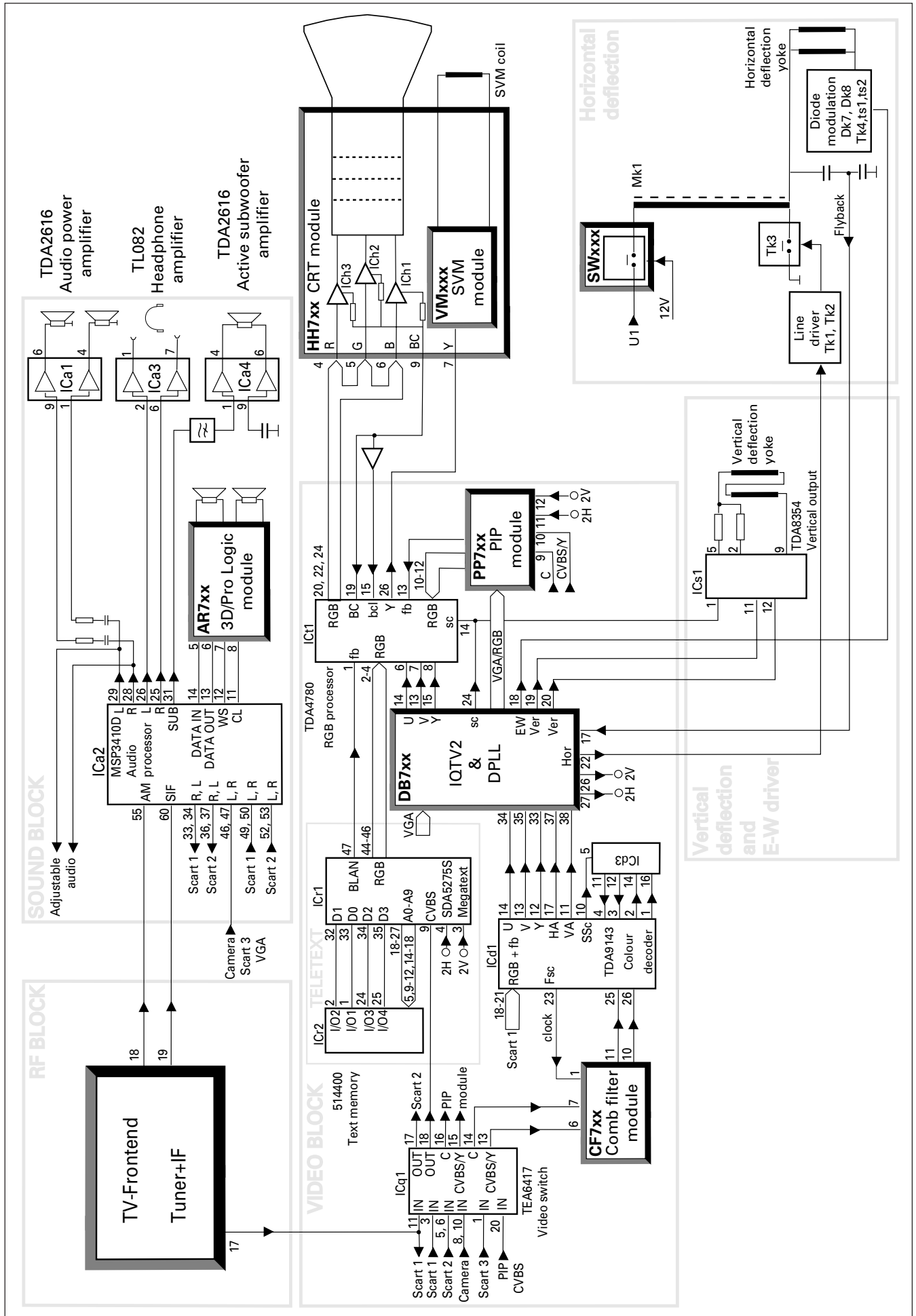
REGLEMENTATIONS RELATIVES AUX RAYONS X:

Le type du tube image et la haute tension maximale autorisée garantissent une intensité des rayons X du récepteur largement en deçà de la valeur autorisée. La tension ne doit pas dépasser la valeur indiquée sur la plaquette signalétique. La haute tension reste dans la fourchette autorisée lorsque la tension de service (U1) du niveau de déflexion horizontale est précise. Reportez-vous à la section "Réglages de service".

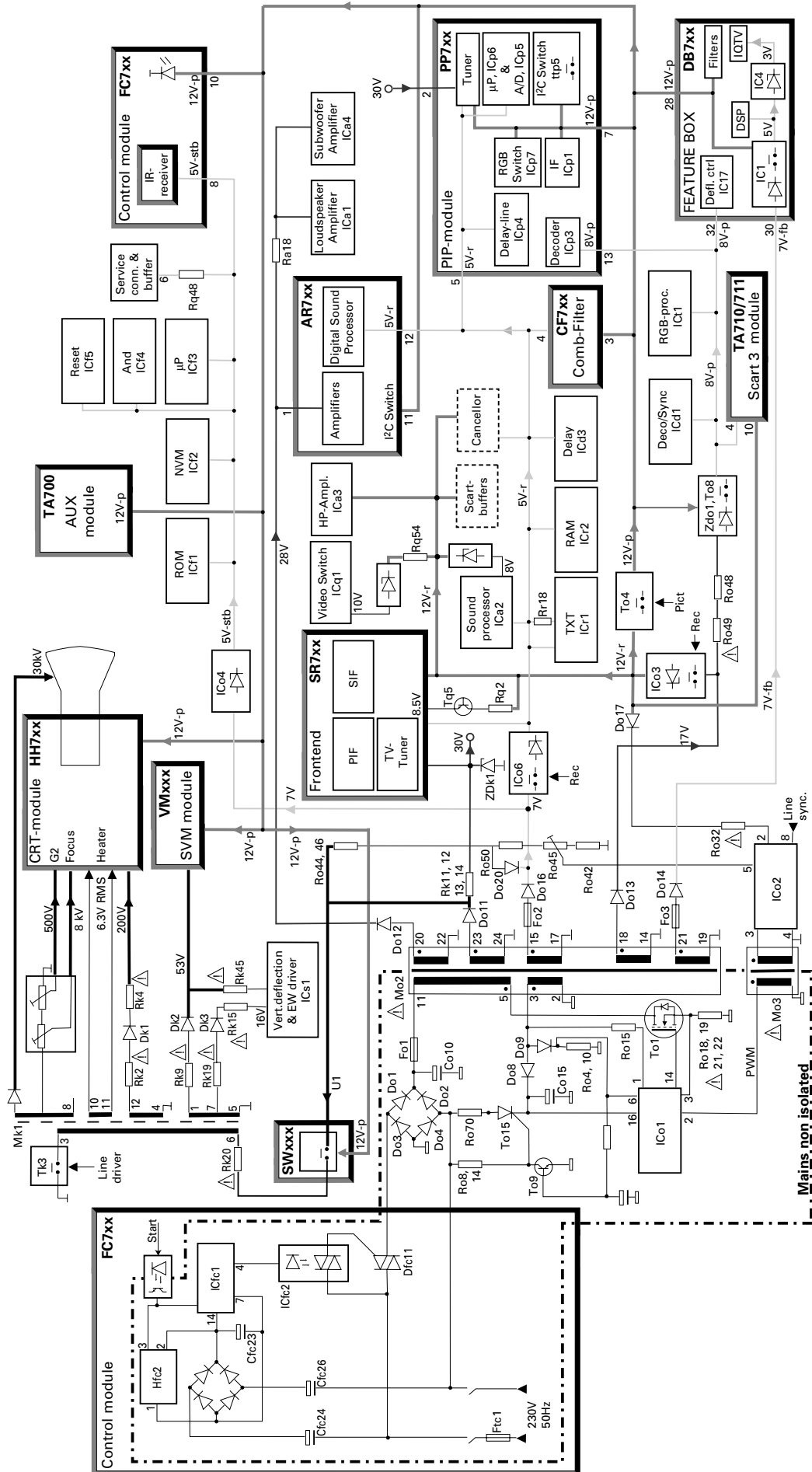
Avertissement DES

Le récepteur contient des composants qui sont sensibles aux décharges électrostatiques (DES). Toute opération de maintenance ou de réparation doit être effectuée dans un environnement où les composants ne seront pas exposés à des décharges électrostatiques. Utilisez un dispositif de mise à la terre spécial !

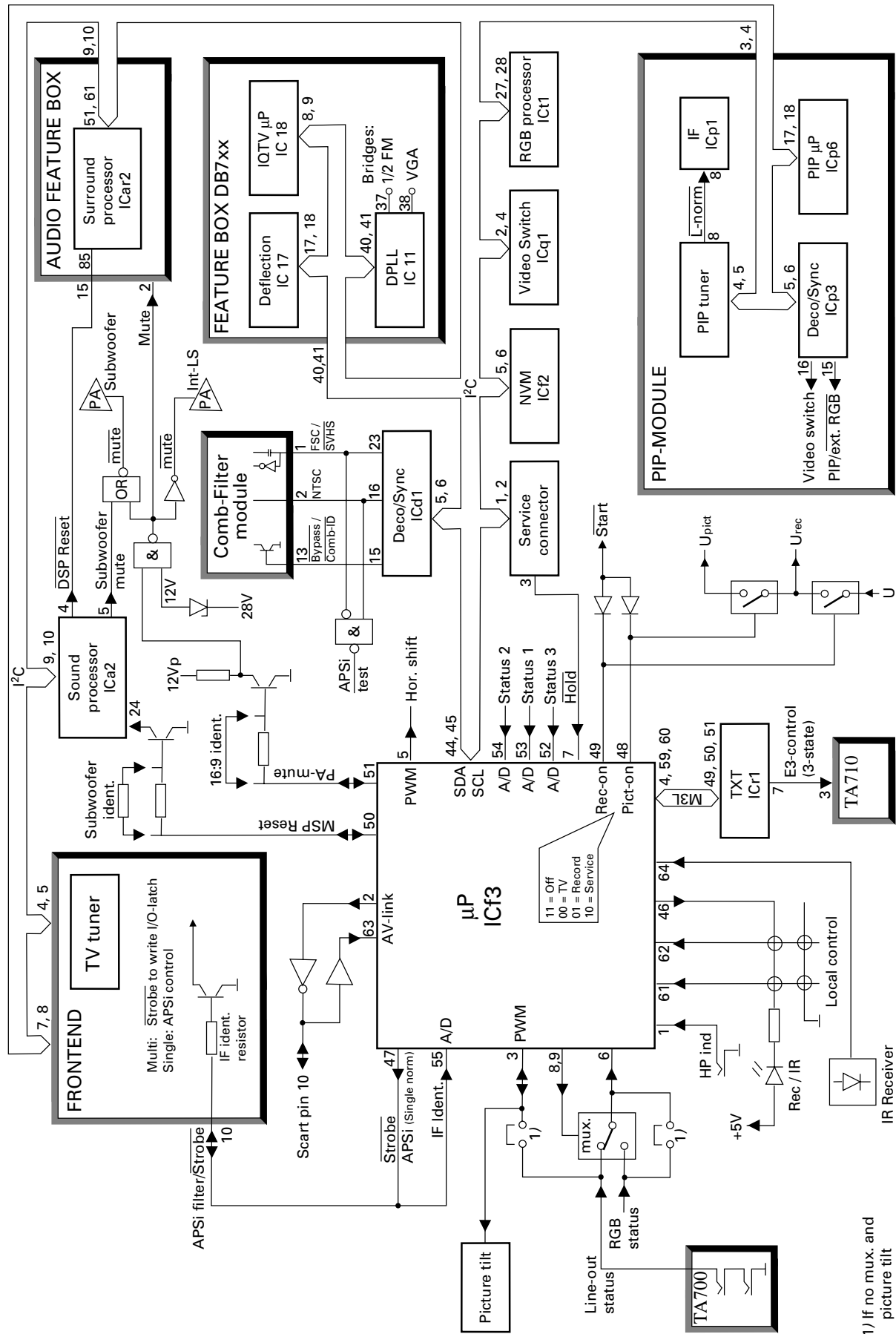
Technical data	Technische Daten	Données techniques	
System NTSC	Norm NTSC	Système NTSC	PAL/SECAM B, G 3.58/4.43 MHz via Scart
Mains power Consumption ¹⁾ In stand-by	Netzanschluß Leistungsaufnahme ¹⁾ Im Bereitschaft	Alimentation Consommation ¹⁾ En mode veille	210...240 V, 50 Hz 135 W (normal) 0.2 W
Frequency range	Frequenzbereich	Gamme de fréquences	48.25 - 855.25
Sound output (RMS) Subwoofer ²⁾	Tonendstufe (RMS) Subwoofer ²⁾	Sortie sonore (RMS) Subwoofer ²⁾	2 x 10 W/8 14 W/16
Connections on the front panel Headphones Audio/Video	Anschlüsse an der Vorderseite Kopfhöreranschluß Audio/Video	Connexions sur le panneau avant Ecouteurs Audio/Vidéo	32...600 , 3.5 mm Audio in: 0...2 V (RMS) Video in: 1 V/75 Y/C in (SVHS)
Connections on the rear panel Audio/Video	Anschlüsse an der Rückseite Audio/Video	Connexions sur le panneau arrière Audio/Vidéo	Audio in: 0...2 V (RMS) Audio out: 0...2 V/10 k (RMS) Video in/out: 1 V/75 RGB in: 0.7 V/75 (E1) Y/C in (SVHS) (E2)
External loudspeakers	Externe Lautsprecher	Haut-parleurs externes	min 10 W/8 (RMS)
Antenna	Antennenanschluß	Antenne	75
Audio output ²⁾	Audio Ausgang ²⁾	Sortie audio ²⁾	0...2 V/10 k (RCA)
Specifications are subject to change.	Änderungen vorbehalten	Les Spécifications peuvent être modifiées sans préavis.	
¹⁾ Depends on option modules and picture tube. ²⁾ Not in all models.	¹⁾ Abhängig von Optionsmodulen und Bildröhre. ²⁾ Nicht in allen Modellen.	¹⁾ Dépend des modules option-nels et du tube cathodique. ²⁾ Pas sur tous les modèles.	



Block diagram, power supply



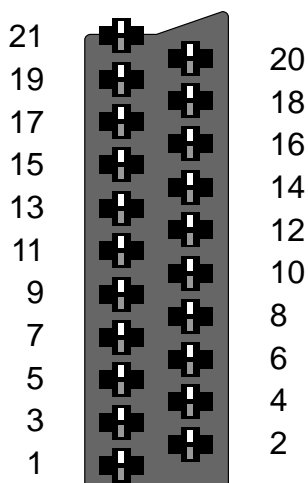
Block diagram, control signals



1) If no mux. and picture tilt

SCART connector

Pin	SCART 1	SCART 2
1	Audio out R, 0.5V (RMS)	Audio out R, 0.5V (RMS)
2	Audio in R, 0.5V (RMS)	Audio in R, 0.5V (RMS)
3	Audio out L, 0.5V (RMS)	Audio out L, 0.5V (RMS)
4	Ground, audio	Ground, audio
5	Ground, blue	Ground
6	Audio in L, 0.5V (RMS)	Audio in L, 0.5V (RMS)
7	RGB input, blue	S-video chrominance out (copy from front AV-connector)
8	Switching voltage 0 - 2V : no function 4.5 - 7V : 16/9 picture ratio 9.5 - 12V : normal picture ratio	Switching voltage 0 - 2V : no function 4.5 - 7V : 16/9 picture ratio 9.5 - 12V : normal picture ratio
9	Ground, green	Ground
10	-	AV-link bidirectional control logical 0: max 0.6V logical 1: min 3.7V
11	RGB input, green	-
12	-	-
13	Ground, red	S-video ground (chrominance)
14	Ground	Ground
15	RGB input, red	S-video input (chrominance)
16	Switching voltage, RGB blanking	-
17	Ground, video	Ground, video
18	Ground	Ground
19	Video out, 1 Vpp/75	Video out, 1 Vpp/75 S-video out (luminance)
20	Video in, 1 Vpp/75 RGB sync in	Video in, 1 Vpp/75 S-video in (luminance)
21	Screen	Screen

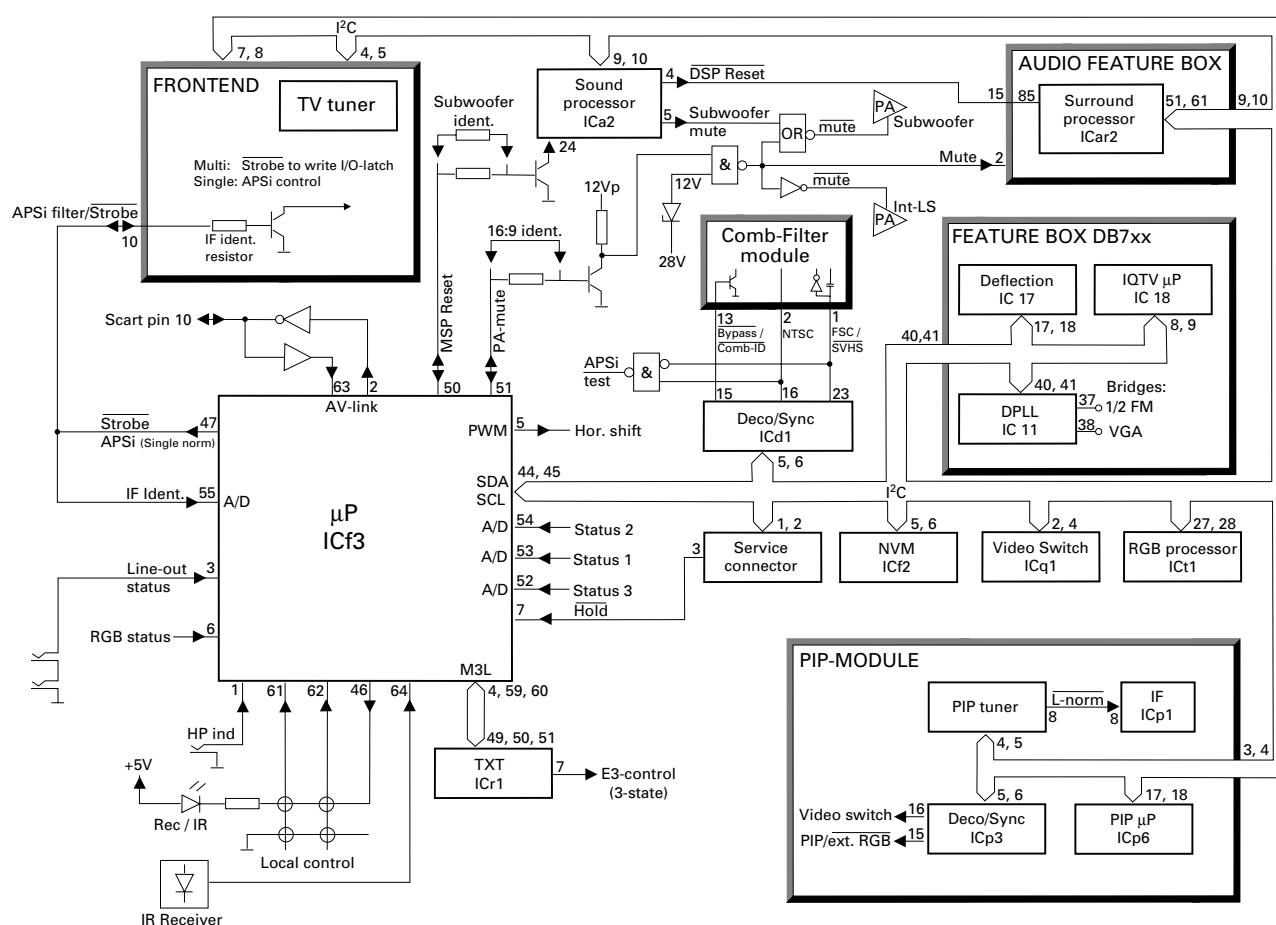


MULTI CONCEPT MX/MZ-CHASSIS

TV

1997

GB Functional description



Contents

MICROPOWER CONTROL	1
POWER SUPPLY	2
RECEPTION	4
AUDIO SECTION	5
Multistandard Sound Processor, ICa2	5
Audio Power Amplifier, ICa1	6
Headphone Amplifier, ICa3	6
VIDEO SECTION	7
Video Matrix Switch, ICq1	7
Colour Decoder / Sync Processor, ICd1	7
Baseband Delay Line, ICd3	8
Feature boxes, DB7**	9
Feature box DB711	9
Analog to digital converter, ic9	9
Field memory, ic14	10
IQTV2 circuit, ic18	10
DPLL1 circuit, ic11	11
Deflection Controller TDA9151, IC17	11
Feature box DB710	12
Feature box DB700	12
RGB Video Processor TDA4780, ICt1	13
CRT module	14
Teletext	15
Megatext SDA5273, ICr1	15
Megatext Plus SDA5275, ICr1	15
Teletext memory DRAM, icr2	15
CONTROL SYSTEM	16
Program memory, ICf1	16
NV RAM, ICf2	16
Microcontroller, icf3	16
AND gate, icf4	17
Reset circuit, icf5	17
DEFLECTION STAGES	19
Vertical deflection	19
Horizontal deflection	19
OPTIONS	21
Active Subwoofer	21
Comb Filter module, CF700	21
Scan Velocity Modulation module, VM600	22
Audio Feature modules, AR700 and AR701	23
Adjustable Audio Output module, TA700	27
Scart 3 + VGA-audio module, TA710	27
Scart 3 module, TA711	27
Picture in Picture module, PP700	27
Picture in Picture module, PP710	28

MICROPOWER CONTROL

General

The power supply is equipped with a micropower system in order to reduce the standby power consumption to about <200 mW (generally about 5 to 7W). To make this possible, the power supply and degaussing circuitry must be totally switched off in standby mode.

The only active part in standby mode is the micropower circuitry which gets its supply voltage from a capacitive coupled rectifier. This provides the supply voltage for required circuits, like a "primary" infrared receiver and a gate circuit. When the TV set is switched on with the mains switch or with a remote control command, the gate circuit drives a triac switch to conduct, thereby supplying the mains voltage to the power supply. At the same time, the micropower circuit controls the main microcontroller via optocouplers.

The micropower circuitry is not mains isolated.

Start up via the mains switch

The mains voltage is fed directly to the micropower circuit which is located on the local control panel.

The circuitry gets its supply voltage from the capacitive coupled rectifier consisting of capacitors Cfc24/26, resistors Rfc23/24 and diodes Dfc6...Dfc9. The supply voltage is regulated to +5.1 V by zener diode DZfc1 and fed onwards to the infrared receiver Hfc2, NAND gate ICfc1 and LED Dfc16, that indicates the mains voltage is connected.

The TV set can be switched on by firmly pressing the mains switch. An additional contact in the mains switch causes a low level pulse on pins 12/13 of the NAND gate. Due to the effect of the NAND gate, pin 11 as well pins 1/2 are high and pin 3 is low. Moreover, pins 5/6 go low via diode dfc13 and pin 4 is high.

Transistor tfc1 conducts and grounds the cathode of the internal LED of the optocoupler ICfc2. The optocoupler then conducts, feeding the mains voltage via resistor Rfc27 to the gate of triac Dfc11. The triac's gate gets sufficient starting voltage via Rfc27, after which resistor Rfc26 is connected in parallel with Rfc27 to keep the triac in a conducting state. Thus the mains voltage is available for the power supply.

Furthermore, when the TV set is started up with the mains switch, a low level on pin 3 causes transistor tfc6 to conduct. Also the optocoupler ICfc4 conducts grounding the cathode of diode dfc18. This indicates to the microcontroller that the TV set is being powered on via the mains switch. Because the additional contact causes only a momentary low on pins 12/13, capacitor Cfc31 discharges and pins 12/13 go high. Because of this, both transistor tfc6 and optocoupler ICfc4 stop conducting.

The power supply then generates the supply voltages, the microcontroller is reset, and its pins 48 (Pict_on) and 49 (Rec_on) go low. This causes optocoupler ICfc3 to conduct holding pins 5/6 low in order to keep triac Dfc11 conducting.

If the mains switch is not pressed firmly, the additional contact may not close for a long enough time and the TV set may remain in standby mode.

Start up / switch off by the remote control

The TV set must, of course, be in standby mode. This means the optocoupler ICfc3 does not conduct, voltage level on pins 5/6 is high and capacitor Cfc28 is charged via rfc29. When the remote control command is given, pulses on pin 3 of the "primary" IR receiver discharge capacitors Cfc28. Thus pins 5/6 of the NAND circuit go low via diode Dfc12, and the mains triac starts to conduct. The command must be sufficiently long that the power supply has time to generate supply voltages, the microcontroller has time to be reset and to receive the start command from the "secondary" IR receiver. After that, pins 48 (P_on) and 49 (Rec_on) of the microcontroller go low and optocoupler ICfc3 conducts and holds pins 5/6 of the NAND gate low.

When the TV set is switched off by the remote control, pins 48 (P_on) and 49 (Rec_on) of the microcontroller go high. Therefore all Vp and Vr voltages will be switched off (horizontal and vertical stages are switched off), the optocoupler ICfc3 will not conduct causing pins 5/6 of the NAND gate to go high. Optocoupler ICfc2 does not conduct and resistor Rfc27 will be disconnected from the gate of Dfc11. Resistor Rfc26 alone is not able to feed enough holding voltage to the mains triac, and so the power supply will be disconnected from the mains.

POWER SUPPLY

General

The power supply is a mains isolated Switched Mode Power Supply (SMPS). Mains isolation is provided by transformer Mo2. The mains voltage is full wave rectified by diodes Do1...Do4 and filtered by capacitor Co10. This filtered voltage is fed to the switching transistor To1 (MOSFET) via the primary winding 11 and 5 of the mains transformer. During the conduct period of To1, energy is stored in the primary winding 11 and 5. When transistor To1 is switched off, energy flows to the secondary windings. These pulses are rectified by secondary diodes Do11...14 and Do16. The following supply voltages are available from the secondary diodes:

+130 V	horizontal output stage
+28 V	audio amplifier, subwoofer and audio feature module
+17 V	+12 V regulator IC, horizontal driver and +8 Vp regulator transistor
+7 Vfb	feature box
+7 V	+5 Vr regulator IC, +5 Vstb regulator IC and +7 V supply voltage

Note! The voltage levels may vary depending on the picture tube. More detailed values are given in the schematic diagrams.

The power supply is designed to operate with a master-slave structure, where the power supply controller ICo1 operates as a slave and the secondary controller ICo2 as a master. The power supply operates in the following ways in different operation states:

Start up phase:

Power supply is in the primary regulation mode (burst mode). Power supply controller ICo1 generates independent drive pulses for switching transistor.

Normal on mode:

Power supply is in the secondary regulation mode (master-slave mode). Secondary controller ICo2 generates drive pulses for power supply controller ICo1. The secondary controller is synchronized to the line flyback pulses.

Recording mode:

Power supply is in the secondary regulation mode (master-slave mode). Secondary controller ICo2 generates drive pulses for power supply controller ICo1. The secondary controller is synchronized to the free running frequency of an internal oscillator.

Switching off to standby phase:

Power supply is in the primary regulation mode (burst mode). Power supply controller ICo1 generates independent drive pulses for switching transistor.

Standby mode:

Due to the micropower control, the power supply is completely without voltage.

The power supply also has a so-called Service standby mode. The receiver is in service standby mode when it is set to the service mode by pressing the buttons -vol/ menu, TV and i, but has not yet been switched on by pushing the TV button twice. In this mode, the power supply operates (burst mode), but the Vr and Vp voltages are not available.

Start up

After switching on with the mains switch and when triac Dfc11 (on the micropower control) conducts, capacitor Co15 is charged via resistors Ro9, Ro11, Ro70 and thyristor To15. When the start up voltage on pin 16 of ICo1 reaches the switch-on threshold level, that is typically +11.8 V, the IC starts to operate.

The supply voltage of ICo1 is then taken from the secondary winding pin 3 via half wave rectifier diode Do8. The same winding pin 3 supplies pulses to diode Do9. This voltage drives transistor To9 to conduct putting the gate of thyristor To15 to ground, and thus switching off the start up voltage.

The same DC voltage that is taken from the cathode of diode Do9 is used for power supply regulation. The DC voltage is fed via the filter network Ro26, Co28 and Ro24 to the error amplifier input pin 6. The error amplifier compares the input voltage with the internal reference (+2.5 V) and varies the burst time. Resistors ro4 and ro10 set the voltage to the proper level.

Furthermore, a possible magnetization state of the transformer can be checked by sensing the voltage across the winding pins 3 and 2. This information is fed via resistor Ro15 to pin 1 of ICo1, and if the specified level is exceeded, the output pulses can not be generated.

To avoid magnetization during the start up phase, the operation will be started with the internal oscillator's operating frequency divided by four, until voltage on soft start pin 9 reaches a level of +2.5 V. The operating frequency of the oscillator is set to 27 kHz by capacitor Co16 on pin 10 and resistor Ro3 on pin 11.

Drive of the switching transistor

Pin 14 outputs square wave pulses to the gate of switching transistor To1. Resistors Ro2 and Ro13 limit the gate current. To1 conducts during the positive going pulse and drain current flows through the primary winding pins 11 and 5. The clamping circuit Do6, Co11 and Ro16 limits the voltage spikes, when To1 is switched off. The source of To1 is connected to ground via current limiting resistors Ro18, Ro19, Ro21 and Ro22. Information about the current is fed to pin 3 of the power supply controller.

After the start up phase, when supply voltages are generated, the power supply moves from primary regulation mode to secondary regulation mode. The microcontroller will be reset and it's pins 48 (P_on) and 49 (R_on) will go low. The R_on line allows, via transistor to6, regulator ICo3 to feed +12 Vr out. This voltage is fed to the secondary controller ICo2 (pin 2) and the IC starts operation.

The capacitor co58 on pin 1 operates as a soft-start capacitor causing the duration of soft-start to be around 20ms.

The free running frequency of an internal oscillator is set to 32 kHz by capacitor co72 on pin 7 and resistor Ro37 on pin 8. In normal operating mode, the oscillator is synchronized using the line flyback pulses via differentiator Ck6, resistor ro38 and diode Do18.

In recording mode, the Vp voltages are switched off and therefore the line flyback signal is not available. In this case, the oscillator is in free running mode.

The internal pulse width modulator is controlled by comparing the input voltage level on pin 5 with the oscillator's sawtooth pulses. Pin 5 is connected to +140 V via resistor

network Ro46, Ro44, Ro50, Ro45 and Ro42. By adjusting the trimmer potentiometer Ro45, the output voltages of the power supply can be controlled.

In order to avoid excessive decreasing of +7 V during recording mode, diode Do20 is connected from the above mentioned resistor network to +7 V. If the voltage level drops too far below +7V, the diode conducts causing a lower voltage level on pin 5. The controller then generates wider pulses from the output pin 3 and the supply voltages of the power supply will be increased.

The width modulated drive pulses are output from pin 3 via the pulse transformer Mo3 to power supply controller pin 2. The rising edge of the drive pulse causes the switching transistor to conduct and the falling edge, which is synchronized to the line flyback pulse, switches off the transistor.

This arrangement prevents disturbances caused by the switching-off time of the transistor from upsetting the screen display.

Under / over voltage detection

The power supply controller has an internal monitor for both under and over supply voltage on pin 16. The under voltage threshold level is typically +8.5 V. Lower voltage levels disable the output pulses.

The over voltage threshold is typically +15.7 V. Higher voltage levels disable the output pulses.

Restarting requires that the voltage level on pin 16 is first decreased below +8.5 V and then increased to +11.8 V, unless the voltage level across capacitor Co22 has reached +2.5 V. In this case, circuit operation is completely stopped.

Current limitation

As mentioned above, the source of the switching transistor is connected to ground via resistor network Ro18/19 and Ro21/22. The measured result is fed to input pin 3 of ICo1. A double threshold system is used, first limitation level (+0.6 V) against momentary overloads and a second limitation level (+0.8 V) against very strong overloads.

When the first threshold level is reached, the switching transistor stops conducting until the end of the period, and a new pulse is needed to start it conducting again. During the first threshold period, capacitor Co22 is charged. If the voltage level across Co22 reaches +2.5 V, the output will be disabled. This system is called "repetitive overload protection". However, if the overload subsides before +2.5 V is reached, capacitor Co22 will be discharged and normal operation will continue.

If a very powerful overload causes the second threshold level to be reached, the output will immediately be disabled.

If the power supply stops because the first threshold has been exceeded, it can be restarted by decreasing the supply voltage on pin 16 below +8.5 V and then increasing it to +11.5 V.

If, however, the power supply stops due to exceeding the second threshold, the circuit is stopped completely and can only be restarted with mains switch.

Regulators / voltage switches

ICo4 regulates the +5 V_{stby}, which is always available when the power supply is operating. Due to the micropower system, there are no voltages available in standby mode.

ICo3 regulates the +12 V_r and +12V_p supply voltages. The +12 V_r is available in normal and recording modes, but not in service standby mode.

The +12 V_p can be switched off in recording mode by the microcontroller. In this case the P_{on} line is high, transis-

tor to7 conducts and transistor to4 is switched off.

The +12 V_p and +8 V_p voltages are absent, and therefore the horizontal deflection stage will not operate.

ICo6 regulates +5 V_r, which is available in normal and recording modes, but not in service standby mode.

The tuning voltage +30 V for the tuner is regulated from +130 V. The circuitry is located in the horizontal output stage consisting of resistors Rk11...Rk114 and zener diode ZDk1.

RECEPTION

Tuner / IF

The tuner is known as a "front end" type tuner. This is because the tuner block and IF block are both combined into one complex module pack. Channel tuning is based on a frequency synthesis system with a frequency range of 48.25 MHz up to 855.25 MHz including cable and hyperband channels.

In multistandard sets, both blocks are IIC-bus controlled. The IIC-bus of the IF block has only one-way data traffic. In BG standard sets, the IF block has no IIC-bus interface.

Multistandard IF block

The filter SAW501 operates as a picture signal filter. The video IF signal is input to pins 28 and 29 of the Picture / Sound Detector circuit, IC501.

The filters SAW502 (BG, DK, I, Nicam L) and SAW503 (Nicam L', L/L' AM) operate as sound signal filters. Standard selection takes place by diodes D501 and D502 and transistors T502 and T503. Transistors are driven via pin 7 of the IIC-bus expander (IC502). Sound IF signals are input to pins 31/32 (BG, DK, I, Nicam L), 1/2 (Nicam L') and 4/5 (AM L/L') of the detector circuit.

The AGC adjustment is implemented by potentiometer P501 on pin 26. Pins 20 and 21 are inputs for standard switches, which are controlled by the IIC-bus expander. The AFC information is output from pin 11 to the tuner block and onward to the IIC-bus. The AGC control is taken from pin 27 to the tuner block. The tank coil of the FPLL-VCO is connected between pins 14 and 19. This PLL reference coil determines the stopping place of the found channel during the APSi. The VCO frequency is two times video carrier frequency, $2 \times 38.9 \text{ MHz} = 77.8 \text{ MHz}$. For L' standard requirements, the VCO frequency is switched to 67.8 MHz ($2 \times 33.9 \text{ MHz}$) using standard switches on pins 20 and 21, and adjusted by the potentiometer P502 on pin 20.

The sound IF signal is output from pin 8 and the AM signal from pin 7 onwards to the Multistandard Sound Processor, ICa2.

The CVBS signal is output from pin 23 to the group delay correction circuitry and amplifiers consisting of transistors T504...514 and associated components. The CVBS signal is then fed to the Video Matrix Switch, ICq1.

The circuit IC502 operates as an IIC-bus expander (8-bit shift register). Transistors T515 and T516 disconnect the IIC-bus from pins 2 and 3 in order to eliminate possible malfunctions on the IIC-bus when the TV set is switched off. Standard definition takes place via the IIC-bus. The microcontroller sends data to the shift register, the outputs change their state according to the data and strobe pulse latches the outputs. The strobe pulse (high level) is taken from the microcontroller (pin 47) to the base of transistor T517 and onward to pin 1. In addition, the base resistor (R556) of T517 operates as an indication of the installed IF module version. The value of this resistor depends on the module version. Pin 55 of the microcontroller senses the voltage across this resistor and the base-emitter junction, and thus identifies the module version.

The data from the microcontroller determines the outputs of IC502 according to the transmission standard as follows:

Standard	pin 11	pin 13	pin 14	pin 7	pin 6	pin 5
B/G	H	L	L	L	H	H
I, K1	H	L	H	H	H	H
D/K	H	H	L	H	H	H
L	H	H	H	L	L	L
Lí	H	H	H	H	H	L

Pin 11 drives input switches of IC501. Pin 11 is normally high. During channel search (APSi), pin 11 goes low. A low level on pins 27 and 28 of IC501 switches the video IF signal (instead of sound IF) to the FPLL block. This is because the video band is wider, and thus channel finding is more reliable.

Pin 13 drives the group delay correction circuitry

Pin 14 selects the output of the group delay correction circuitry

Pin 7 selects the correct sound IF filter

Pin 6/5 drives input switches and AM demodulator, selects right modulation and VCO frequency

BG standard IF block

The BG IF block is considerably simpler than the multistandard IF block. Only one SAW filter is used and the IIC-bus expander, group delay correction circuitry as well as several switching transistors are omitted.

During channel search (APSi), the microcontroller (pin 47) drives transistor T501 to conduct. A low level on pins 27 and 28 switches the video IF signal to the FPLL block in order to make channel finding more reliable.

Tuning

Tuning is based on the APSi system (Automatic Program search, Sorting and channel identification). The naming and identification of the channels takes place using either the PDC (Program Delivery Code), VPS (Video Programming System), NI (Nation Identification) or Teletext header. Channel sorting is country dependant, and is therefore determined beforehand by the software.

AUDIO SECTION

- Sound Processor
- Audio Power Amplifier
- Headphone Amplifier

Multistandard Sound Processor, ICa2

General

The MSP3410D is a single-chip Multistandard Sound Processor which uses CMOS technology. The circuit is controlled by the microcontroller via the IIC-bus.

The sound processor performs simultaneous digital demodulation and decoding of NICAM-coded TV stereo sound, as well as demodulation of FM-mono TV sound. As an alternative, a two carrier FM system (according to the German terrestrial specs, A2 stereo), or satellite specs can be processed by the sound processor.

All FM modulated signals over the range 0.2 MHz to 9.0 MHz can be handled.

The sound processor can select the audio signal source, convert analog audio signals into digital form, de-emphasize in several ways - including Wegener Panda 1, 50/75 μ s and J17, perform digital FM-identification decoding and dematrixing, and perform digital baseband processing. It can also control the volume separately for loudspeaker and headphones, control bass, treble, graphic equalizer and balance, perform pseudo stereo and basewidth enlargement, as well as convert digital audio signals into analog form by using fourfold oversampled D/A-converters. This provides an audio spectrum from 20 Hz to 16 kHz with a S/N ratio of 85 dB.

The sound processor requires an 18.432 MHz crystal, whose nominal free running frequency should be no more than ± 1 kHz, which means a tolerance of ± 0.005 %.

An audio signal to the sound processor can be taken from the IF-section, scart 1, scart 2, or scart 3 / camera / VGA-

audio connector (or scart 4) sources. The source is internally selected in the sound processor. The processed audio signal is fed to several outputs such as loudspeaker amplifier / adjustable audio output module, headphone amplifier, scart 1 and scart 2 connectors (scart 3 optional). The circuit also has a separate output for a subwoofer amplifier including highpass filters for the loudspeaker outputs and lowpass filters for the subwoofer output as integrated into the chip. The upper barrier frequency is programmable from 50 Hz to 400 Hz in 10 Hz steps. Depending on the programming of the upper barrier frequency, the lower barrier frequency for the loudspeaker channels will also be changed automatically.

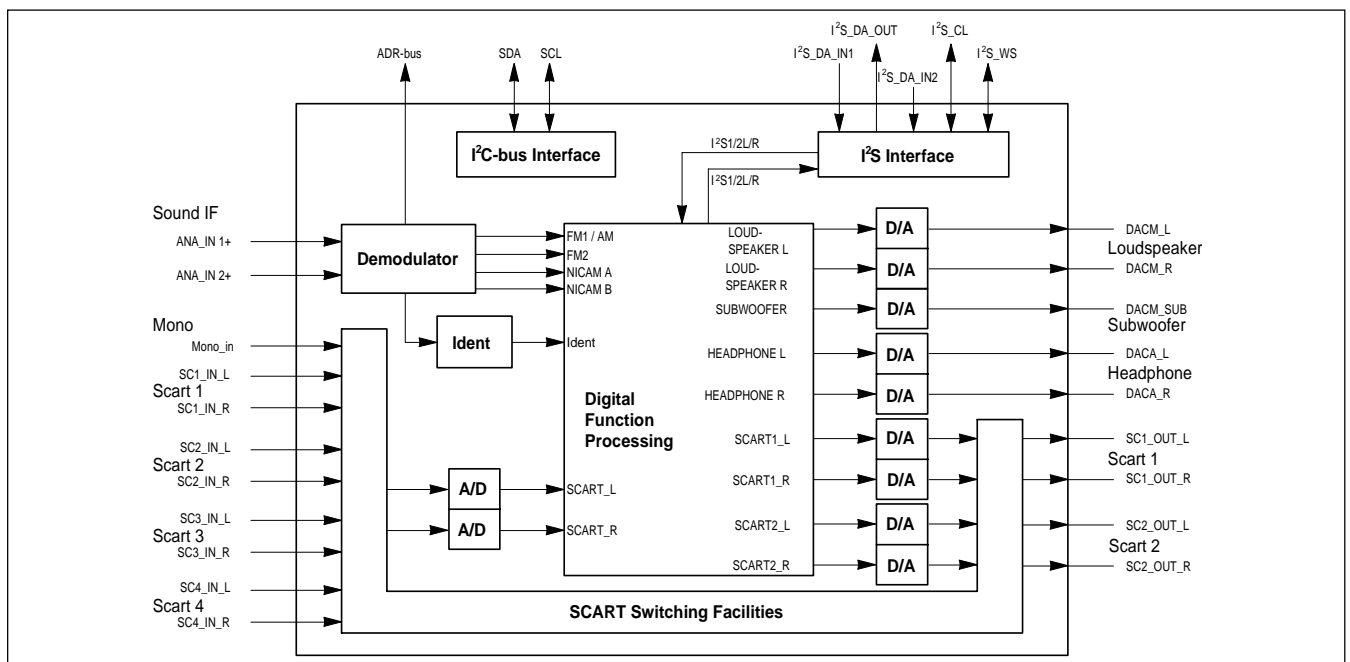
An IIS-bus interface with two data inputs is available for optional audio feature purposes.

In some TV versions, the sound processor may be of type MSP3400. The only difference is that MSP3400 cannot identify or process Nicam signals.

The sound processor is split into three functional blocks:

- Demodulator and decoder section
- Digital signal processing section performing audio baseband processing
- Analog section containing two A/D-converters, nine D/A-converters and channel selection

The simplified block diagram below shows the architecture of the MSP3410D.



The pin functions of the Sound Processor:

Pin	I / O	Short description
04	O	DSP reset and off by low
05	O	Subwoofer off by high
07	I	Supply voltage +5 Vr
09	I	I2C clock (SCL)
10	I/O	I2C data (SDA)
11	O	I2S clock
12	I/O	I2S word select
13	O	I2S data output
14	I	I2S1 data input
18		Digital power supply +5Vr
19		Digital ground
20	I	I2S2 data input
24	I	MSP power-on-reset by low
25	O	Headphone output, R
26	O	Headphone output, L
28	O	Loudspeaker output, R
29	O	Loudspeaker output, L
31	O	Subwoofer output
33	O	Scart output, R
34	O	Scart output, L
36	O	Scart output, R
37	O	Scart output, L
38		Volume capacitor (Hp amp)
39		Analog power supply +8.0V
40		Volume capacitor (Ls amp)
42		Analog ref V, high V part
43	I	Scart input, L
44	I	Scart input, R
46	I	Camera input, L
47	I	Camera input, R
49	I	Scart input, L
50	I	Scart input, R
52	I	Scart input, L
53	I	Scart input, R
54		Ref voltage IF A/D conv
55	I	Mono input
57		Analog power supply +5Vr
58	I	IF input 1
59	I	IF input common
60	I	IF input 2 (Tuner SIF)
62	I	Crystal osc 18.432 MHz
63	O	Crystal osc

Audio Power Amplifier, ICa1

The audio signal is amplified using the TDA2616 dual channel hi-fi Audio Power Amplifier. The amplifier has a built-in protection system against short circuits and thermal overloads. It also has an internal input mute circuit that silences unwanted signals at the inputs when the TV set is switched on or off.

Audio signals from the audio processor are fed to pins 1 (L) and 9 (R). A logical low on pin 2 mutes the amplifier. The mute control signal is taken from the microcontroller (pin 51) via transistors ta10, ta4 and ta3. A high level on microcontroller pin 51 causes a so-called "central mute", which means that each of the audio power amplifiers are muted.

The supply voltage +28 V is taken from the power supply to pin 7. The amplified audio signals for the loudspeakers are output on pins 4 (L) and 6 (R). The impedance of the internal loudspeakers is 8 ohm and the minimum imped-

ance of external speakers is 8 Ohm. When an external speaker is used, the internal speaker is muted by a switch in the speaker connector.

Headphone Amplifier, ICa3

Audio signals from the sound processor are fed to the inverting input pins 2 (L) and 6 (R). Outputs to the headphone connector are from pins 1 (L) and 7 (R). There is a switch in the headphone connector that informs the microcontroller (pin 1), that headphones are connected. The headphone volume control then appears in the OSD in addition to the loudspeaker volume control.

VIDEO SECTION

The video section is divided into the following functional blocks:

- Video Matrix Switch / Scarts
- Colour Decoder / Sync Processor
- Baseband Delay Line
- Feature Boxes
- RGB Video Processor
- CRT module
- Teletext

Video Matrix Switch, ICq1

The TEA6417 is an IIC-bus controlled signal switch, which makes it possible to switch 8 input sources to 6 outputs. Each output can be connected to only one input, but one input may be connected to several outputs. The bandwidth is 15 MHz and nominal gain from input to output is 6.5 dB. All switching possibilities are controlled via the IIC-bus using pins 2 (SDA) and 4 (SCL). The circuit operates with +10 V supply voltage, that is fed to pins 9 and 12. The +10 V is regulated from +12Vr by zener diode Zdq1.

The inputs and outputs are connected as follows:

Input	Signal	Source
1	CVBS	Scart 3
3	CVBS	Scart 1
5	C	Scart 2
6	CVBS / Y	Scart 2
8	CVBS / Y	Cam connector
10	C	Cam connector
11	CVBS	Tuner
20	CVBS	PIP tuner
Output	Signal	Target
13	CVBS / Y	Decoder / Comb filter
14	C	Decoder / Comb filter
15	CVBS / Y	PIP module
16	C	PIP module
17	CVBS / Y	Scart 2
18	CVBS	Teletext

Scart 1

Scart 1 is fully connected, thus RGB input is also available from it. In RGB mode, the fast blanking signal from scart pin 16 is fed to the colour decoder pin 18 and via tq3, tq4, Cq32 (and NAND gate icf4-4) to the microcontroller pin 6. The RGB status signal is fed to the microcontroller in order to activate the correct H-shift setting. It also enables the colour decoder to choose the input between the RGB signal and the processed YUV signals. Selection takes place by a switch block in the colour decoder via the IIC-bus.

Scart 1 has a fixed output connection for the Tuner CVBS from scart pin 19 via transistors tq9 and Tq2.

Scart 1 also operates as an AV-link connector. The AV-link output is from microcontroller pin 2, onward via transistor tq7 and scart pin 10. The AV-link input is from the same scart pin, onward via diode dq4 and transistor tq8 to the microcontroller pin 63. The AV-link system makes it possible to transfer data between the TV set and e.g. a video recorder.

The system is based on the "P50" standard and enables, for example, transferring of channel tuning information and EPG (Electrical Program Guide) programming.

Scart 2

In addition to the S-VHS input possibility, scart 2 is designed to output the S-VHS signals, which are taken from the camera connectors. Output of the luminance signal takes place via transistor Tq1 and chrominance via tt3 and tt2.

Scart 2 also operates as an AV-link connector.

Scart 3 (option)

Scart 3 is an optional connector having the same characteristics as scart 1.

More detailed information can be found in the section entitled "Options, TA710".

Colour Decoder / Sync Processor, ICd1

General

The TDA9143 is an IIC-bus controlled, alignment-free PAL / NTSC / SECAM decoder / sync processor.

The colour decoder is able to process CVBS as well as Y / C signals. The internal fast switch can select either the Y signal with the UV input signals, or YUV signals made up of RGB input signals.

The sync processor provides a two level sandcastle pulse (SC), a horizontal sync pulse (HA) and a vertical sync pulse (VA).

Input switches

The circuit has a two pin input for the CVBS (pin 26) or Y / C (pins 26 and 25) input signals. Selection between the signals is carried out using the IIC-bus.

RGB colour matrix

The RGB signals from scart 1 (or scart 3) connector are fed to input pins 19 (B), 20 (G) and 21 (R). The RGB colour matrix converts RGB signals into the YUV signals. The desired input signal, between the converted YUV and decoded YUV signals, is selected by the fast switch. This switch is controlled by the fast blanking signal on pin 18.

Luminance processing

From the input pin 26, the CVBS / Y signal is fed via the Y clamp circuit to the gyrator-capacitor type notch filters, including adjustable luminance delay and chrominance trap. The luminance delay compensates the delay, that is caused by the external baseband delay line for the UV signals. The chrominance trap can be switched to 4.43 MHz (PAL / NTSC), 4.28 MHz (SECAM) or 3.58 MHz (NTSC). Switching is controlled by the standard identification circuit. PAL Y, NTSC 3.58 Y (from the comb filter) and S-VHS Y signals bypass the chrominance notch filters in order to preserve the signal bandwidth. The bypass function takes place automatically via the IIC-bus in S-VHS mode and in PAL / NTSC 3.58 reception, if the comb filter is installed. After the chroma trap, the Y signal is fed to the switch stage and is output from pin 12 to the feature box module.

Chrominance processing

From the input switch, the CVBS / C signal is fed through the ACC amplifier to the chroma bandpass filters. PAL C, NTSC 3.58 C (from the comb filter) and S-VHS C signals bypass these bandpass filters in order to preserve the signal bandwidth. The chrominance is then fed to the standard identification and colour decoder stages.

The standard identification circuit is a digital circuit with no external components. The crystals on pins 30 (reference crystal) and 31 (second crystal) specify the standards which can be decoded. The IIC-bus is used to indicate which crystals are connected in order to allow proper setting of the calibration circuits. The components on pin 29 form the colour PLL filter. Pin 23 drives the multiplexer circuit on the comb filter module to bypass the S-VHS signals in the multiplexer ("L") or to feed signals onwards to the comb filter IC ("H"). In addition, pin 23 feeds out the subcarrier frequency (Fsc) of the active crystal to the comb filter IC. After the PAL / NTSC demodulator and SECAM demodulator, the signals are taken to the switch stage, which is controlled by the standard identification circuit. Finally, the colour difference signals are output to the baseband delay line from pins 2 (U) and 1 (V).

From the delay line, the colour difference signals are input to pins 3 (U) and 4 (V), then onward to the switch stage and output from pins 14 (U) and 13 (V) to the feature box module.

Sync processing

The CVBS / Y signal is fed through the sync separator to the horizontal PLL and to the vertical sync separator.

The main part of the sync circuit is a 432 x fH (6.75 MHz) oscillator. This frequency is divided by 432 to lock phase discriminator 1 to the incoming signal. The time constant of the loop can be selected to be either fast, auto or slow mode using the IIC-bus. The free-running frequency of the 432 x fH oscillator is determined by a digital control circuit, which is locked to the active crystal. Components on pin 24 form the horizontal PLL. The phase loop can be unlocked using the IIC-bus. This is to facilitate On Screen Display information. If there is no input signal or a very noisy signal, the phase loop can be unlocked to give a stable line frequency and hence a stable OSD.

The horizontal sync pulse (HA) is fed from the timing generator via output pin 17 to the Feature box.

The vertical divider system has a fully integrated vertical sync separator. The divider can handle both 50 Hz and 60 Hz systems. It can either determine the field frequency automatically or it can be set to the desired frequency using the IIC-bus.

The divider system consists of a line counter, a norm counter, a timing generator, and a controller. The system operates at 432 times the horizontal line frequency. The line counter receives enable pulses at twice the line frequency, so that it counts two pulses per line. This count result is fed to the controller. The controller can be in one of three count states, norm, near-norm or no-norm. When the counter is in the norm state, it automatically generates a vertical sync pulse (VA) from the timing generator. The VA pulse is fed via output pin 11 to the Feature box.

Noise detector

The decoder includes an internal S/N ratio detector, which was originally designed to control the PALplus signal process. During PALplus transmission, the detector measures the S/N ratio of the input signal on pin 26. When the S/N ratio is over 20dB, the signal is accepted and the helper signal is processed in the PALplus decoder. If the S/N ratio is below 20dB, the PALplus process is disabled, and the

signal is handled as a normal signal. The detector can be activated / deactivated via the IIC-bus.

In the Multi Concept, this detector is used to drive the APSi system to accept or bypass tuned channels. The detector controls the APSi system via the IIC-bus and it works only during the automatic channel search.

However, the limit value of the bypass criteria (fixed 20dB) seems to be too high for this purpose and therefore the APSi may be too sensitive and bypass channels that it could accept.

On the other hand, if the tuning system does not include any signal level qualification, the APSi system accepts all multiple and very noisy channels.

Utilizing an existing detector and avoiding both above mentioned disadvantages, an external LPF filter is implemented. This filter is located at the luminance / CVBS input (pin 26) and it consists of switching transistors tq10 / tq11, and RC filter rq85 / cq45.

The RC-coupling is designed to filter high frequencies (noise) from the luminance / CVBS signal.

When the S/N ratio of the tuned signal on pin 26 is over 20dB, the filter is not activated, but the channel is accepted as such and it will be memorized and named.

If the S/N ratio is below 20dB, the detector causes a high level on output pin 16. Transistor tq11 conducts and the RC-coupling filters noise from the signal improving the S/N ratio at the decoder input. When this noise-filtered signal is fed to the detector, it considers the S/N ratio to be better than it actually is and accepts it. This channel will be memorized, but not named.

In any case if the S/N ratio of the noise-filtered signal stays below 10dB, it will be completely bypassed.

By tricking the detector in this way, the signal level qualification is reduced from an S/N ratio of 20dB to 10dB.

Sandcastle

The sync part also generates a two level sandcastle pulse (SC) from pin 10. This pulse is used only for timing purposes in the baseband delay line.

IIC-bus

The decoder / sync processor is connected to the IIC-bus via pins 5 (SCL) and 6 (SDA). The bus address is determined by connecting pin 22 to +8 V.

The output pin 16 controls the filtering method of the comb filter, either PAL 4.43 MHz ("L") or NTSC 3.58 MHz ("H").

The input / output pin 15 is primarily used to detect whether the comb filter module is installed or not, by checking the transistor tc3 (base-collector junction). In addition, pin 15 controls the comb filter IC to be in the filtering mode ("H") or in the internal bypass mode ("L").

Baseband Delay Line, ICd3

General

The circuit TDA4665 is a delay line which requires no adjustments. It includes two colour difference comb filters and uses switched capacitor techniques.

Each comb filter consists of an undelayed signal path and a 64 µs delayed signal path.

In PAL mode, comb filters operate as a geometric adder to carry out the requirements of PAL demodulation.

In NTSC mode, the comb filters suppress cross-colour interference.

In SECAM mode, the circuit repeats the colour difference signal on consecutive horizontal scan lines.

Functional description

The colour difference signals are fed to input pins 14 (U) and 16 (V). First the signals are clamped, and then they are fed through pre-amplifiers to the undelayed / delayed signal paths. All the switching signals needed in the delay process are generated from the 3 MHz master clock frequency. This frequency is divided from the internal 6 MHz VCO, which is line-locked by the sandcastle pulse (SC). The SC pulse taken from the sync processor is fed to pin 5. Delay processed colour difference signals are fed through the addition circuits to the output buffers and are finally output on pins 12 (U) and 11 (V).

Feature boxes, DB7**

The feature box has two main functions, to perform the conversion of the 50 (60) Hz scan to 100 (120) Hz scan format and to improve the picture quality. Depending on the

chassis version, there are few different feature boxes with more or less variant features. The whole signal processing takes place digitally and all functions are controlled using the IIC-bus.

The basic version is DB711, that contains only one 3 Mb field memory. The use of one field memory allows the conversion of 50 (60) Hz video to 100 (120) Hz video, but not line flicker and noise reduction or vertical zooms. This module is designed for TV sets with a 4:3 picture aspect ratio.

The DB710 version contains two 3 Mb field memories, so noise reduction and vertical zooms are also implemented. The DB710 (and DB700) are designed for TV sets with both a 4:3 and 16:9 picture aspect ratio.

The DB700 version is called a "full feature" version, that includes in addition to the features of DB710, a signal interface in accordance with the VGA standard.

Feature	DB711	DB710
100 Hz flicker reduction	- field repetition	- median interpolation
Line flicker reduction	- no	- median filter
Noise reduction (Y / C)	- no	- motion adapted
Aspect ratio conversions		
- horizontally	- ± 12.5 and ± 25 %	- ± 12.5 and ± 25 %
- vertically	- by deflection	- $+12.5$ and $+25$ % (by DSP)
- hor picture position	- fully programmable	- fully programmable
- lift	- no	- yes
- side panels	- programmable grey	- programmable grey
Picture sharpening	- vertical / horizontal peaking	- vertical / horizontal peaking
	- CTI, LTI	- CTI, LTI
Histogram equalizing	- yes	- yes
Still picture	- yes	- yes
A/D conversion	- YUV 4:1:1 signal format	- YUV 4:1:1 signal format
	- 8-bit per component	- 8-bit per component
- sampling rate	- input signal amplitude adapted	- input signal amplitude adapted
D/A conversion	- 13.5 MHz	- 13.5 MHz
	- Y-component 9-bit	- Y-component 9-bit
- sampling rate	- U- and V-component 8-bit	- U- and V-component 8-bit
Field memory	- 20.25 MHz ... 36 MHz	- 20.25 MHz ... 36 MHz
Synchronizing	- 3 Mbit (1 x 3 Mbit)	- 6 Mbit (2 x 3 Mbit)
	- line locked operation	- line locked operation
	- crystal based sync generation	- crystal based sync generation

Feature box DB711

The main components of the DB711 are an A/D converter, field memory (FM), picture quality improvement circuit (IQTV2), digital phase locked loop (DPLL) and deflection controller.

Y, U and V inputs

The luminance (Y) and colour difference signals (U and V) are taken from the colour decoder to the module connector Q101, pins 6 (Y), 7 (U) and 8 (V). Each signal is first amplified and then low pass filtered. After that the signals are fed via buffer transistors to the A/D-converter, pins 63 (Y), 50 (U) and 31 (V).

Analog to digital converter, ic9

Analog to digital conversion is carried out using A/D-converter circuit TLC5733, which contains three separate 8-bit A/D-converters. Each signal is clamped using the horizontal sync pulse (HOUT1) on pin 55 and then converted to digital form. The converters sample the input signals at a 13.5 MHz sampling rate. The sampling frequency is taken

to pin 56. The converters are controlled by reference voltages REFH (pins 61, 52 and 29) and REFL (pins 1, 48 and 33).

If an overflow is detected, the reference voltages will be either increased or decreased. Information about a possible overflow is taken from the luminance output data (pins 6...13) and fed to the NAND gate ic28 and onward to the DPLL circuit ic11 pin 42 (ADC_OVFL). The circuit detects the overflow data and if necessary, it changes the width of the pulses on pin 43 (PWM_REF). These width modulated pulses are fed to the low pass filter consisting of transistors t1 and t9 and associated capacitor network. The low pass filter generates both voltages, the REFH and REFL, and these are fed to control the A/D-converters.

After converters the signals are fed to the output format multiplexer, which is controlled by pins 45 (mode1) and 46 (mode0). The combination of a logical low on both pins causes the output data format of the YUV signals to be 4:1:1. The U and V components have 1/4 of the signal strength of the Y component.

The luminance data bus (pins 6...13) is eight bits wide and the chrominance data bus (pins 17...20) four bits wide.

Field memory, ic14

Field Memory 1 (FM1) is a 3 Mb, high-speed Dynamic Random Access Memory (DRAM). The circuit is used as a memory circuit in the 50 to 100 Hz upconversion and in certain horizontal zoom functions.

The luminance and chrominance data are input from the A/D-converter to pins 2...13.

The write operation is performed using the input control signals RSTW (reset write) on pin 15, SWCK (serial write clock) on pin 14 and ENW (enable write) on pin 16. The write clock (SWCK / CLK27_1) frequency is 27 MHz. The ENW signal enables memory writes only on every second clock cycle.

The read operation is performed using the read output control signals RSTR (reset read) on pin 22, SRCK (serial read clock) on pin 23 and ENR (enable read) on pin 21.

The read clock (SRCK / CLK) frequency varies depending on the picture format. The IQTV is able to generate the following formats (implementation depends on the feature box and software):

36.000 MHz	=	- 25.0 %	hor compression
30.375 MHz	=	- 12.5 %	hor compression
27.000 MHz	=	0	no compression / no expansion
23.625 MHz	=	+ 12.5 %	hor expansion
20.250 MHz	=	+ 25.0 %	hor expansion

All vertical compression is carried out by the deflection processor. Only the DB710 and DB700 comprise the vertical expansions (FM2 required).

The luminance and chrominance data are output to the IQTV2 circuit from pins 24...35.

IQTV2 circuit, ic18

The main function of the IQTV2 (Improved Quality TV) circuit is to perform the upconversion, which reduces the flicker caused by interlacing. The idea of the upconversion is that the interlaced 50 (60) Hz scan will be converted to a 100 (120) Hz scan format.

The flicker reduction (upconversion) in the DB711 module is based on a field repetition algorithm for both luminance and chrominance signals. The field repetition method uses zero degree interpolation and displays the original field twice.

The characteristics of the IQTV2 make it possible to utilize both the horizontal and vertical zoom functions, but because there is only one field memory, only the horizontal zoom can be utilized. Thus all vertical zoom functions are performed using the deflection controller circuit.

Picture sharpening is implemented not only in the horizontal direction, but also in the vertical direction. The peaking stage consists of high pass and band pass filters which emphasize the middle band frequency range where most of the details and edges are located.

The colour transient improvement (CTI) makes the slopes of colour edges steeper by controlling the inputs between the delayed, look ahead and current chrominance signals. A new feature in the CTI of the IQTV2 circuit is that the center of the transient always stays at the same point in comparison with input and output signal.

The luminance transient improvement (LTI) is performed by taking the 3-point median of three intermediate signals, peaked, maximum and minimum. As a result of the LTI process the luminance transients are made steeper without any undershoots or overshoots.

The histogram equalization (HEQ) system is designed to carry out an automatic contrast enhancement. The system

is designed to give a uniform histogram for the output picture signal, changing the original pixel values for new ones using a non-linear mapping. As a result, both under and over contrasted picture signals are equalized to have the desired contrast and gray level distribution.

Pin description of ic18:

Pin	Symbol	Description
1, 5-12, 14-15, 18-21, 100	D0_FM1... D15_FM1	Data input from FM1
2, 16, 41, 56, 81	+3.3V (core)	Power supply for logic
3, 28, 61, 77	+5V (i/o, AC)	Power supply for I/O
4, 29, 60,	69	GND (i/o, AC)
		Ground for I/O
13, 34, 78	+5V (i/o, DC)	Power supply for I/O
17, 37, 57, 79, 99	GND (CORE)	Ground for CORE
22	FM1_ENR	Read enable, FM1
23	FM1_ENW	Write enable, FM1
24	FM1_RSTW	Reset write, FM1
25	HS_IPLL	Horizontal sync
26	FM2_ENW	Write enable, FM2
27	FM2_ENR	Read enable, FM2
30	CLK_IPLL (CLK27_1)	System input clock (27 MHz)
31	CLK_OPLL (CLK)	System output clock
32	VS_50	Vertical sync
33	HS_OPLL	Output horizontal sync
35	HS32	32 kHz horizontal sync
36	FM_RSTW	Reset, FM2W/R, FM1R
38	SDA	IIC-bus, serial data
39	SCL	IIC-bus, serial clock
40	FSY	Format sync for ADC
42	+5V (analog)	Analog supply voltage for DAC
43	VBIAS	Analog
44, 47, 49, 51	GND (analog)	Ground for DAC
45	VT	Analog
46	Vref	Current reference for DAC
48	AY	Analog Y output
50	AV	Analog V output
52	AU	Analog U output
53	RST	System reset
54	TEST_EN	Test mode enable
55	VS_50_100	Double frequency vert sync
58-59, 62-67, 70-76, 80	Q0_FM2... Q15_FM2	Data output to FM2
68	DIG_OUT8	9th bit in digital output
82-89, 91-98	D0_FM2... D15_FM2	Data input from FM2
90	SYNC_SEL	Selection of sync mode

After digital signal processing (DSP), the IQTV2 circuit converts the signals to analog form and outputs them from pins 48 (Y), 52 (U) and 50 (V).

The colour difference signals are low pass filtered and output from module pins Q102-3 (U) and Q102-2 (V). The luminance signal is first amplified by transistors t18 and t19, then the signal is low pass filtered and output from module pin Q102-4.

DPLL1 circuit, ic11

The DPLL (Digital Phase Locked Loop) circuit generates all line locked clock and sync signals for the whole digital signal processing system. The circuit is IIC-bus controlled and it needs only a few external components, one of them a 27 MHz crystal. The 27 MHz clock operates as a main clock, from which the other clock frequencies are generated using suitable factors.

Pin description of ic11:

Pin	Symbol	Description
1	HSYNC1	Horizontal sync from sync processor
5	VSYNC1	Vertical sync from sync processor
7	HOUT1	Horizontal sync for ADC and IQTV2
9	CLK27_1	27 MHz main clock for FM1 and IQTV1
11	CLK13_5_1	13.5 MHz clock for ADC
13	VOUT1	Vertical sync for IQTV2
22	CLK27_2	27 MHz main clock for deflection controller
24	HS_GSCART	Horizontal sync from VGA (DB700)
26	HSYNC2	Horizontal sync from VGA (DB700)
27	VS_GSCART	Vertical sync from VGA (DB700)
28	CLK	Format dependant clock for FM1/2 and IQTV2
29	VSYNC2	Double frequency vert sync from IQTV2
30	HOUT2 (HDFL)	Hor sync for IQTV2 and deflection controller
31	VOUT2 (VDFL)	Vert sync for IQTV2 and deflection controller
33	FORMAT_VGA	Low by DB711/710, high by DB700
35, 36	XTALCLK	27 MHz crystal (for main clock)
37	FORMAT_MEM	High by DB711, low by DB700/710
40, 41	SDA / SCL	IIC-bus, serial data and clock
42	ADC_OVFL	Overflow data from ADC
43	PWM_REF	Output of width modulated pulses for ADC

Deflection Controller TDA9151, IC17

The TDA9151 circuit is an IIC-bus controlled synchronization and deflection processor having horizontal and vertical drive outputs and an East-West correction drive circuit.

Input signals

The serial data (SDA) and serial clock (SCL) are connected to pins 17 and 18.

The 27 MHz line locked clock pulse (CLK27_2) from the DPLL1 is fed to pin 14. The internal synchronous logic uses the LLC as a system clock. It is important to realise that the circuit will not operate without the LLC, it will switch off the outputs and will not perform any operations. The LLC frequency is divided by two by connecting the line-locked clock select input pin 5 (LLCS) to ground. This activates the prescaler stage and creates a line duration of 32 μ s.

The horizontal (HDFL) and vertical (VDFL) sync signals from the DPLL1 are fed to input pins 13 and 12 to synchronize the circuit.

The horizontal flyback pulse is taken from the horizontal output stage to input pin 1.

Horizontal drive signal

From the horizontal detector stage, the horizontal sync signal is fed to the horizontal counter, the horizontal place control, the phase 2 loop, and finally output from pin 20 to drive the horizontal driver stage. The H-phase adjustment is performed in the horizontal position control stage using the IIC-bus.

Vertical drive signal

From the vertical detector stage, the vertical sync signal is fed to the vertical place control, the vertical place generator, the vertical geometry stage and finally the differential current vertical drive signals are output from pins 10 and 11 to drive the vertical deflection circuit ICs1. Vertical amplitude, S-correction and V-shift are controlled in the vertical geometry stage via the IIC-bus. The reference current for both the vertical and E-W geometry processing is determined by resistor r68 on pin 8.

E-W drive signal

The E-W drive signal is a single ended current output and it is taken out from pin 6. The control parameters: E-W width, E-W parabola/width ratio, E-W corner/parabola, and E-W trapezium are included in the E-W geometry processing stage. All of these controls can be set using the IIC-bus.

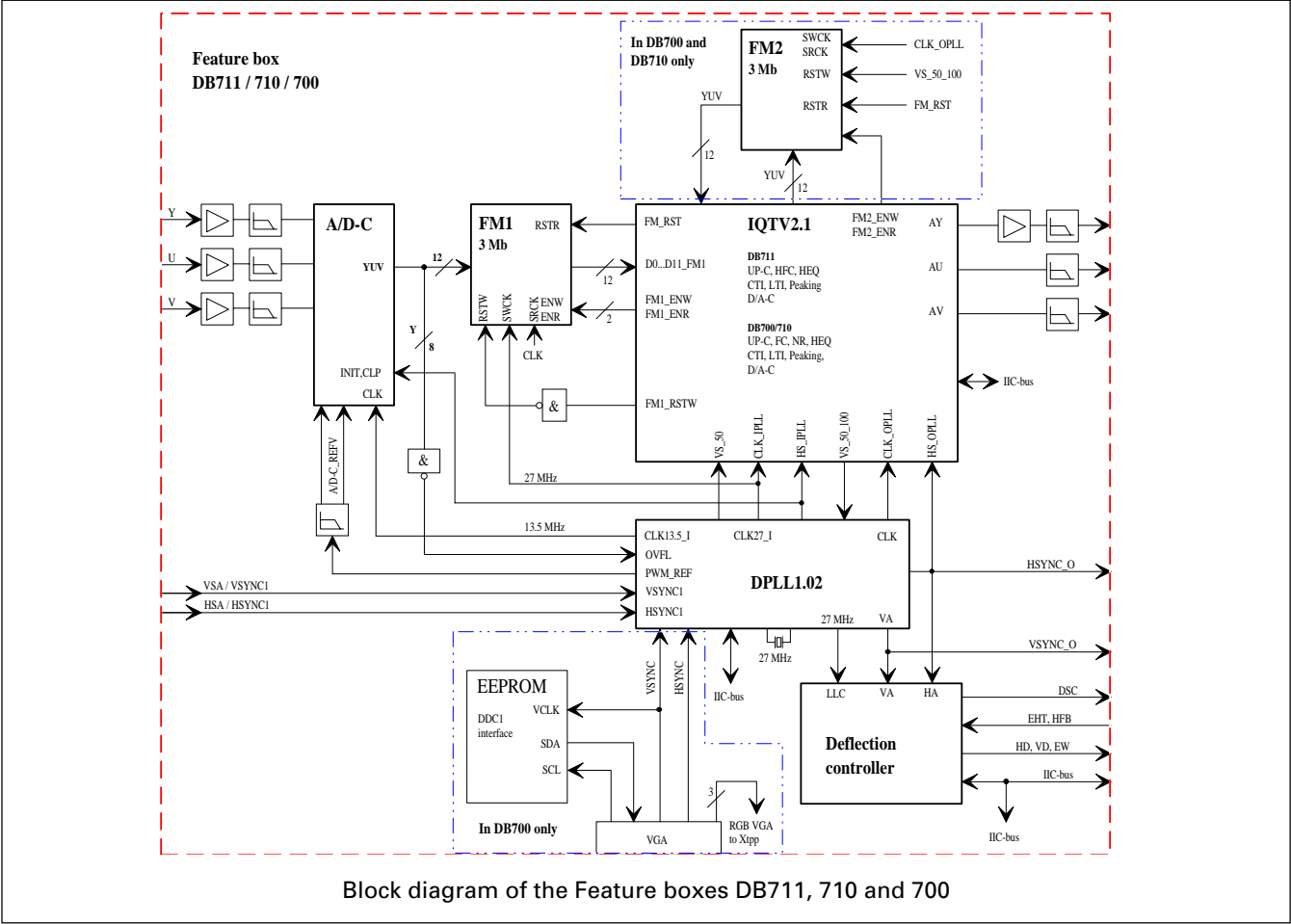
EHT compensation

Both the vertical and the E-W drive outputs are modulated for EHT compensation via pin 7. The EHT information is taken from DST pin 8 ("static" information) and from Ck31 / Rk58 and Ch21 / Rh29 (dynamic information).

Sandcastle

The TDA9151 generates a two level display sandcastle pulse (DSC). The 2.5 V level is used for horizontal and vertical blanking, and the 4.5 V level for video clamping. The DSC is output from pin 2 and it is used for the timing of the RGB Video processor ICt1.

In addition, pin 2 operates as an input pin for the vertical guard. The DSC pulse is connected to pin 1 of the vertical deflection circuit. In possible fault cases, the vertical IC will supply a voltage level of 2.5 V, which causes blanking of the screen.



Feature box DB710

The basic functions of the DB710 are similar in principle to the DB711. The only visible difference is that the DB710 is equipped with two field memories, FM1 and FM2. This allows noise reduction and vertical zoom (vertical format conversion) functions to be implemented.

The upconversion from 50 to 100 Hz in the DB710 is based on a median interpolation algorithm that reduces both the field and line flicker. The median filter method uses a 7-point adaptive median interpolator, whose sampling window consists of 7 samples, taken in horizontal, vertical and temporal directions. The 7-point median output will be replaced with 3-point vertical median output, if a difference signal exceeds the externally determined threshold level. The noise reduction system consists of an adaptive weighted average post-filter, that is based on the so-called motion adaptive temporal recursive averaging filter. The system is used not only for noise reduction, but also to reduce the cross effects. The noise reduction affects both the luminance and chrominance components. As mentioned above, the noise reduction function requires an additional field memory. This field memory, FM2 is identical to FM1 and it is connected to the IQTV2 circuit in a similar way.

The characteristics of the vertical format conversion of the IQTV2 circuit make it possible to always display all vertical zoom modes with a full vertical resolution of 576 active lines. This is due to the digital signal processing and linear vertical interpolation.

Feature box DB700

The functional features are similar to DB710; median interpolation, noise reduction, full vertical resolution etc. In addition to these features, the DB700 is equipped with a VGA (video graphics array) interface in order to make it possible to use the TV set as a monitor for a personal computer. For this reason, an additional memory circuit is needed. The memory circuit ic3 is a serial EEPROM, that is pre-programmed with the data needed for automatic configuration of the display controller in the computer via the display data channel 1 (DDC1).

The vertical and horizontal sync signals from the VGA connector are fed via inverting schmitt triggers and fed onward to pins 27 (vert sync) and 24/26 (hor sync) of the DPLL1.

The analog RGB signals are fed through the module without any processing to the RGB video processor ICt1 via the connector Xtp on the main board, or via the PIP module, if installed. If sound signals are also taken from the PC, they are input via Scart3 + VGA audio module TA710.

The following VGA modes are available:

Resolution	Line frequency	Field frequency
640 x 480	31.5 kHz	60 Hz
640 x 350	31.5 kHz	70 Hz
640 x 400	31.5 kHz	70 Hz

RGB Video Processor TDA4780, ICt1

General

The TDA4780 circuit is an RGB Video Processor with an automatic cut-off control, gamma adjustment, dynamic black control, and blue stretch.

The IC contains a linear matrix to convert the luminance and colour difference signals into RGB signals. The processor is also able to process two external RGB signals.

All parameters and functions are controlled using the IIC-bus.

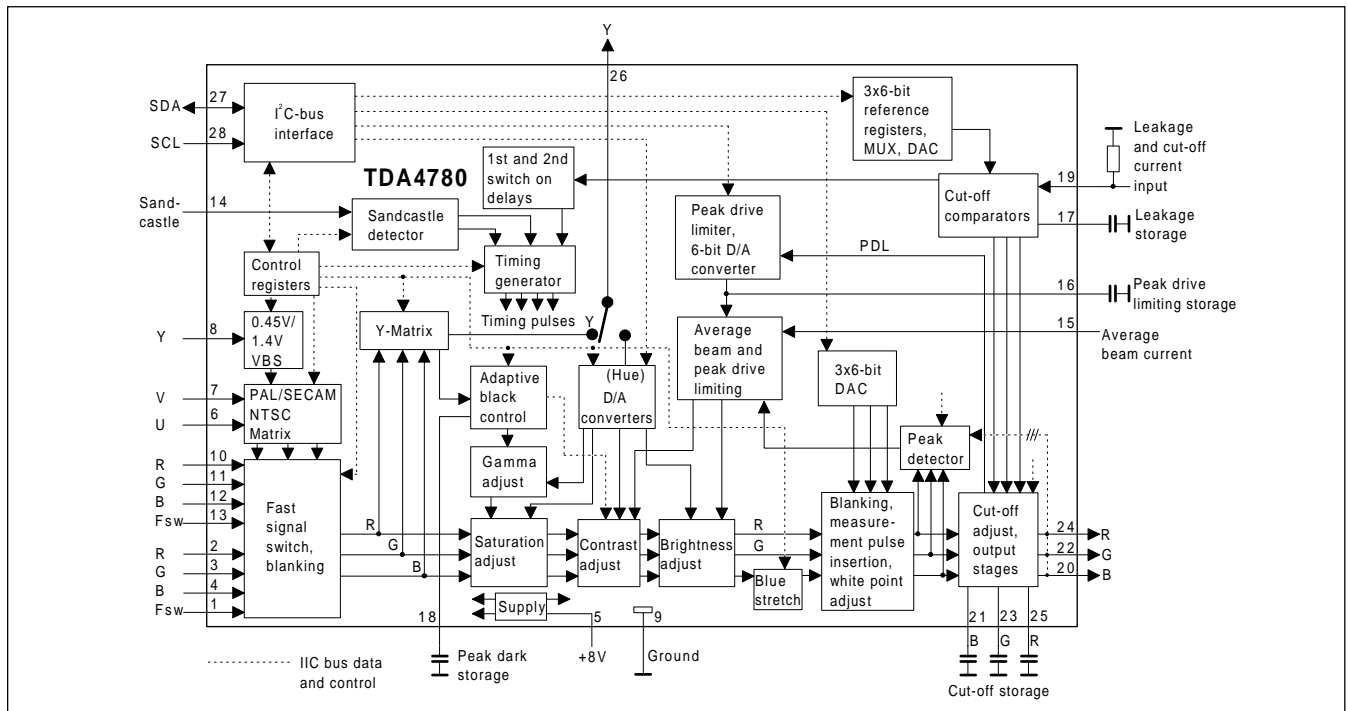
Functional description

Signal input stages

The luminance and colour difference signals from the Feature box module are input to pins 8 (Y), 6 (U) and 7 (V). The luminance signal input level is selectable (0.45 Vpp or 1.4 Vpp) using the IIC-bus (pins 27 and 28). 1.4 Vpp is used in this application. The signals are fed to a linear matrix stage to convert them into RGB signals.

RGB signals from the teletext circuit are fed to the input pins 2 (R), 3 (G) and 4 (B). RGB signals from the PIP module (or from the VGA connector) are fed to the input pins 10 (R), 11 (G) and 12 (B).

All input signals are clamped in order to have the same black levels at the signal switch input.



Signal switches

Fast signal source switches select RGB signals from one of three input signal alternatives: the matrix stage, the teletext circuit or the PIP module. This selection is controlled using the IIC-bus or by using fast blanking signals FB on pins 1 and 13. During the vertical and horizontal blanking time, an artificial black level is inserted in order to clip off the sync pulse of the luminance signal, to suppress hum during the cut-off measurement time, and to eliminate noise during these intervals.

Y-matrix and adaptive black level, gamma and saturation controls

Saturation control is performed by varying the amplitude of the RGB signals relative to the luminance signal amplitude. For this reason the luminance signal has to be regenerated in the Y-matrix from the RGB signals.

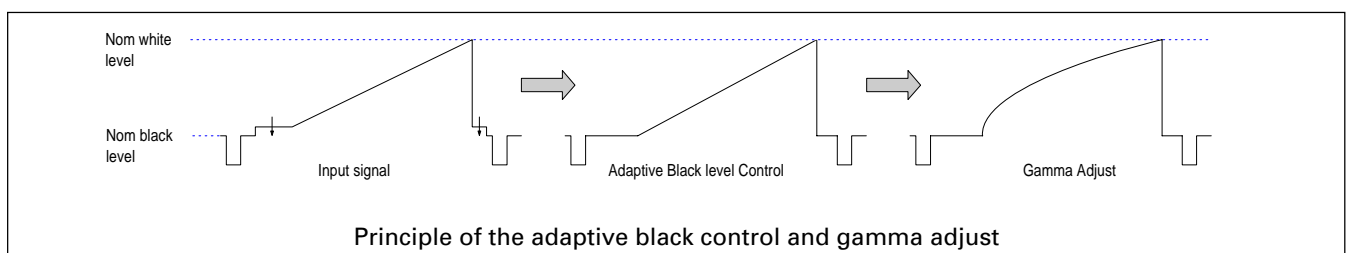
After the Y-matrix, the luminance signal is fed to the adaptive black level control stage. This detects the lowest volt-

age of the luminance component of the internal RGB signal during the scanning time and moves it to the nominal black level. In order to keep the nominal white level constant, the contrast is increased simultaneously. The process expands the dynamic range of the contrast.

Next, the luminance signal is processed in the gamma adjustment stage. This has a non-linear transmission characteristic. The gamma adjustment stage amplifies the lower levels of the signal using a higher gain. This process improves the separation of the dark parts of the picture from each other. Finally the luminance signal is fed to the colour saturation control stage.

The Y-signal is fed in addition to the adaptive black level control stage through an internal switch to the output pin 26 and onwards to the SVM module.

The gamma and saturation adjustments are controlled using the IIC-bus.



Contrast and brightness control

Both adjustment blocks consist of electronic potentiometers and are controlled via the IIC-bus. The contrast control has an influence on the amplitude of the RGB signals and the brightness control on the DC level of the RGB signals relative to the black level.

Blue stretch

The blue stretch channel gives additional amplification if the blue signal is greater than 80% of the nominal signal amplitude. In such cases, the white point is shifted towards a higher colour temperature so that white parts of the picture seem to be brighter.

Measurement pulse insertion and blanking

During the horizontal and vertical blanking time and the measurement period, the signals are blanked to an ultra black level, so the leakage current of the picture tube can be measured and compensated for automatically. Measurement pulses are generated in the timing generator and are inserted into the R channel during line 20, the second is inserted into the G channel during line 21 and the third is inserted into the B channel during line 22. These measurement pulses are fed with the RGB signals to the video output amplifiers (ICh1, ICh2 and ICh3), and feed back the voltage levels to pin 19. During the cut-off measurement lines, the output signal levels are at the cut-off measurement level. The vertical blanking period is timed using a sandcastle pulse. The measurement pulses are triggered by the negative going edge of the vertical pulse of the sandcastle pulse and start after the following horizontal pulse.

White point adjust, automatic cut-off control and output stages

The nominal signal amplitude can be varied $\pm 50\%$ by the white point adjustment using the IIC-bus. During the leakage measurement time, leakage is compensated in order to get a reference voltage on the cut-off measurement input pin 19. This compensation value is stored in the external capacitor on pin 17. During cut-off current measurement times for the R, G and B channels, the voltage on this pin is compared with the reference voltage, which is individually adjustable via the IIC-bus for each colour channel. The control voltages so derived are stored in the external feedback capacitors on pins 21, 23 and 25. Shift stages add these voltages to the corresponding output signals. Finally, the RGB signals are amplified to the nominal value of 2 Vpp and the signals are output on pins 24 (R), 22 (G) and 20 (B).

Beam current and peak drive limiting

The circuit is provided with two kinds of signal limiter. An average beam limiter, which reduces the signal level if a certain average value is exceeded and a peak drive limiter, which is activated if one of the RGB signals even briefly exceeds the IIC-bus determined threshold. The beam current limiting voltage is taken from the cathode current information and fed via transistors tt4 / tt1 and capacitor Ct29 to pin 15. If the voltage on the pin 15 decreases below +4 V due to the charge of capacitor Ct29, the internal limiter starts to reduce the contrast. If the voltage decreases below +2.8 V, the limiter also starts to reduce the brightness.

Sandcastle detector and timing generator

The two level (2.5V / 4.5V) display sandcastle pulse (DSC) from the deflection controller on the Feature box is fed to input pin 14. The sandcastle detector separates the sandcastle pulse into combined line, field pulses and clamping pulses, which are fed to the timing generator. The tim-

ing generator includes a line counter which controls the blanking and measurement pulse insertion stages.

Switch-on delay circuit

After switch on, all signals are blanked and a warm up test pulse is fed to the outputs during the cut-off measurement lines. If the voltage on the cut-off measurement input exceeds an internal level, the cut-off control is enabled but the signal still remains blanked. Signal blanking is stopped when the cut-off control has stabilized.

CRT module

Video output amplifiers ICh1, ICh2 and ICh3

The video output stage consists of three separate output amplifiers, TDA6111. The circuit has a high slew rate and a large 16 MHz bandwidth and is thus suitable for 100 Hz applications. The circuit is protected against CRT flashovers and electrostatic discharges (ESD).

The RGB signals from the RGB video processor are fed via low pass filters to the inverting input pin 3 of the amplifiers. The non-inverting input pins 1 are connected to a voltage level of +3 V. The amplifiers have two outputs for the picture tube cathodes, pin 8 for the DC currents and pin 7 for the transient currents. After these output pins the amplified RGB signals are fed to the picture tube cathodes. The feedback information is output from pin 9 and connected via a resistor to input pin 3. Monitoring of the black level of the cathodes is done via output pins 5. These outputs are connected together via resistors and the final result is fed to the RGB video processor, pins 19 (cut-off control) and 15 (beam current). The required supply voltages are fed to pins 2 (+12 Vp) and 6 (+200 V).

A negative flyback pulse from the diode split transformer Mk1 (DST) is fed to the control grid G1 via connector Xh1-2, capacitor Ch19, and resistor Rh28. This intensifies the horizontal blanking during the line flyback.

The blanking of the screen after switching off is done by transistors Th1 and th2. During normal operation, capacitor Ch27 is charged to +12 V and capacitor Ch18 to +200 V. When the set is switched off, Ch27 discharges to the base of Th1. The transistor conducts and discharges Ch18 as negative charge on to the control grid G1. Also, capacitor Ch28 is charged to +12 V and when the set is switched off, the base of th2 goes low and the transistor conducts. Ch28 discharges to the non-inverting input pin 1 momentarily causing about +200 V to be fed to the outputs. This prevents the increase of the beam current until Th1 has had time to block the picture tube.

Teletext

Megatext SDA5273, ICr1

The SDA5273 Megatext circuit is a single chip which combines data slicer, teletext processor, page / pixel memory, and display controller. Digital signal processing is used to eliminate external discrete components.

The memory can be extended using an external DRAM to increase the teletext capacity.

The multistandard capability of the Megatext circuit ensures its suitability for all countries which transmit the World System Teletext (WST) level 1.5.

The Megatext circuit functions are the decoding and display of teletext information from an analog source, CVBS input, and the generation of On Screen Displays, which can provide the TV user with status information or assistance. The RGB output of the Megatext IC is connected to the RGB input of the RGB video processor together with fast blanking information.

The Megatext IC is controlled through the M3L-bus which has a maximum data rate of 1 Mbit/s.

Circuit description

The CVBS signal from the video matrix switch is fed to input pin 9.

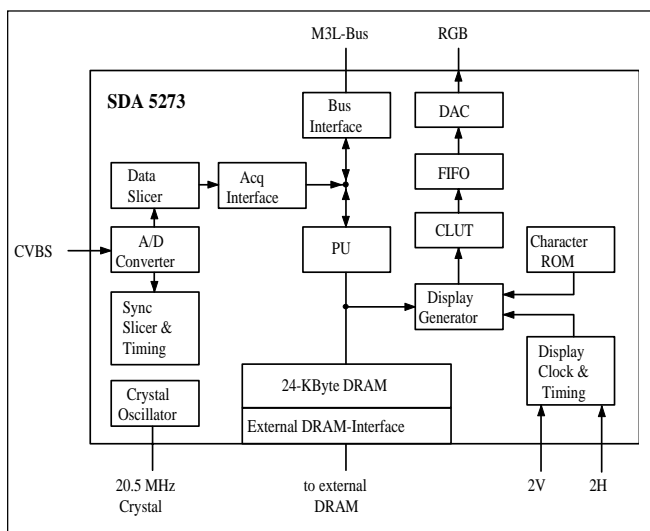
The basic principles of the signal handling are shown in the block diagram below.

The analog RGB signals and fast blanking signal are output on pins 44 (R), 45 (G), 46 (B) and 47 (FB). The vertical sync pulse (2V) is fed to pin 3 and the horizontal sync pulse (2H) to pin 4. Sync pulses are taken from the Feature box (VDFL and HDFL).

An external 20.48 MHz crystal is connected between pins 5 and 6. Pins 18...35 and 37 are the address and data lines for the external DRAM (icr2). The +5 Vr supply voltage is fed to pins 10, 11, 13, 15 and 17. A high level on pin 14 causes the chip to be reset.

A stabilized 3.3 V reference voltage for internal use, from the zener diode Zdr1, is connected to pin 16.

The Megatext circuit communicates with the microcontroller via the M3L-bus, using pins 49 (SCL), 50 (SDA) and 51 (IICENable).



A/D Converter

converts the CVBS signal to 7-bit binary code.

Sync Slicer and Timing

separates the hor/vert sync from the digitized CVBS signal and generates a line-locked 24 MHz acq clock.

Data Slicer

separates the teletext data from the digitized CVBS signal.

Acquisition Interface

synchronizes the bytes, converts serial bits to the parallel bytes and detects the framing code.

Processing Unit

manages the interchange functions between acquisition, memory, display, and bus interface.

Internal Memory

Internal 24 Kbyte DRAM.

Ext DRAM Interface

Interface between the megatext and external DRAM.

Display Generator

controls data transfer from IRAM to DG, decodes the display words, controls the display formats and generates special cursors.

Character ROM

Character pixel memory.

CLUT

Colour look up tables.

Display clock and Timing

generates the horizontal timing signals for the display and a line locked display clock.

FIFO

speeds up the pixel rate from normally 24 MHz to 32 MHz in 16:9 mode.

D/A converter

produces analog RGB signals.

Bus Interface

M3L-bus interface between the Megatext and microcontroller.

Megatext Plus SDA5275, ICr1

The Megatext Plus circuit SDA5275 is based on the original Megatext circuit SDA5273. The main difference is in the internal data processing, which enables the teletext data processing in accordance with the level 2.5. The level 2.5 generates much better graphics (bitmap graphics), more colours (4096) and an extension for the 16:9 format, which enables a wider display page. Consequently, the level 2.5 can display 56 characters on each 25 lines (1400 characters / page). The level 1.5 can display only 40 characters per line (1000 characters / page).

Because of higher level pages, the Megatext Plus circuit always requires an external memory circuit.

Teletext memory DRAM, icr2

The external teletext memory is a 4 Mbit high-speed Dynamic Random Access Memory (DRAM). It is organized as 1 048 576 four-bit words (4 194 304 bit). The circuit uses CMOS silicon gate technology.

One teletext page takes 1 Kbyte (8 192 bit) of memory, so the circuit is able in theory to store 512 teletext pages (4 194 304 : 8 192 = 512). This reduces the page access time to virtually zero.

During the first cycle of the teletext transmission, the memory circuit is formatted for the transmitted pages. During the second cycle, transmitted pages are stored in the memory.

CONTROL SYSTEM

The control system consists of the following circuits,

- Program memory, ICf1
- NV RAM, ICf2
- Microcontroller, icf3
- AND gate, icf4
- Reset circuit, icf5 and
- Remote control and local control

Program memory, ICf1

Depending on the receiver version, the chassis may be equipped with either 4 Mbit or 8 Mbit program memory. Both are high speed Ultraviolet erasable and Electrically Programmable Read Only Memories (UV EPROM). Later, also an OTP (One Time Programmable) ROM or just a ROM can be used.

The 4 Mbit (512 kbyte) memory is organized as 524 288 eight-bit words. The microcontroller addresses this memory using the address lines A0...A18.

The 8 Mbit (1024 kbyte) memory is organized as 1 048 576 eight-bit words. This memory needs extra banking. This is carried out by icf4, which divides the address space into four separate blocks, data bank 0, 1, 2, and 3. The basic software is programmed into data banks 0 and 1. Data banks 2 and 3 are used for the Menu text and Electrical User Manual (EUM) text.

The program memory communicates with the microcontroller via the address and data bus.

NV RAM, ICf2

The NV RAM is a low power CMOS, 16 kbit Electrically Erasable and Programmable Read Only Memory (EEPROM). It is organized as eight separate address blocks, each consisting of 256 eight-bit words ($8 \times 256 \times 8 = 16\,384$ bits). Data is transferred via the IIC-bus.

Settings which can be stored in NV RAM include TV program memory location information, IIC-bus controlled service adjustments, normalization settings, user settings, option and configuration data, and teletext bank pages.

Microcontroller, icf3

The SDA30C264 is a low power CMOS circuit which includes an eight-bit CPU, a 2048 byte + 256 byte data memory (RAM), an oscillator and clock circuits, two 16-bit timers/counters and a watchdog timer. The microcontroller is connected to the program memory via address and data bus and to the other circuits via the IIC-bus.

Depending on the size of the program memory (4 Mbit or 8 Mbit) and the picture ratio (4:3 or 16:9), some components (and gate icf4 and few jumpers) are either installed or omitted. Consequently, some microcontroller pins have different functions.

The pins marked by an asterisk (*) are explained in more detail after the pin configuration table.

Pin configuration of the microcontroller SDA30C264

Pin	Description
1	Headphone switch input, Hp connected = high
2	AV-link data out to scart pin 10, high pulses
3 *	4Mb/4:3 : TA700 status in, plug connected = high All 8Mb and all 16:9 : picture tilt output, 0...5 V
4	M3L-bus, enable for Megatext, enable = low
5	Hor shift adjustment in VGA sets (PWM -> Xo3-1 = 0...5 V)
6 *	4Mb/4:3 : RGB status in, status on = high All 8Mb and all 16:9 : RGB status in = high / TA700 status in, plug connected = high
7	Hold from service connector, hold = low
8 *	Bank 1 / EPROM data bank selection control (8Mb)
9 *	Bank 0 / EPROM data bank selection control (8Mb)
10	Ground
11	Supply voltage, +5 Vstb
12...13	Crystal 12 MHz
14	Reset input, reset by low
15	Not connected
16...28	Address bus for program memory (EPROM)
29...36	Data bus for program memory (EPROM)
37...39	Address bus for program memory (EPROM)
40	Ground
41	Supply voltage, +5 Vstb
42	Address bus for program memory (EPROM)
43 *	EPROM data bank control (8Mb). Low = data bank 0, high = data banks 1, 2 and 3
44	IIC-bus, serial clock
45	IIC-bus, serial data
46	Rec LED on by low / Local control read pulse out (in to pins 61 or 62)
47 *	Multistandard IF = strobe pulse (low) for data latch Non multistandard IF = APSi filter driver, APSi by high
48 *	P_on, picture on voltages by low
49 *	R_on, recording voltages by low
50 *	Reset pulse (high) for MSP / Subwoofer identification = low
51 *	Audio mute by high / Identification of 16:9 (lower voltage), 4:3 (higher voltage)
52 *	Scart 3 identification / status in (off = 0 - 1.2V, 16:9 = 1.3 - 3.2V, 4:3 = 3.3 - 5V)
53...54	Scart 1, 2 status in (off = 0 - 1.2V, 16:9 = 1.3 - 3.2V, 4:3 = 3.3 - 5V)
55	Version identification of IF module. Reads the resistor R556 (multi) / R526 (non multi)
56	GND
57	Address for program memory (EPROM)
58	Reference voltage of internal D/A-converters
59	M3L-bus, clock for Megatext
60	M3L-bus, data for Megatext
61	Local control 2 input
62	Local control 1 input
63	AV-link data in from scart pin 10, low pulses
64	Remote control input, high pulses

The list below gives more detailed information about each pin marked *.

- 3 a) In 4:3 sets with 4 Mbit program memory, pin 3 inputs status information (line out status) from the adjustable audio module. It indicates whether the module is in use or not, that is, whether the plug is connected or not. If the plug is connected, transistor ta9 does not conduct and pin 3 is high. This activates a three level mute selection: 1) TV's speakers are muted, 2) TV's speakers and adjustable audio module are muted or 3) no mute. The circuit icf4 is not installed and the link to the picture tilt adjustment is disconnected.
- b) In all 16:9 and all 8 Mbit program memory sets, pin 3 outputs a picture tilt adjustment. In these cases, information from audio module is disconnected. With the tilt adjustment the picture declination caused by the magnetic field of the earth can be compensated for. Depending on the control voltage, transistors tt5, tt6 and tt7 drive the voltage either from +12 Vr via the canceller coil to +5 Vr (low control voltage, tt6 conducts) or from +5 Vr via the canceller coil to ground (high control voltage, tt5 and tt7 conduct).
- 6 a) In 4:3 sets with 4 Mbit program memory, pin 6 operates as an indication of the RGB status (rf51 is installed). If the RGB connection is in use, transistor tq4 does not conduct and pin 6 is high.
- b) In all 16:9 and all 8 Mbit program memory sets, pin 6 operates as an indication of the RGB status (= scart pin 16 high) and TA700 status via icf4 (rf51 is not installed). The software periodically checks the status by feeding out a high level from μ C pin 9 to icf4-4 pin 13, and if icf4-4 pin 12 is high (RGB status on), pin 11 feeds a high level out to μ C pin 6.
- The same checking routine takes place for the TA700 status, but this uses μ C pin 8 and icf4-3. During this check, μ C pin 43 (A18) is always low. This means that the levels on pins 8 and 9 have no influence on the data banking of the EPROM.
- 8/9 When μ C pin 43 is high, these pins select, via icf4-1 and icf4-2, the required data bank, either 1, 2 or 3.
- When μ C pin 43 is low, only data bank 0 is in use, thus pins 8 and 9 have no influence on data banking, but they can be used for other functions.
- 43 Pin 43 is an address line that is used for data banking of the 8 Mbit program memory. When the pin is in a low state, data bank 0 is selected, and when high, either 1, 2 or 3 are selected. For the 4 Mbit memory, pin 43 is a normal address line (A18)
- 47 a) In multistandard sets, pin 47 feeds out a strobe pulse (low) for the shift register on the IF block
- b) In non multistandard sets, pin 47 drives the switching transistor T501 on the IF block. During channel search (APSi), pin 47 is high
- 48/49
- The combination of levels on these pins determines the working state of the receiver as follows:

48 / P_on	49 / R_on	Description
H	H	Micropower standby mode, power supply does not operate
L	L	TV on mode, Vr, Vp and Vstb available
H	L	Rec mode, Vr and Vstb available, Vp not available
L	H	Service standby, Vstb available, but not Vr neither Vp

The receiver is in service standby mode whenever it has been set to service mode by pressing the -vol / menu, TV and i buttons, but not yet switched on by pushing the TV button twice. Service mode is indicated by the rec LED (illuminated), as well as rec and service standby modes.

- 50 a) During startup phase, pin 50 feeds out a positive going reset pulse for the sound processor.
- b) By sensing the load on the reset pulse, pin 50 detects whether or not the subwoofer is installed. If the subwoofer is installed, resistor Ra107 is also present in which case the amplitude of the reset pulse is smaller than it is when Ra107 is absent. This check takes place during the configuration phase (in service mode when the red button is pressed).
- 51 a) During the configuration phase, pin 51 checks the resistor ra10 via transistor ta10 (b-e) in order to identify the picture tube ratio. Low resistance indicates 16:9 and high resistance 4:3
- b) During normal operation the audio amplifier can be muted by a high level on this pin (central mute)
- 52 a) In the configuration phase, pin 52 checks the possible installation of a scart 3 module by checking the resistor ra26 (on the scart 3 module)
- b) Pin 52 operates as a status input pin from scart 3

AND gate, icf4

The AND gate icf4 operates as a function expander in all 16:9 sets (4 and 8 Mbit program memory) as well as in all sets equipped with 8 Mbit program memory (4:3 and 16:9). In these cases, the jumpers rf30 (program memory pin 31), rf31 (program memory pin 1), rf48 (μ C pin 3) and rf51 (μ C pin 6) are not installed.

In 4:3 sets with 4 Mbit program memory, the AND gate is not installed, but the above mentioned jumpers are installed.

For a more detailed description, refer to microcontroller pins 6, 8, 9 and 43.

Reset circuit, icf5

The microcontroller is reset by a special reset circuit, icf5 (TL7705A). When the receiver is switched on, pin 5 feeds a low level to pin 14 of the microcontroller until the +5 Vstb on the monitoring pin 7 (sense) reaches a level of +4.55 V. After that the reset continues for about 30 ms. Then pin 5 goes high and the microcontroller is reset. The reset delay time of 30 ms is determined by capacitor Cf21 on pin 3. If the +5 Vstb drops below the 4.55 V threshold level even for a moment, reset takes place immediately and the microcontroller is blocked causing the receiver to switch to micropower standby mode.

Remote control

The remote control uses the NRC-17 coding system based on a 17-bit biphase code. The infrared receiver / amplifier Hfc1 receives pulse modulated infrared light. The receiver converts the light into an electrical signal, which is demodulated, amplified, and fed out from pin 3. The signal is taken to microcontroller pin 64 via transistor tfc3. During code transmission, the microcontroller sends negative pulses from pin 46. This causes LED Dfc4 to flash as an indication of the accepted code.

Local control

The local control comprises only four primary daily use functions: volume + / - and program stepping + / -. These functions makes it possible to use the receiver without the hand-held remote control unit. The information from function switches SWfc1...SWfc4 is fed to microcontroller pins 61 and 62.

The LEDs on the local control unit indicate the receiver state as follows:

In On-mode, the green LED Dfc17 lights due to the +12Vp.

In Stby-mode, the red LED Dfc16 (on the micropower block) lights to indicate the mains voltage is connected.

In Rec-mode, the red LED Dfc4 lights due to the low level on microcontroller pin 46.

DEFLECTION STAGES

- Vertical deflection
- Horizontal deflection

Vertical deflection

The TDA8354 is a DC-coupled Vertical Deflection output circuit containing an internal vertical flyback generator and a guard circuit. The output amplifiers and flyback generator are fitted with power FETs. The IC is thermally protected and in addition it is protected against short circuits between the outputs and from the output pin to ground and to the supply voltage.

Functional description

Symmetrical vertical pulses from the deflection processor TDA9151 are fed via pins 11 and 12 to a current driven differential input circuit. The current to voltage conversion is carried out by resistor rs4 via input pin 3. The voltage on pin 3 is compared with the feedback information on pin 2. The feedback information is taken from the output current through the deflection coil measured across resistors Rs2, Rs3 and Rs5.

The signals are amplified using a vertical driver circuit in a bridge configuration.

The deflection coil is connected between the phase opposition driven amplifiers at output pins 5 and 9. The output current is determined by the value of resistor rs4. The resistor network (VD6xx), connected in parallel with the deflection coil, damps down the high frequency oscillation which tends to be generated at the end of the flyback period. Resistor rs6 on pin 13 is added to compensate for the current differences in the dumping resistors during the scan and flyback period.

The operating supply voltage of +16 V on pins 4 and 10, and the flyback supply voltage of +50 V on pin 7 are taken from the diode split transformer Mk1. Operation with two supply voltages (class G) makes it possible to set both supply voltages independently to their optimum values. In this way a very high efficiency is achieved. Due to the bridge configuration, a decoupling capacitor is not necessary. Thus almost the whole flyback supply voltage is available across the deflection coil.

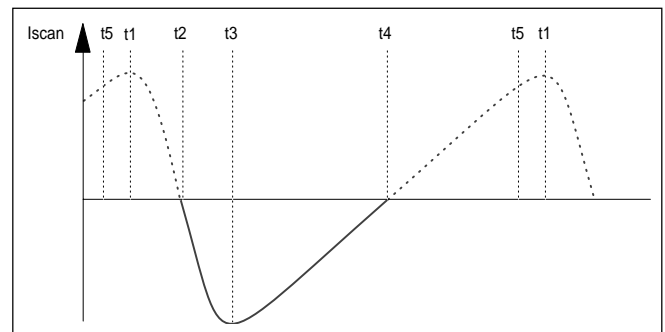
The output of an internal guard circuit is connected to pin 1. The sandcastle pulse (DSC) from the deflection processor is also connected to the same pin.

The guard circuit is activated in possible fault situations, such as short circuits at output pins, an open deflection loop, or circuit overheating. In such cases the guard circuit increases the DC level on pin 1 to 2.5 V. This is the same DC level as the blanking level of the sandcastle pulse. This causes blanking of the screen that protects the picture tube.

Horizontal deflection

The horizontal drive signal from the deflection processor is fed to the driver transformer Mk2 via a pulse shaping network consisting of transistors tk6, Tk1, Tk2, and associated components. The circuit Dk5, Rk30 and Ck17 limits the switching transients of Tk2. The +17 V supply voltage for the transformer is taken from the power supply. The secondary winding of the transformer is connected to the base of the line output transistor Tk3, which drives the diode split transformer Mk1 and the line output stage.

The functional description of the line output stage starts from the time t5 when the drive signal becomes negative, the line scan period is stopped and the line flyback period t1 starts (picture below).



Line flyback (t1...t3)

Due to the cut off of the Tk3 collector current, the energy stored in the deflection coil at the end of the scan period flows to flyback capacitor Ck24. The energy flow continues until time t2, when all energy has been transferred and the collector voltage reaches its maximum value. The current then changes direction and energy from the capacitor flows back to the deflection coil. At time t3 the flyback capacitor is discharged and the voltage across it is 0 V. It then becomes negative as the deflection coil starts the scan period by feeding its energy to capacitor Ck27 (and Ck33).

Line scan (t3...t5)

At time t3, when the deflection coil starts to feed its energy to Ck27, current begins to flow via diode Dk7. At time t4, which is the mid point of the line scan, the drive pulse on the base of Tk3 becomes positive again and the deflection current can flow via transistor Tk3 and diode Dk8. From time t4 to t1, the deflection current changes direction and energy moves from Ck27 into the deflection coil. At time t5, that is the end of line scan, the drive signal of Tk3 becomes negative and the flyback period begins again.

To achieve continuous operation, the energy from the power supply is stored in the primary winding of Mk1 (pins 6 and 3) during the scan period when Tk3 is saturated. Some of this energy is used to compensate for the deflection losses.

Deflection corrections

The parabolic E-W correction pulse from the deflection processor is fed through transistors ts1 and ts2 to the base of transistor Tk4, which drives the E-W correction circuit consisting of capacitors Ck26, Ck28, diode Dk8 and bridge transformer Mk3.

The picture width, and E-W correction adjustments (parabola, corner and trapezium) are carried out by modulating the current across coil Lk1.

The circuit Ck38, Dk9, Rk49 and Rk52 in parallel with S-correction capacitor Ck27 eliminates the so-called "mouse tooth" phenomena.

Dynamic focus, FO600

A dynamic focus adjustment is used in addition to the normal focus adjustment. The dynamic focus improves the focus on both sides of the screen. In order to have a higher focus voltage at the beginning and end of the scan period, an auxiliary voltage is needed. This voltage is taken from a transformer, which is connected in series with the horizontal deflection coil. The parabolic voltage across the transformer is fed via a capacitor to the dynamic focus potentiometer and onwards to a discrete focus grid. The dynamic focus is used only in larger picture tubes.

Horizontal scan shift and dynamic focus, FO7xx

Receivers with a VGA connection (Feature box DB700) are equipped with a special FO7xx module which includes a horizontal scan shift adjustment, and also, when needed, dynamic focus.

The horizontal shift control voltage (0...+5 V) is taken from microcontroller pin 5 to the module connector Xfo3-1. The connector Xfo3-2 is connected to +12 Vp.

When the control voltage is low, transistor tfo5 conducts. Due to resistors rfo4, rfo5 and rfo6 the base voltage on transistors tfo3 and tfo4 is low, causing tfo3 and Tfo1 to conduct. Diode Dfo2 conducts and capacitor Cfo7 is charged to the positive voltage, which is fed onward to the deflection path via resistor Rfo2 and transformer pins 2 and 4. When the control voltage is high, transistor tfo5 is switched off and resistors rfo4 and rfo5 are not in parallel connection with rfo6. This means that the voltage level on the bases of tfo3 and tfo4 is high, causing tfo4 and Tfo2 to conduct. Diode Dfo1 conducts and capacitor Cfo6 is charged to the negative voltage, which is fed to the deflection path. By varying the control voltage between 0 and 5V, the deflection path can be made more negative or more positive, and thus the horizontal scanning can be shifted sideways. Capacitors Cfo2 and Cfo3 operate as S-correction capacitors. This means that in VGA sets, the original S-correction capacitors (Ck27 and Ck33) on the main board are short circuited.

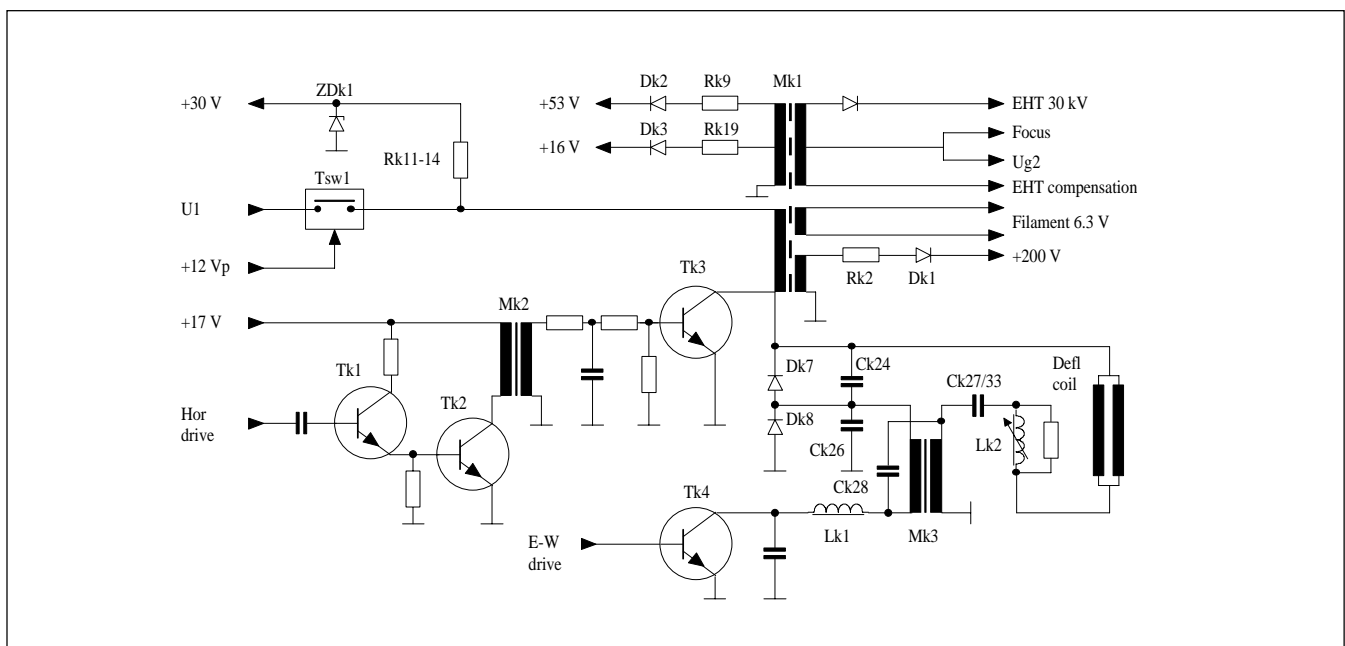
Capacitor Cfo4 and coils Lfo1 and Lfo2 apply an additional correction to the linearity.

Diode split transformer Mk1

The primary winding (pin 6) of the diode split transformer (DST) is connected to the +130 V supply voltage via FET switch Tsw1. In order to protect the switching transistor in the power supply, power consumption will be reduced during the switch off phase by the FET. During normal operation, the FET conducts due to a high level on the gate. When the TV set is switched off, the +12 Vp drops and transistor Tsw2 conducts. Capacitor Csw1 discharges through transistor Tsw3, which conducts and grounds the gate causing the FET to switch off.

The DST produces the flyback pulses from the primary winding (pins 6-3) to the secondary windings and generates the following voltages:

- High voltage (30kV) for the picture tube anode
- Focus and screen grid (Ug2) for picture tube
- Filament voltages for the picture tube cathode from pins 10-11
- +200 V for the video output amplifiers from pins 12-4. This voltage is rectified by diode Dk1
- +50 V from pins 1-5 or +46 V from pins 2-5 for the vertical IC. This voltage is rectified by diode Dk2
- +16 V for the vertical IC from pins 7-5. This voltage is rectified by diode Dk3
- EHT information from pin 8 (and Ck21)



OPTIONS

Active Subwoofer	
Comb Filter	CF700
SVM module	
Audio Feature	AR700
Audio Feature	AR701
Adjustable Audio	TA700
Scart 3 + VGA-audio	TA710
Scart 3	TA711
Picture in Picture	PP700 / 710

Active Subwoofer

General

The active subwoofer system provides a clear improvement in stereo sound. The system consists of active filters, power amplifiers, a subwoofer, and stereo speakers. The active subwoofer stage is designed to be used with an internal subwoofer box and stereo speakers in the TV set or with small external front speakers.

Functional description

The left and right stereo channels are already added together in the sound processor MSP3410D. The sound processor also includes the required lowpass filters for the subwoofer channel and highpass filters for the loudspeaker channels.

The signal is taken from sound processor pin 31 and fed onward to the high pass filter (40 Hz), consisting of transistor ta6 and associated components.

The filtered signal is then fed to the audio power amplifier, ICa4. The amplifier can be muted by pulling pin 2 low. The mute control signal is taken from microcontroller (pin 51) via transistors ta10, ta4 and ta5. This mute function mutes each of the audio power amplifiers in the set. However, the subwoofer amplifier can also be muted separately. This can be done via the audio processor. A high level on pin 5 drives transistor ta5 to conduct, which just mutes the subwoofer amplifier. Due to the resistor network ra106, ra105 and ra14, the central mute will be not activated in this case.

The amplifier operates in a bridge configuration. The outputs are internally inverse feedback connected to the inputs of each other. The amplified, phase opposition signals are output from pins 4 and 6 to the subwoofer speaker.

Comb Filter module, CF700

General

The basic function of the comb filter is to separate the luminance (Y) and chrominance (C) signals from the CVBS signal. The device minimizes problems caused during Y / C separation such as dot-crawl and cross colour interference. In addition, it allows the input video signal to have an extended frequency bandwidth. This is carried out using a clock frequency of four times the colour subcarrier frequency. The filter is capable of handling signals according to the PAL and NTSC 3.58 standards. The module contains two ICs, the multiplexer circuit, icc1 and the comb filter circuit, icc2.

Functional description

Depending on the standard, the module either bypasses or filters the input signal as follows:

PAL and NTSC 3.58

The signal is fed to comb filter IC and separated for Y and C signals

NTSC 4.43 and SECAM

The signal is fed to comb filter IC, but it is not separated

S-VHS The signal is bypassed in the multiplexer IC

The standard is identified in the colour decoder lcd1. The standard information is input to the microcontroller via the IIC-bus and back to the colour decoder again. The information is output from pin 23 to comb filter module pin 1, from pin 16 to module pin 2, and from pin 15 to module pin 13.

Module pin 1 controls the multiplexer to bypass the video signal ("L") or to feed the signal to the comb filter IC ("H"). When pin 1 is high, it inputs the colour subcarrier frequency (Fsc) to an internal clock generator of the comb filter IC. Module pin 2 defines the comb filtering method, PAL ("L") or NTSC 3.58 ("H").

Module pin 13 drives the comb filter IC to be in comb filtering mode ("H"), at which time the IC performs Y / C separation. Or to be in a bypass mode ("L"), whereat the signal is not separated, but fed only via an internal delay stage. In addition, pin 13 informs the colour decoder the existence of the module by transistor tc3 (base-collector joint). Depending on which standard is in use, the logical high / low level combinations are as follows:

Standard	module pin 1	module pin 2	module pin 13
PAL	"H" + 4.43	"L"	"H"
NTSC 3.58	"H" + 3.58	"H"	"H"
NTSC 4.43	"H" + 4.43	"L"	"L"
SECAM	"H" + 4.28	"L"	"L"
S-VHS	"L"	"L"	"L"

PAL signal

The PAL CVBS signal from module pin 6 is input to multiplexer pin 4. Due to the low level on control pin 9 (note inverter tc10), the signal is output from pin 5, and onward via an amplifier stage tc7 / tc8 to a low pass filter. After the LPF and buffer transistor tc9, the signal is input to pin 15 of the comb filter IC.

In the comb filter IC, the composite video is clamped to an internal level and then converted by a high speed 8-bit A/D converter. The conversion frequency is four times the colour subcarrier frequency. Due to the PAL standard, the Fsc on pin 45 is 4.43 MHz, thus the conversion frequency is 17.7 MHz.

A logical low on pin 41 drives the video data in to the comb filter processing block and a logical low on pin 47 defines the filtering method in accordance with the PAL standard. The separate luminance and chrominance signal data is then converted into analog form by two 8-bit D/A converters. The conversion is carried out using the same clock frequency of 17.7 MHz.

The luminance signal is output from pin 6, via the emitter follower tc11 into multiplexer pin 12, out from pin 14, and then on through the emitter follower tc6 to the module output pin 10.

The chrominance signal is output from pin 8, via tc12 into multiplexer pin 2 and output from pin 15, and then on through tc4 to module output pin 11.

NTSC 3.58 signal

The signal routes are exactly the same as the PAL signal routes. The only difference takes place in the comb filtering system inside the comb filter IC. Pin 47 is high, thus a different filtering method is selected. The conversion frequency is now 14.3 MHz due to the Fsc of 3.58 MHz on pin 45.

NTSC 4.43 and SECAM signals

The signal route to the comb filter IC is the same as above. However, now pin 41 is high and thus the comb filter IC is in bypass mode. The signal is fed only via the A/D converter, memory block and D/A converter. The conversion frequencies are 17.7 MHz (NTSC) and 17.1 MHz (SECAM). The NTSC 4.43 and SECAM signals are fed via the comb filter IC because the internal memory block imposes a two line delay on the signal. If these signals were already bypassed in the multiplexer and the received standard changed, for example, from SECAM to PAL, a momentary loss of sync would occur.

S-VHS signal

The S-VHS signal is input to module pins 6 (Y) and 7 (C) and onward to the multiplexer, pins 4 and 1. Pin 1 of the module is now low, and this causes control pin 9 to go high, and the internal switches of the multiplexer change to bypass mode. The luminance signal is output from pin 14 and chrominance signal from pin 15.

If the transmission is a pure monochrome signal or pure noise, meaning that there is no burst, the signal is bypassed like an S-VHS signal. This is because there is then no colour subcarrier which is needed in the signal processing.

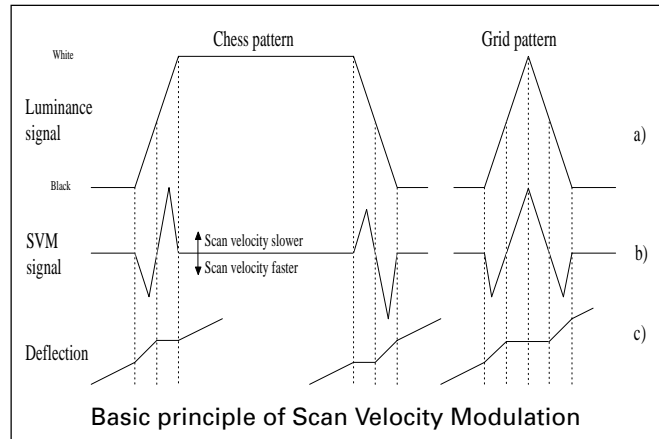
Scan Velocity Modulation module, VM600

General

The purpose of the Scan Velocity Modulation (SVM) module is to increase the sharpness of the picture during intensity transients of the luminance signal.

The scan velocity modulation is carried out so that the luminance signal (a), which contains intensity transients, is first differentiated and then amplified (b).

In this way the signal produced is fed to an auxiliary coil, which is situated at the neck of picture tube. The current which flows through the SVM coil during intensity transients modulates the deflection field (c), and thus either speeds up or slows down the scan velocity.



The luminance signal is first derived by two consecutive differentiators consisting of cvm2/rvm2 and cvm1/rvm1/rvm3.

The derived signal is preamplified by transistors tvm1 and tvm2, and then fed to the limiter stage, which consists of a differential amplifier, transistors tvm3 and tvm4.

The limited signal is then fed via a driver stage (tvm6 and tvm7) to transistors Tvm8 and Tvm9, which form the output stage, and onwards to the SVM coil.

Audio Feature modules, AR700 and AR701

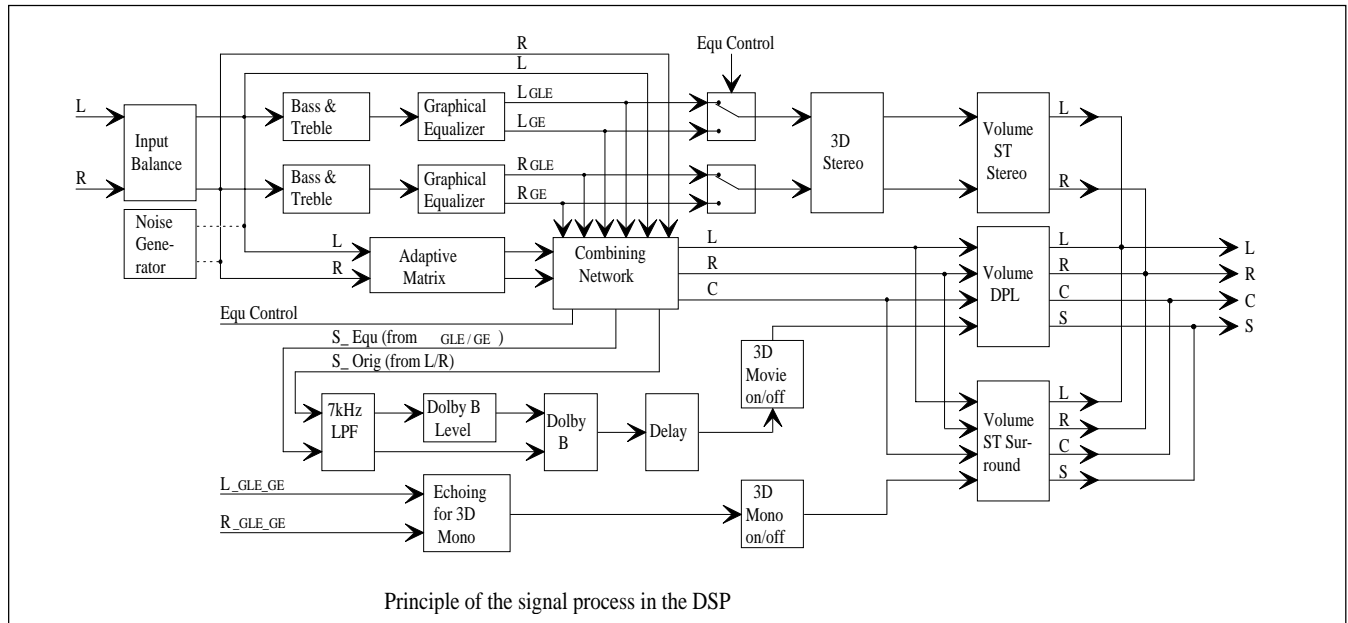
General

The audio feature module AR700 is based on the so-called 3D-audio system, which covers the audio systems called 3D Mono, 3D Stereo and 3D Movie systems.

The audio feature module AR701 consists not only the above mentioned systems, but also the Dolby Surround Pro Logic system.

Signal process in the DSP

Both systems are produced using digital sound processing, whose program consists of seven main blocks: Dolby Pro Logic, 3D Mono, 3D Stereo, 3D Movie, graphic equalizer, tone control, and noise generator.



Principle of the signal process in the DSP

Dolby Surround Pro Logic

The Dolby Surround Pro Logic is a four channel surround sound system.

In the transmission phase, the four channel information is encoded into two channels (L' and R'). The center (C) and the surround (S) channels are added to the left (L) and right (R) channels according to the following formula:

$$\begin{aligned} L' &= L + C \times (-3 \text{ dB}) + S \times (-3 \text{ dB}) \\ R' &= R + C \times (-3 \text{ dB}) - S \times (-3 \text{ dB}) \end{aligned}$$

The center channel information is added to the L and R channels in the same phase using a factor of 0.7. The surround channel information is added to the L and R channels using the same factor of 0.7, but in the opposite phase, as +90° into the L channel and -90° into the R channel.

In the receiver, the Dolby Pro Logic decoder decodes the two channels, L' and R', back to four separate channels, left, center, right and surround. If the transmission includes Dolby Pro Logic sound, the software automatically switches the receiver to Pro Logic mode, assuming that the receiver is in AUTO mode, the transmission is in stereo (Nica or A2) and the WSS (Wide Screen Signalling) data includes the Dolby bit. In addition, the rear speakers have to be connected, otherwise the software selects 3D Movie mode. During digital signal processing, the audio data (L' and R') is first fed to the input balance control, which compensates for possible errors in the level between the two input signals. The balance control is designed to operate automatically, which is a very user-friendly feature. The automatic system continuously analyzes the level difference between the left and right channels and tries to keep it as small as possible.

Next the signal is fed to the adaptive matrix stage, whose first block is a bandpass filter. The highpass frequency of this filter is 200 Hz and the lowpass frequency is 5 kHz. After bandpass filtering the data (Lbp and Rbp) is fed to a calculation block, which generates the center and surround channels. The calculation formula is $C_{bp} = L_{bp} + R_{bp}$ and $S_{bp} = L_{bp} - R_{bp}$.

The absolute values are then taken from the Lbp, Rbp, Cbp and Sbp signals. The next step is to calculate the relationship between the L and R channels, and also between the C and S channels.

Next comes the time constant calculation. In the Dolby Pro Logic decoder, there are two time constant filters. The signal level determines which one is chosen. If the level difference between L and R channels or between C and S channels is more than 5.5 dB, then long time constant filtering is performed. After that, the short time constant filter is calculated. If the level difference is less than 5.5 dB in both directions, then only short time constant filtering is performed.

Finally the LR and CS signals are fed through a polarity definition block, the last operation block in the adaptive matrix stage, to the combining network stage.

After the combining network stage, only surround channel processing continues. In the surround channel there is a 7 kHz low pass filter, a delay and a modified Dolby-B decoder. The lowpass filter is simply a second order filter whose cut-off frequency is 7 kHz. The delay can be a variable delay from 15 ms to 30 ms or a constant 20 ms delay. The modified Dolby-B decoder is a complex part of the processing. The gain of the Dolby-B filter is dependent on the frequency of the input signal and also on the level of the input signal. The program uses a surround channel signal calculated without graphic (GE) and loudspeaker (GLE)

equalization for the Dolby-B level and frequency calculations. Dolby-B filtering is performed on the equalized signal.

In the Dolby Pro Logic decoder, there are 3 different center channel modes: wide, normal and phantom.

Wide mode

If all three front speakers are capable of reproducing low bass frequencies and they have enough amplification power, then the system can be in wide mode. Wide is an abbreviation of wideband, which means the whole frequency band is reproduced from the center speaker.

Normal mode

If two full range loudspeakers for the L and R channels are available, the easiest way to set-up the Dolby Pro Logic system is to add a small center channel speaker somewhere near the television screen. The small loudspeakers are normally incapable of reproducing low bass information. In normal mode the center channel response is limited to 100 Hz and the bass content is redirected to the L and R channels (or alternatively to the subwoofer). Another name for this mode is "bass splitting mode".

Phantom mode

If there is no center channel speaker available, then the decoder can be set to phantom mode. In this mode, all center channel information is added to the left and right speakers.

For the surround channel there are two modes: normal and 3 stereo.

In 3 stereo mode, the surround output is cleared. The surround information is ignored and not added to the other channels.

To summarise, there are, in principle, four different loudspeaker configurations.

Full configuration (5 loudspeakers)

- organised as two external front speakers (L / R), center speaker, and two external rear speakers

Phantom mode (4 loudspeakers)

- where the TV's own loudspeakers (L / R) operate as front speakers, with no center speaker, and two external rear speakers

3 stereo (3 loudspeakers)

- with two external front speakers (L / R), center speaker, but no rear speakers

Basic configuration (2 loudspeakers)

- where only the TV's own loudspeakers (L / R) are used.

In configurations where the center speaker is used, it can be either an external speaker or the TV's own loudspeakers connected in series. A subwoofer can be used in addition to the above loudspeakers.

The Dolby Surround Pro Logic system consists of a clock oscillator icar1, digital sound processor icar2, delay memory icar3, phase locked loop icar4, reconstruction filtering / digital to analog conversion icar5 and icar6, power amplifier ICar7 and loudspeaker selection switch SWA1.

3D Mono

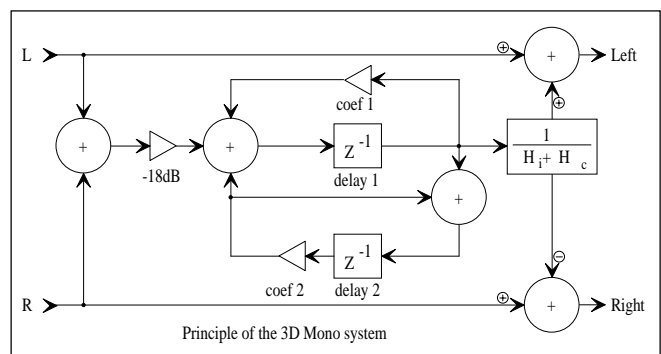
The 3D Mono system is designed for mono transmissions. It is an artificial surround sound system, that creates the surround signal from the mono signal (or from the sum of the left and right channels) after the graphic equalizers. This mode is suitable for non Dolby Pro Logic programmes when a surround channel is still desired. 3D mono mode requires no external speakers.

The artificial surround effect is created from the mono signal. The effect is mainly an echoing, where the size of the space can be artificially changed by the delay control and the richness by the effect control.

The 3D mono system is also called the 3D pseudo or Semi-Tech surround system.

The signal is taken from the graphic equalizers and fed to the attenuation block to avoid an overflow. The coefficient stage 1 and delay buffer 2 have constant values. The multiplication value is 0.12 and the delay time is limited, due to the size of the delay memory, to 104 ms. The control range for delay buffer 1 is between 50 ms and 150 ms and the multiplication value of coefficient stage 2 is between 0.1 and 0.2. In the sound menu these controls are called effect and delay.

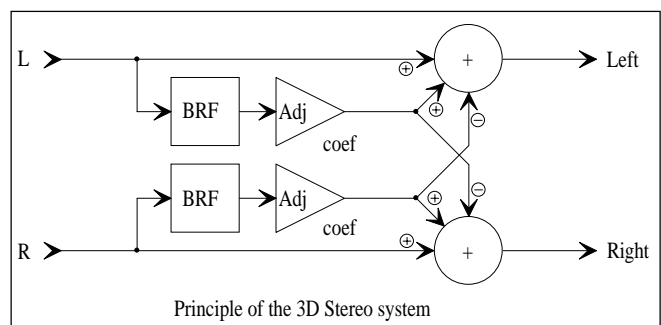
Finally, the multiplied and delayed signal is fed to the HRTF (Head Related Transfer Functions) filter, which artificially shifts the audible image of the loudspeaker from its physical placement to another location.



3D Stereo

3D Stereo is an artificial system which is used to widen the stereo image of the TV's loudspeakers, thus rendering external speakers unnecessary. 3D Stereo mode only emphasizes the stereo information (no delays or echoing), thus the 3D Stereo has no effect on a non-stereo transmission. The effect control in the sound menu changes the amount of emphasis on the stereo information.

The algorithm is based on a band reject filter (BRF). The output of this filter is multiplied by an adjustable coefficient. This signal is then added to the original channel and subtracted from the other channel.

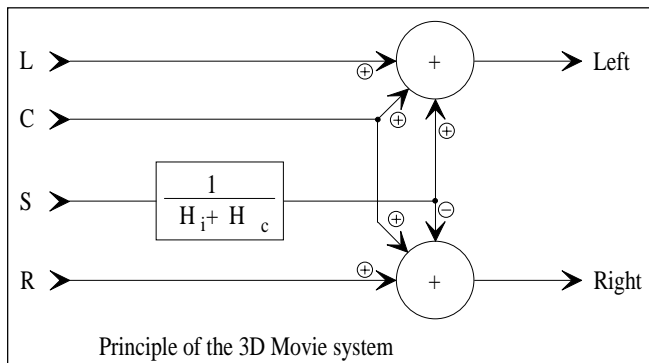


3D Movie

3D Movie is a certain kind of virtual surround sound system. With this system, some more loudspeakers can be virtually created without installing any physical loudspeakers. Thus only the TV's own loudspeakers are needed to create a movie theatre sound experience. The three dimensional effect is created artificially by changing the frequency response so that the sound appears to come from a different direction than that in which the loudspeaker is actually situated.

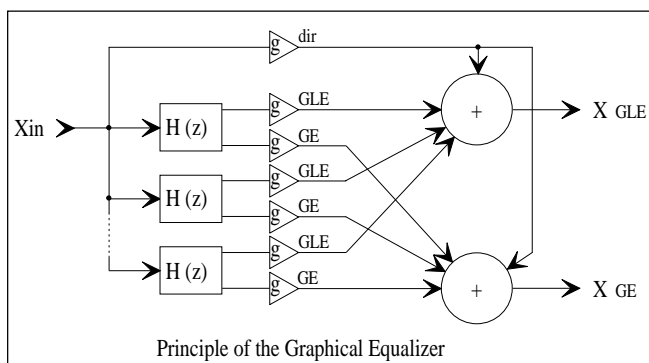
The filters in the system are based on Head Related Transfer Functions (HRTF). 3D Movie requires a Dolby Pro Logic encoded transmission in order to operate correctly. This is because the system uses the center and surround channels in addition to the left and right channels. 3D Movie operates only in phantom mode. This means that the center channel is added to the left and right channels. The effect control in the sound menu corresponds to the level control of the surround channel in the Dolby Pro Logic system.

When the transmission includes Dolby Pro Logic encoded sound and the receiver is in AUTO mode, the software automatically changes the receiver to 3D Movie mode, assuming that the transmission is in stereo (Nicam or A2) and the WSS data includes the required Dolby bit.



Graphic equalizer

In the digital sound processor there is a seven band graphic equalizer for user adjustment and a loudspeaker frequency response correction. Each of the seven bands (only three are drawn in the principle diagram below) have two outputs. The channels, which have loudspeaker frequency response equalization, have loudspeaker equalization and user defined gains (gGLE). The channels without loudspeaker equalization only have user defined gains (gGE). In the sound menu, there are four different pre-set choices: Music, Speech, Flat and Preferred. In the Music, Speech and Flat modes, the equalizer takes the pre-settings from the NV RAM. In Flat mode, the equalizer settings are fixed at the middle position. Only in Preferred mode can the user change the settings.

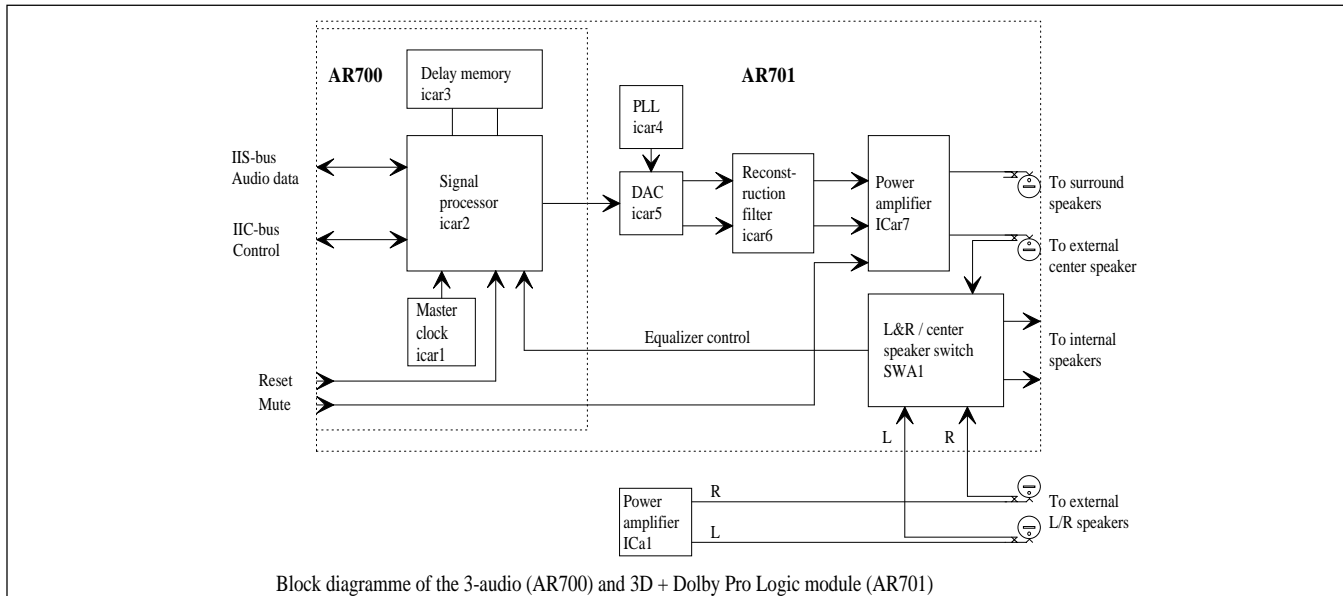


Tone control

The tone control stages, bass and treble, are not controllable separately as bass and treble controls, but they operate as a loudness control. This means that the tone control is dependant on the volume control.

Noise generator

The noise generator program is used to set the channel levels equal. Normally, the user needs this program only during placement of the loudspeakers. The noise generator feeds the noise sample to each connected loudspeaker channel in turn. This helps to adjust the relative balance between the separate left, right, center and rear level settings with respect to the listeners.



Functional description of the circuits

The audio feature module AR700 consists only of a clock oscillator, sound processor and delay memory.

The audio feature module AR701 consists of, in addition to the above, a phase locked loop, reconstruction filtering, D/A-converter and power amplifier.

Clock oscillator, icar1

The inverter circuit icar1 operates as a master clock oscillator whose frequency of 25 MHz is determined by resistor rar1 and capacitor car1. The clock pulses are output from pin 8 to the sound processor pin 14.

Sound processor, icar2

The digital sound processor (DSP) includes several different memories, namely a 512 x 32-bit program RAM, 256 x 24-bit data RAM, 256 x 24-bit coefficient RAM, 1.5 kilo word x 32-bit program ROM and 1.5 kilo word x 24-bit coefficient ROM. In addition it includes a 24-bit arithmetic logic unit (ALU) and 25-bit x 25-bit multiplier accumulator (MAC). In addition the circuit includes a graphic equalizer, tone control and noise generator.

The circuit is controlled by the IIC-bus. The control software is stored in the program memory (ICf1), from which it is sent to the microcontroller (icf3) and onward via the IIC-bus to the sound processor. All presets are stored in the NV RAM (ICf2). In order to ensure the proper function of the IIC-bus during switch on and off, both the SDA and SCL are taken to the sound processor via the +12 Vp voltage driven FETs, tar1 and tar2.

The DSP is connected to the MSP (ICa2) via the IIS-bus which consists of four lines, data in (IIS-DI), data out (IIS-DO), word select (IIS-WS) and clock (IIS-CLK). The word select signal is a 32 kHz square wave pulse and it is used for channel separation. The clock signal is a 1.024 MHz sine wave pulse and is used as a system clock.

Delay memory, icar3

The delay memory is a 256 kbit (32k x 8) SRAM which together with the DSP is used to create the echoing effects needed in the Dolby Pro Logic, 3D Mono and 3D Movie systems.

Phase locked loop, icar4

The PLL circuit generates the master clock signal for the D/A converter. The loop is locked to the IIS-WS signal (pin 1) that operates as a 32 kHz system clock. The PLL multiplies the 32 kHz signal by 384 resulting in the final master clock signal of 12.288 MHz, output from pin 10.

Reconstruction filtering and D/A-conversion, icar5 and icar6

The reconstruction filtering and D/A-conversion is carried out using two circuits, the D/A-converter with a digital filter, icar5 (TC9270), and the filter circuit, icar6 (TA2009F). The TC9270 includes a serial input interface, de-emphasis, interpolators, delta-sigma modulators and D/A-converters. The audio data is input to pin 25, and output from pins 9 / 10 (surround) and 5 / 6 (center). The whole process is controlled by three clock signals, the 1.024 MHz system clock on pin 2, the 32 kHz word select signal on pin 3 and the master clock on pin 4. Analog audio signals are then fed to the lowpass filter circuit TAA2009, which performs the post filtering. The surround channel is output from pin 6 and center channel from pin 3 to the power amplifier.

Power amplifier, ICar7

The power amplifier used, TDA2616, is the same as that used in the audio amplifier on the main board, and has therefore already been covered in the Audio section.

The surround channel is output from pin 4 to the loudspeaker connector Qar6. The impedance of the surround speakers is 16 ohms, and thus they are connected in parallel.

The center channel is output from pin 6 to the loudspeaker connector Qar5 and to switch SWA1.

Loudspeaker selection switch, SWA1

This allows the TVs internal speakers to be used as a center channel speaker. The internal speakers are connected to connector Q4 and thus the signal route from the center channel amplifier is SWA1 pins 15 / 14, connector pin 1 (+), loudspeaker, connector pin 2 (-), connector pins 5 / 4 / 18 / 17, connector pin 3 (+), loudspeaker, connector pin 4 (-), switch pins 2 / 1 and ground. Therefore, the internal speakers are connected in series. The switch pins 1 / 2 drive the sound processor via pin 27 to select the correct equalization. In this loudspeaker configuration the left and right channels must be connected to external speakers via loudspeaker connectors Xexts1 and Xexts2 on the main board.

When an external center channel speaker is connected, the link to the switch is disconnected. In this situation, the software requests the user to change the switch position.

The left and right channels from the main board are connected to connector Q3, and due to the other switch position, the left and right channel signals are now fed via the switches directly to the internal speakers. This is assuming, of course, that external left and right speakers are not connected.

Adjustable Audio Output module, TA700

The adjustable audio output (line output) module TA700 makes it possible to send the TV sound to an external amplifier using the tone and volume controls of the TV's own remote control.

The left and right channel audio signals are fed via a FET pair, tta1 and tta2, to the op-amplifier icta1. Due to the negative input, the amplifier inverts the signals. Amplified signals are then fed via another FET pair, tta8 and tta9, to the output connectors Xt7 and Xt8 (RCA connectors).

These FET pairs prevent possible unwanted switching peaks from the audio processor from reaching the external audio amplifier.

The first pair, tta1 and tta2, eliminate positive disturbance peaks (internal diodes) and due to the inverting feature of the op-amplifier, the second pair, tta8 and tta9, prevent negative peaks coming from the audio processor.

Switch on / off damping

The FETs also operate as mute (damping) switching components during switch on and off.

When the receiver is switched on, the +12 Vp causes (via transistor tta5) the positive input on pin 5 of icta2 to go high faster than the negative input on pin 6. This means that the output pin 7 is high, and transistors tta6 and tta7 conduct holding the gates of the FETs low. A short time later when capacitor Cta17 has charged, tta5 no longer conducts and the voltage on pin 5 falls below that on pin 6. The output pin 7 is now low, and transistors tta6 and tta7 do not conduct. The first FET pair gets their gate voltages via resistor rta24. The second FET pair has a small delay since their gate voltage is taken via transistor tta4, resistor rta20 and capacitor Cta15.

When the receiver is switched off, pin 6 of icta2 immediately goes low, but pin 5 stays high due to the charge of capacitor Cta18. The output pin 7 is therefore high and the FET pairs are switched off.

Line output status

The other half of the op-amplifier icta2 operates as a line output status switch. When the output connectors are not used, the additional contacts (on the connectors) hold the negative input pin 2 low via resistors rta17 and rta18. This means the output pin 1 is high, transistor ta9 (on the main board) conducts and holds microcontroller pin 3 low (inactive).

When a plug is connected to the connector, the additional contact disconnects resistor rta17 / rta18 from ground. This causes a higher voltage level on pin 2, and output pin 1 goes low. Now transistor ta9 does not conduct and microcontroller pin 3 is high. This enables the selection of three different mute states:

- Line output operates, but TV speakers are muted,
- Both line output and TV speakers are muted
- Both line output and TV speakers operate (no mute).

Scart 3 + VGA-audio module, TA710

The scart 3 + VGA-audio module makes it possible to have not only one extra scart connection, but also one extra audio connection (VGA-audio). The audio input is via the VGA-audio connectors, when VGA mode is selected.

The characteristics of scart 3 are identical to those of scart 1.

The RGB switch ica2 selects the signals either from scart 3 or from scart 1. The RGB signals are fed from scart 1 via connector Xa5 which is connected to the connector Xq7 on the main board.

The audio switch Ica3 selects the signals either from Scart 3, "VGA" or from the camera connector. The connector Xa2 is linked to the connector XA4 (on the local control) and Xa3 to the connector Xtta (on the main board).

The voltage level on module pin 3 determines which connectors the RGB and audio signals are taken from.

The control voltage is taken from the teletext circuit (pin 7, GPO), onward via connector Xq5-3 (on the main board) and Xa1-3 (on the module). The RGB switch ica2 is controlled via pin 5 and the audio switch with the voltage levels on pins 9 (=B) and 10 (=A). The logical low is about <3.5 V and logical high about >9 V with a +12 V supply voltage. The GPO (general purpose output) operates as a three state: high, open and low.

When the GPO is high, transistor ta2 conducts and pulls B low, diode da2 and transistor ta4 conduct, thus A and pin 5 of ica2 are low. As a result of this combination, both the RGB and audio signals are taken from scart 3.

When the GPO is open, ta2 does not conduct and B is high, da2 and ta4 conduct, thus A and pin 5 of ica2 are low. RGB signals are taken from scart 3, but audio signals are taken from the "VGA" connector.

When GPO is low, ta2 does not conduct and B is high. Diode da1 conducts and pulls the anode of da2 low. Diode da2 does not conduct, neither does transistor ta4, and A and pin 5 go high. Now the RGB signals are taken from scart 1 (via Xa5) and audio signals from the camera connector (via Xa2)

GPO	B	A	RGB in	Audio in
High	"0"	"0"	Scart 3	Scart 3
Open	"1"	"0"	Scart 3	"VGA"
Low	"1"	"1"	Scart 1	Camera

Scart 3 module, TA711

The scart 3 module is similar to the TA710 described above, but without the VGA-audio function. Otherwise the functions are identical.

Picture in Picture module, PP700

General

The picture in picture module PP700 consists of four separate functional sections. These are signal switches icp2 (video) and icp7 (RGB), colour decoder ICp3 (TDA9141) and baseband delay line ICp4 (TDA4665), analog digital interface for the inserted picture icp5 (SDA9187), and the picture in picture processor icp6 (SDA9189).

The quarter picture in picture processor SDA9189 enables four different picture sizes: 1/4, 1/9, 1/16 and 1/36. Also a so-called multi PIP is possible. This means that there can be 9 inset pictures on the screen at the same time, 8 of which are still pictures and 1 is live. The position of the inset picture can be anywhere on the screen. The features implemented in the set depend on the software.

Colour decoder, ICp3

The video signal for the inserted picture is taken from the video matrix switch ICq1 on the main chassis via connector Xp1 pins 10 (CVBS/Y) and 9 (chroma).

The CVBS signal is fed to the video switch icp2, pin 15 and output from pin 1 onward to the CVBS input pin 26 of the colour decoder ICp3.

If the input signal is a Y/C signal, the chroma signal is fed directly to pin 25 of the colour decoder. The signal path of the Y signal is same as that of the CVBS signal. The input mode is chosen via the IIC-bus.

The decoder circuit decodes the CVBS (or Y/C) signal and generates luminance and colour difference signals. Colour difference signals are fed from the output pins 1 and 2 to the baseband delay line ICp4. Delayed colour difference signals are fed back to the input pins 3 and 4, from where they are fed via a switch block to output pins 13 (V) and 14 (U). The delayed luminance signal is fed via the same switch block to output pin 12.

The operation of the colour decoder TDA9141 is very similar to that of the TDA9143 on the main board.

Analog to digital interface, icp5

The Y, U and V signals are now taken to the A/D-interface icp5, pins 23 (Y), 21 (U) and 19 (V). The A/D converter converts the analog signals into digital form using 6-bit flash converters. The digitized Y and UV signals are output from pins 2...7 (Y) and 8...11 (UV) for the PIP processor.

The white level of the U and V signals is clamped to the mean value of the Vrefh (pin 22) and Vrefl (pin 20) voltages. The black level of the Y signal is clamped to the Vrefl voltage. The circuit consists of a clock generator which is synchronized to the inserted picture by means of the sandcastle pulse on pin 15. The clock generator synchronizes the internal horizontal PLL, which consists of a horizontal timer, phase comparator, and VCO. The horizontal PLL generates the line-locked picture in picture system clock LL3 (pin 12) and internal chip timing. The frequency of the LL3 signal is 13.5 MHz. The RC network on pin 17 filters the output of the phase comparator. The horizontal timer also determines the start time and the width of the internal clamping pulse, as well as the location of the blanking signal BLN (pin 1), which in turn defines the horizontal duration of the picture information on the Y output and should be synchronous with it. Thus the BLN is delayed to the same degree as the Y signal.

Quarter PIP processor, icp3

The PIP processor contains everything needed in the PIP function operation blocks, like horizontal and vertical filtering (decimation), field memory, RGB matrix, DA-conversion, clock generation and control circuits.

The video signal of the inset source in a digitized form is taken from the A/D-interface icp5. The digitized Y signal is connected to pins 25...30 and the digitized UV signal is taken to pins 21...24. The input data is first decimated in the input signal processing block. The decimation window, generated from the inset sync pulses on pins 1 (VSI) and 32 (HSI) and from the detected line standard, has a width of 576 pixels for the luminance signal and 144 pixels for the chrominance signal. In the vertical direction the window consists of 252 lines in the 625 lines standard (204 lines in the 525 lines standard). The size of the inset picture depends on the horizontal and vertical decimation factor. This factor determines the number of pixels and lines as follows:

Hor and vert factor	Pixels / line	Lines / field
2 : 1	288	126
3 : 1	192	84
4 : 1	144	63
6 : 1	96	42

The decimated data is then written to the field memory. The frequency of the write clock depends on the decimation factor (6.75 MHz, 4.5 MHz, 3.375 MHz, or 2.25 MHz). The write clock is divided from the line locked clock (13.5 MHz) on pin 20.

The frequency of the read clock is 27 MHz. The read clock is generated in the internal oscillator, which is driven by an external crystal on pins 2 and 3 and line locked to the horizontal sync pulse (HSP) on pin 15. Synchronization of the parent channel is performed by the same horizontal sync pulse (pin 15) and by the vertical sync pulse on pin 16.

From the field memory the data is fed to the output processing block, which determines the position and framing of the inset picture. A special effect, wipe in / wipe out, is also available. The inset picture can be programmed, depending on the software, to appear from (and disappear to) the lower right corner of the inset picture position.

Finally, the processed data is converted to analog form in the D/A-converters and signals are output from pins 8 (R), 9 (G) and 10 (B) to the RGB switch, icp7. The fast blanking signal is output from pin 14 and fed via transistor ttp2 and onward to the RGB processor on the main board.

Pin 15 (IIC-bus controlled output) of the colour decoder feeds a high level out, this is fed via transistor ttp3 to the RGB switch pin 5. A high level on pin 5 selects the input signals via pins 6, 7 and 8 and onward to the connector Wp1. If the receiver is equipped with a VGA connector, the RGB signals are input from connector Xp2, and via RGB switch pins 2, 3 and 4 to the connector Wp1. Then the voltage on the RGB switch pin 5 is low. If the picture in picture function is used during VGA mode, pin 5 is controlled by the fast blanking signal via transistor ttp4.

In VGA mode, the software automatically takes care of ensuring that the RGB Video processor on the main board is in the right input state.

The FET transistor ttp5 disconnects the serial data line (SDA) from the PIP processor when the receiver is switched off. The jumper jp36 is not installed.

Picture in Picture module, PP710

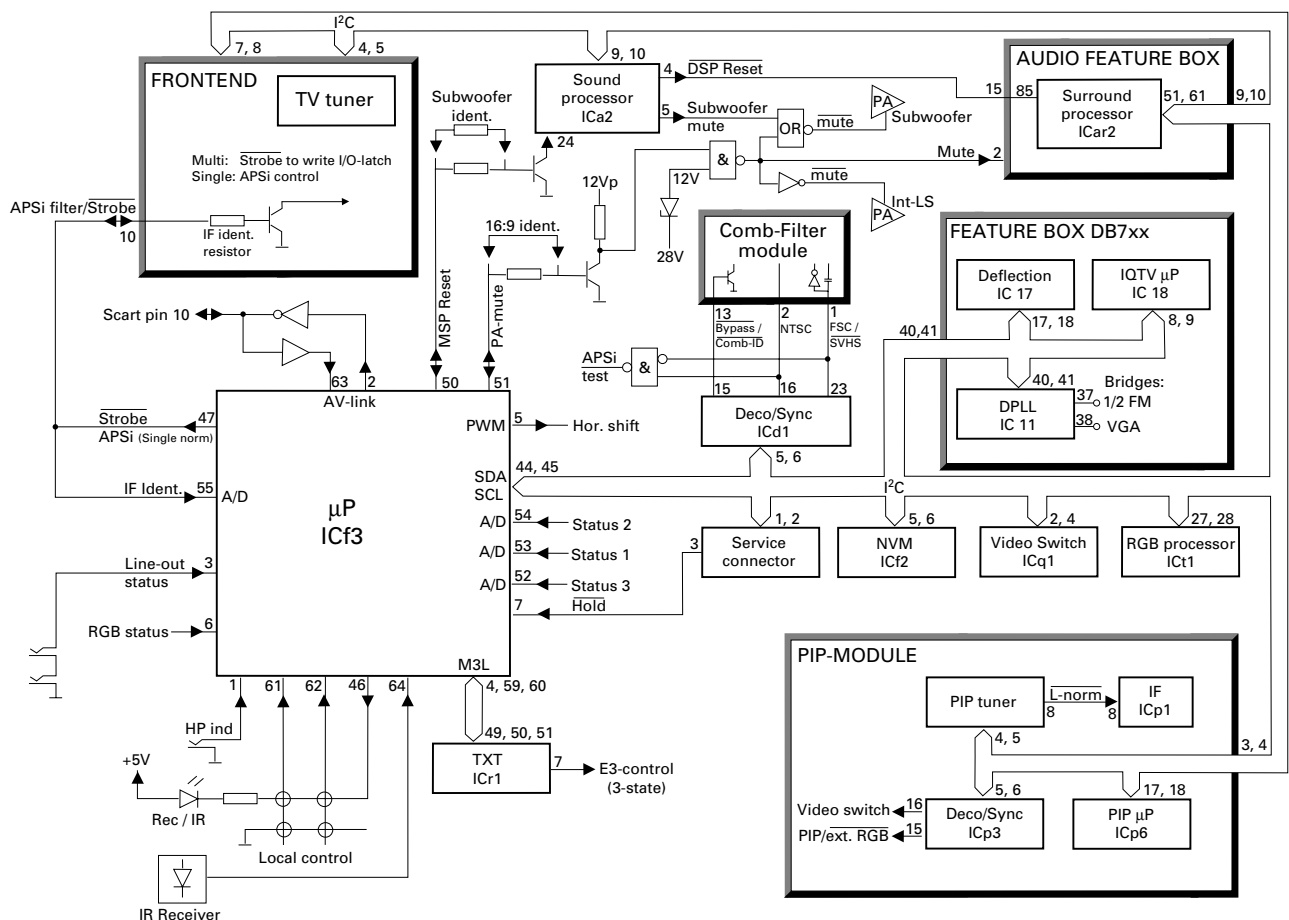
The picture in picture module PP710 is equipped with its own tuner / IF block in addition to the functions of the PP700. The IF signal from the PIP tuner is demodulated and amplified in ICp1, and fed onward to the video switch icp2, pin 4. The input selection (pins 9 and 10) is controlled via tuner pin 4, and is IIC-bus controlled.

MULTI CONCEPT MX-CHASSIS

TV

1997

Functional description



Contents

MICROPOWER CONTROL	1
POWER SUPPLY	2
RECEPTION	4
AUDIO SECTION	5
Multistandard Sound Processor, ICa2	5
Audio Power Amplifier, ICa1	6
Headphone Amplifier, ICa3	6
VIDEO SECTION	7
Video Matrix Switch, ICq1	7
Colour Decoder / Sync Processor, ICd1	7
Baseband Delay Line, ICd3	8
Feature boxes, DB7**	9
Feature box DB711	9
Analog to digital converter, ic9	9
Field memory, ic14	10
IQTV2 circuit, ic18	10
DPLL1 circuit, ic11	11
Deflection Controller TDA9151, IC17	11
Feature box DB710	12
Feature box DB700	12
RGB Video Processor TDA4780, ICt1	13
CRT module	14
Teletext	15
Megatext SDA5273, ICr1	15
Megatext Plus SDA5275, ICr1	15
Teletext memory DRAM, icr2	15
CONTROL SYSTEM	16
Program memory, ICf1	16
NV RAM, ICf2	16
Microcontroller, icf3	16
AND gate, icf4	17
Reset circuit, icf5	17
DEFLECTION STAGES	19
Vertical deflection	19
Horizontal deflection	19
OPTIONS	21
Active Subwoofer	21
Comb Filter module, CF700	21
Scan Velocity Modulation module, VM600	22
Audio Feature modules, AR700 and AR701	23
Adjustable Audio Output module, TA700	27
Scart 3 + VGA-audio module, TA710	27
Scart 3 module, TA711	27
Picture in Picture module, PP700	27
Picture in Picture module, PP710	28

MICROPOWER-STEUERUNG

Allgemein

Das Netzteil ist mit einem Micropower-System ausgerüstet, um den Stromverbrauch in der Betriebsbereitschaft auf ca. 100 mW zu senken (dieser liegt im Normalfall bei ca. 5 bis 7 W). Um dieses zu ermöglichen, müssen das Netzteil und die Entmagnetisierungsschaltung in der Betriebsbereitschaft vollständig abgeschaltet sein. Das einzige aktive Bauteil in der Betriebsbereitschaft ist die Micropower-Schaltung, die ihre Versorgungsspannung von einem kapazitiv gekoppelten Gleichrichter bezieht. Dieser liefert die Versorgungsspannung für nötige Schaltkreise wie einen „primären“ Infrarotempfänger und ein Gatter. Wird das Fernsehgerät mit dem Netzschalter oder durch ein Befehl der Fernbedienung eingeschaltet, steuert das Gatter einen Triac an, wodurch Netzspannung am Netzteil vorhanden ist. Gleichzeitig steuert die Micropower-Schaltung den Hauptmicrocontroller über Optokoppler. Die Micropower-Schaltung ist nicht netzisoliert.

Einschalten mit dem Netzschalter

Die Netzspannung wird direkt der Micropower-Schaltung zugeführt, die sich auf der eingebauten Schalttafel befindet. Die Schaltung bekommt ihre Versorgungsspannung von dem kapazitiv gekoppelten Gleichrichter bestehend aus den Kondensatoren Cfc24/26, den Widerständen Rfc23/24 und den Dioden Dfc6...Dfc9. Die Versorgungsspannung wird durch die Zenerdiode DZfc1 auf +5,1 V eingestellt und wird zum Infrarotempfänger Hfc2, zum NAND-Gatter ICfc1 sowie zur LED Dfc16 weitergeführt, die den Anschluß an das Netz anzeigt.

Das Fernsehgerät kann durch festes Drücken des Netzschalters eingeschaltet werden. Ein zusätzlicher Kontakt im Netzschalter erzeugt einen LowLevel-Impuls über die Diode dcf13 auf die Pins 12/13 des NAND-Gatters. Aufgrund der Arbeitsweise des NAND-Gatters sind der Pin 11 wie auch die Pins 5/6 auf LOW, wobei Pin 4 auf HIGH ist. Der Transistor tfc1 leitet und erdet die Kathode im internen LED des Optokopplers ICfc2. Der Optokoppler führt dann die Netzspannung über den Widerstand Rfc27 zum Gatter des Triac Dfc1. Der Triac erhält ausreichende Startspannung über Rfc27, nach dem Widerstand Rfc26 parallel mit Rfc27 geschaltet wird, um den Triac im leitenden Zustand zu halten. Hierdurch steht die Netzspannung für das Netzteil zur Verfügung.

Ebenfalls gehen, wenn das Fernsehgerät mit dem Netzschalter eingeschaltet wird, die Pins 1/2 des NAND-Gatters zeitweise auf LOW, der Pin 3 auf HIGH, während der Transistor tfc6 leitet. Der Optokoppler ICfc4 leitet und führt zur Erdung der Kathode an der Diode dcf18. Dieses zeigt dem Microcontroller an, daß das Fernsehgerät über den Netzschalter eingeschaltet worden ist. Aufgrund der Entladung des Kondensators Cfc31 gehen die Pins 1/2 auf LOW und sowohl der Transistor tfc6 als auch der Optokoppler ICfc4 beenden den leitenden Zustand.

Das Netzteil erzeugt dann die Versorgungsspannung, der Microcontroller wird zurückgesetzt und die Pins 47 (Pict_on) und 48 (Rec_on) gehen auf LOW. Dieses veranlaßt den Optokoppler ICfc3 die Haltepins 12/13 auf LOW zu setzen, um die Triac-Schaltung Dfc11 leitend zu halten. Wird der Netzschalter nicht fest genug gedrückt, kann der zusätzliche Kontakt nicht lang genug schließen und das Fernsehgerät bleibt in der Betriebsbereitschaft.

Ein- und Ausschalten mit der Fernbedienung

Das Fernsehgerät muß selbstverständlich in Betriebsbereitschaft sein. Der Kondensator Cfc29 wird über rfc34 geladen, so daß der Level an den Pins 12/13 des NAND-Gatters HIGH ist. Wird der Befehl mit der Fernbedienung gegeben, entladen die Impulse auf den Pin

3 des „primären“ Infrarotempfängers die Kondensatoren Cfc28 und Cfc29. Folglich gehen die Pins 12/13 des NAND-Gatters auf LOW und der Triac leitet. Der Befehl muß ausreichend lang sein, damit das Netzteil genügend Zeit hat um Versorgungsspannung zu erzeugen und der Microcontroller zurückgesetzt werden kann, um den Startbefehl vom „sekundären“ Infrarotempfänger zu erhalten. Anschließend gehen die Pins 47 (P_on) und 48 (Rec_on) des Microcontrollers auf LOW und der Optokoppler ICf3 leitet und hält die Pins 12/13 des NAND-Gatters auf LOW.

Wird das Fernsehgerät mit der Fernbedienung ausgeschaltet, gehen die Pins 47 (P_on) und 48 (Rec_on) des Microcontrollers auf HIGH. Daher werden alle Vp- und Vr-Spannungen ausgeschaltet (horizontale und vertikale Stufen werden ausgeschaltet), der Optokoppler ICf2 leitet nicht und bringt die Pins 12/13 des NAND-Gatters auf HIGH. Der Optokoppler ICf2 leitet nicht und der Widerstand Rfc27 wird vom Gate des Dfc11 getrennt. Der Widerstand Rfc26 allein ist nicht in der Lage, ausreichend Haltespannung zum Triac zu liefern und somit wird das Netzteil vom Netz getrennt.

NETZTEIL

Allgemein

Das Netzteil ist ein SMPS. Die Netzisolation wird durch den Transformator Mo2 durchgeführt. Die Netzspannung wird durch die Dioden Do1 Do4 doppelweggleichgerichtet und vom Kondensator Co10 gefiltert. Diese gefilterte Spannung wird zum Schalttransistor To1 (MOSFET) über die Primärwicklung 11 und 5 des Netztransformators geleitet. Während der Leitphase von To1 wird Energie in der Primärwicklung 11 und 5 gespeichert. Wird der Transistor To1 abgeschaltet, fließt die Energie in die Sekundärwicklungen. Diese Impulse werden durch die Sekundärdioden Do11... 14 und Do16 gleichgerichtet.

Die folgenden Versorgungsspannungen sind über die Sekundärdioden verfügbar:

+130 V	Horizontale Endstufe
+28 V	Audioverstärker, Subwoofer und Audio-Feature-Modul
+17 V	+12 V IC-Regler, horizontaler Treiber und Reglertransistor +8 Vp
+7 Vfb	Feature-Box
+7 V	+5 Vr IC-Regler, +5 Vstb IC-Regler und +7 V Versorgungsspannung

Hinweis! Die Spannungswerte können - abhängig von der Bildröhre - abweichen. Genauere Werte sind den Stromlaufplänen zu entnehmen.

Das Netzteil ist für den Master-Slave-Betrieb konzipiert, wobei der Stromversorgungsregler ICo1 als Sklave und der sekundäre Regler ICo2 als Master arbeitet. Das Netzteil arbeitet in den verschiedenen Betriebsphasen folgendermaßen:

Einschaltphase:

Das Netzteil befindet sich im primären Regelbetrieb (Burst-Betrieb). Der Stromversorgungsregler ICo1 erzeugt unabhängige Steuerimpulse für den Schalttransformator.

Betriebsphase:

Das Netzteil befindet sich im sekundären Regelbetrieb (Master-Slave-Betrieb). Der sekundäre Regler ICo2 erzeugt Steuerimpulse für den Stromversorgungsregler ICo1. The secondary controller is synchronized to the line flyback pulses.

Recording mode:

Power supply is in the secondary regulation mode (master-slave mode). Secondary controller ICo2 generates drive pulses for power supply controller ICo1. The secondary controller is synchronized to the free running frequency of an internal oscillator.

Ausschalten in die Betriebsbereitschaft:

Das Netzteil befindet sich im primären Regelbetrieb (Burst-Betrieb). Der Stromversorgungsregler ICo1 erzeugt unabhängige Steuerimpulse für den Schalttransformator.

Betriebsbereitschaftsphase:

Durch die Micropower-Steuerung ist das Netzteil vollständig spannungsfrei.

Das Netzteil verfügt ebenfalls über eine sogenannte Service-Betriebsbereitschaft. Das Fernsehgerät ist in der Service-Betriebsbereitschaft, wenn es durch Drücken der Tasten -vol / menu, TV und i in den Servicemodus versetzt wird, aber noch nicht durch zweimaliges Drücken der TV-Taste eingeschaltet worden ist. In dieser Phase ist das Netzteil in Betrieb (Burst-Betrieb), jedoch die Spannungen Vr und Vp sind nicht vorhanden.

Einschalten

Nach dem Einschalten mit dem Netzschalter - wenn die Triac-Schaltung Dfc11 (auf der Microsteuerung) leitet - wird der Kondensator Co15 über die Widerstände Ro9, Ro11, Ro70 und den Thyristor To19 aufgeladen. Wenn die Startspannung am Pin 16 des ICo1 den Einschaltsschwellenwert erreicht (dieser beträgt normalerweise +11,8 V), geht der IC in Betrieb.

Die Versorgungsspannung des ICo1 wird dann von Pin 3 der Sekundärwicklung über die Einweggleichrichter-Diode abgenommen. Dieser Pin 3 der Wicklung übermittelt Impulse zur Diode Do9. Diese Spannung steuert den Transistor To9 zum Leiten und Erden des Schaltkreises vom Thyristor To15.

Dieselbe Gleichspannung, die von der Kathode der Diode Do9 abgenommen wird, dient zur Regelung des Netzteils. Die Gleichspannung wird über den Netzfilter Ro26, Co28 und Ro24 zum Eingang des Fehlerverstärkers an Pin 6 geleitet. Der Fehlerverstärker vergleicht die Eingangsspannung mit der internen Referenz (+2,5 V) und ändert die Burst-Zeit. Die Widerstände ro4 und ro10 stellen die Spannung auf den richtigen Wert ein.

Eine eventuelle Magnetisierung des Transformators kann durch Abfühlen der Spannung an den Pins 2 und 3 der Wicklung festgestellt werden. Diese Information wird über den Widerstand Ro15 zum Pin1 des ICo1 weitergeleitet. Wird der festgelegte Wert überschritten, können die Ausgangsimpulse nicht erzeugt werden.

Um eine Magnetisierung während der Einschaltphase zu vermeiden, wird der Betrieb mit der internen Betriebsfrequenz des Oszillators - geteilt durch vier - gestartet, bis die Spannung am Softstart-Pin 9 einen Wert von +2,5 V erreicht. Die Betriebsfrequenz des Oszillators wird durch den Kondensator Co16 an Pin 10 und den Widerstand Ro3 an Pin 11 auf 27 kHz eingestellt.

Ansteuerung des Schalttransistors

Der Pin 14 gibt Rechteckimpulse zum Gate des Schalttransistors To1. Die Widerstände R02 und Ro13 begrenzen den Gate-Strom. To1 leitet während des Positivimpulses und der Absaugstrom fließt durch die Pins 11 und 5 der Primärwicklung. Die Klemmschaltung Do6, Co11 und Ro16 begrenzt die Spannungsspitzen, wenn To1 ausgeschaltet wird. Die Quelle von To1 wird über die Strombegrenzungswiderstände Ro18, Ro19, Ro21 und Ro22 geerdet. Die Information über diesen Strom wird zum Pin 3 des Stromversorgungsreglers weitergeleitet.

Nach der Startphase, wenn die Versorgungsspannungen erzeugt worden sind, geht das Netzteil vom primären in den sekundären Regelbetrieb über. Der Microcontroller wird zurückgesetzt und die Pins 48 (P_on) und 49 (R_on) gehen auf LOW. Die Leitung R_on ermöglicht es, über den Transistor to6 und den Regler ICo3 +12 V weiterzugeben. Diese Spannung wird zum sekundären Regler ICo2 (Pin 2) weitergeführt und der IC geht in Betrieb.

Der Kondensator co58 an Pin 1 arbeitet als Softstart-Kondensator, der die Dauer des Softstarts auf ca. 20ms festlegt.

Die freischwingende Frequenz eines internen Oszillators wird durch den Kondensator co72 an Pin 7 und den Widerstand Ro37 an Pin 8 auf 32 kHz eingestellt. Im Normalbetrieb wird der Oszillator durch die Zeilenrückschlagimpulse über das Differenzglied Ck6, den Widerstand ro38 und die Diode Do18 synchronisiert. Im Aufzeichnungsbetrieb werden die Spannungen Vp ausgeschaltet und somit ist das Zeilenrückschlagsignal nicht vorhanden. In diesem Fall ist der Oszillator im freischwingenden Betrieb.

Der interne Schwingweitenmodulator wird durch Vergleich der Eingangsspannungswerte an Pin 5 mit den Sägezahnimpulsen des Oszillators verglichen. Der Pin 5 ist über das Widerstandsnetzwerk Ro46, Ro44, Ro50, Ro45 und Ro42 an +140 V angeschlossen. Mit dem Trimmerpotentiometer Ro45 können die Ausgangsspannungen des Netzteils geregelt werden. Um ein übermäßiges Abfallen der Spannung auf +7 V während des Aufzeichnungsbetriebs zu vermeiden, wird die Diode Do20 von dem oben erwähnten Widerstandsnetzwerk mit +7 V versorgt. Falls der Spannungswert weit unter +7 V abfällt, leitet die Diode und bewirkt einen niedrigeren Spannungswert an Pin 5. Der Regler erzeugt dann größere Impulse an Ausgangspin 3 und die Versorgungsspannung des Netzteils wird erhöht. Die weitenmodulierten Steuerimpulse werden von Pin 3 über den Impulsüberträger Mo3 zum Pin 2 des Reglers für das Netzteil übertragen. Die Anstiegsflanke der Steuerimpulse bewirkt das Leiten des Schalttransistors, wobei die Abfallflanke, die auf die Zeilenrückschlagimpulse synchronisiert wird, den Transistor ausschaltet. Diese Anordnung verhindert Störungen, die durch die Ausschaltzeit des Transistors beim Bildaufbau verursacht werden.

Erkennung von Unter-/Überspannung

Der Stromversorgungsregler besitzt einen internen Monitor für sowohl Unter- als auch Überspannung an Pin 16. Der untere Schwellenwert der Spannung ist normalerweise +8,5 V. Niedrigere Spannungswerte sperren die Ausgangsimpulse. Der obere Schwellenwert der Spannung ist normalerweise +15,7 V. Höhere Spannungswerte sperren die Ausgangsimpulse. Ein Neustart erfordert zuerst ein Sinken des Spannungswertes an Pin 16 auf unter +8,5 V und anschließend ein Steigen auf +11,8 V, bis der Spannungswert über den Kondensator Co22 +2,5 V erreicht hat. In diesem Fall ist der Schaltkreisbetrieb vollständig gesperrt.

Strombegrenzung

Wie oben erwähnt, ist die Quelle des Schalttransistors über das Widerstandsnetzwerk Ro18/19 und Ro21/22 geerdet. Das Meßergebnis wird zum Eingangspin 3 des ICo1 übermittelt. Es wird ein doppeltes Schwellensystem verwendet; der erste Grenzwert von +0,6 V gegen kurzzeitige Überlast und ein zweiter Grenzwert von +0,8 V gegen sehr hohe Überlast. Ist der erste Schwellenwert erreicht, hört der Schalttransistor bis zum Ende der Periode auf zu leiten. Soll dieser wieder leiten, ist ein neuer Impuls erforderlich. Während der ersten Schwellenperiode wird der Kondensator Co22 geladen. Falls der Spannungswert über Co22 +2,5 V erreicht, wird der Ausgang gesperrt. Dieses System wird „Repetitive Overload Protection“ genannt. Jedoch wird, wenn die Überlast absinkt bevor +2,5 V erreicht worden sind, der Kondensator Co22 entladen und der Normalbetrieb fortgesetzt. Falls eine sehr hohe Überlast den zweiten Schwellenwert erreicht, wird der Ausgang sofort gesperrt. Wenn die Stromversorgung durch Überschreiten des ersten Schwellenwertes unterbrochen worden ist, kann diese durch Vermindern der Versorgungsspannung an Pin 16 unter +8,5 V und durch anschließendes Erhöhen auf +11,5 V wiederhergestellt werden. Falls jedoch die Stromversorgung infolge von Überschreiten des zweiten Schwellenwertes unterbrochen worden ist, wird der Schaltkreis vollständig unterbrochen und kann dann nur mit dem Netzschalter wieder in Betrieb genommen werden.

Regler / Spannungsschalter

Der ICo4 regelt die +5 Vstby-Spannung, die bei arbeitendem Netzteil immer vorhanden ist. Aufgrund des

Micropower-Systems sind in der Betriebsbereitschaft keine Spannungen vorhanden.

Der ICo3 regelt die +12 Vr- und +12 Vp-Versorgungsspannungen. Die +12 Vr-Spannung ist im Normal- und Aufzeichnungsbetrieb vorhanden, jedoch nicht in der Service-Betriebsbereitschaft.

Die +12 Vp-Spannung kann im Aufzeichnungsbetrieb von dem Microcontrollerausgeschaltet werden. In diesem Fall ist die P_on-Zuleitung auf HIGH, der Transistor to7 leitet und der Transistor to4 wird abgeschaltet. Die +12 Vp- und +8 Vp-Spannungen sind nicht vorhanden und deshalb ist die horizontale Ablenkstufe nicht in Betrieb.

Der ICo6 regelt die +5 Vr-Spannung, die im Normal- und Aufzeichnungsbetrieb, jedoch nicht in der Service-Betriebsbereitschaft vorhanden ist.

Die Abstimmungsspannung von +30 V für den Tuner wird über +130 V geregelt. Der Schaltkreis befindet sich in der horizontalen Endstufe und besteht aus den Widerständen Rk11 ... Rk114 und der Zenerdiode ZDk1.

EMPFANG

Tuner / ZF

Der Tuner wird als „Front End“-Tuner bezeichnet, weil sich der Tuner-Block und der IF-Block zusammen in einem Modul befinden. Die Kanalabstimmung beruht auf einem Frequenzsynthesystem in einem Frequenzbereich von 48.25 MHz bis 855.25 MHz einschließlich der Kabel- und Hyperbandkanäle.

In Multistandard-Fernsehgeräten werden beide Blöcke über den IIC-Bus geregelt. Der IIC-Bus des ZF-Blocks arbeitet nur im Einweg-Datenverkehr. In BG-Standard-Fernsehgeräten hat der ZF-Block keine Schnittstelle zum IIC-Bus.

Multistandard-ZF-Block

Der Filter SAW501 arbeitet als Bildsignalfilter. Das Video-ZF-Signal wird zu den Pins 28 und 29 des Bild- / Tondetektorschaltkreises IC501 geleitet.

Die Filter SAW502 (BG, DK, I, Nicam L) und SAW503 (Nicam L', L/L' AM) arbeiten als Tonsignalfilter. Die Wahl des Standards erfolgt über die Dioden D501 und D502 und die Transistoren T502 und T503. Die Transistoren werden über den Pin 7 des IIC-Bus-Expander (IC502) gesteuert. Die Ton-ZF-Signale werden zu den Pins 31/32 (BG, DK, I, Nicam L), 1/2 (Nicam L') und 4/5 (AM L/L') des Detektorschaltkreises geleitet.

Die AGC-Einstellung wird über das Potentiometer P501 an Pin 26 durchgeführt. Die Pins 20 und 21 sind Eingänge für die Standardwahl, die vom IIC-Bus-Expander geregelt werden. Die AFC-Information wird von Pin 11 zum Tunerblock und weiter zum IIC-Bus gegeben. Die AGC-Regelung wird über den Pin 27 zum Tunerblock durchgeführt. Die Tankspule des FPLL-VCO befindet sich zwischen den Pins 14 und 19. Diese PLL-Referenzspule bestimmt den Haltepunkt eines aufgefundenen Kanals während der APSi. Die VCO-Frequenz ist eine zweifache Videoträgerfrequenz ($2 \times 38,9 \text{ MHz} = 77,8 \text{ MHz}$). Bei vorliegendem L'-Standard wird die VCO-Frequenz auf $67,8 \text{ MHz}$ ($2 \times 33,9 \text{ MHz}$) durch die Standardwahl an den Pins 20 und 21 festgelegt und mit dem Potentiometer P502 an Pin 20 eingestellt.

Das ZF-Tonsignal wird vom Pin 8 und das AM-Signal vom Pin 7 zum Multistandard-Sound-Prozessor Ica2 geleitet. Das CVBS-Signal wird vom Pin 23 zum Gruppenlaufzeit-Korrekturschaltkreis und zu den Verstärkern bestehend aus den Transistoren T504 ... 514 und damit verbundenen Bauteilen geführt. Das CVBS-Signal wird dann zur Videomatrix ICq1 geführt.

Der Schaltkreis IC502 arbeitet als IIC-Bus-Expander (8-Bit Shift Register). Die Transistoren T515 und T516 trennen den IIC-Bus von den Pins 2 und 3, um mögliche Fehlfunktionen am IIC-Bus auszuschließen, wenn das Fernsehgerät ausgeschaltet wird. Die Bestimmung des Standards findet über den IIC-Bus statt. Der Microcontroller sendet Daten zum Schieberegister, die Ausgänge ändern gemäß der Daten ihren Zustand und der Ausblendimpuls schaltet auf die Ausgänge. Der Ausblendimpuls (hoher Pegel) wird vom Microcontroller (Pin 47) zur Basis des Transistors T517 und weiter zu Pin 1 geführt. Zusätzlich arbeitet der Basiswiderstand (R556) von T517 als Anzeige der eingebauten ZF-Modulversion. Der Nennwert dieses Widerstandes hängt von der Modulversion ab. Der Pin 55 des Microcontrollers liest die Spannung zwischen diesem Widerstand und dem Übergang zum Basisemitter ab und erkennt so die Modulversion.

Die Daten vom Microcontroller bestimmen die Ausgänge des IC502 bezüglich des Übertragungsstandards wie folgt:

Standard	Pin 11	Pin 13	Pin 14	Pin 7	Pin 6	Pin 5
B/G	H	L	L	L	H	H
I, K1	H	L	H	H	H	H
D/K	H	H	L	H	H	H
L	H	H	H	L	L	L
L'	H	H	H	H	H	L

Pin 11 steuert die Eingangsschalter des IC501. Der Pin 11 ist normalerweise auf HIGH. Während der Kanalsuche (APSi) geht der Pin 11 auf LOW. Ein niedriger Pegel an den Pins 27 und 28 des IC501 übermittelt das Video-ZF-Signal (anstelle der Sound-ZF) zum FPLL-Block. Weil das Videoband breiter ist, können Kanäle somit besser gefunden werden.

Pin 13 steuert den Gruppenlaufzeit-Korrekturschaltkreis
Pin 14 wählt den Ausgang des Gruppenlaufzeit-Korrekturschaltkreises

Pin 7 wählt den richtigen Sound-ZF-Filter

Pin 5/6 steuert die Eingangsschalter und den AM-Demodulator und wählt die richtige Modulation und VCO-Frequenz

BG-Standard ZF-Block

Der BG-ZF-Block ist wesentlich einfacher aufgebaut als der Multistandard-ZF-Block. Es ist nur ein SAW-Filter vorhanden während der IIC-Bus-Expander, der Gruppenlaufzeit-Korrekturschaltkreis sowie verschiedene Schalttransistoren fehlen.

Während der Kanalsuche (APSi) steuert der Microcontroller (Pin 47) den Transistor T501 zum Leiten an. Ein niedriger Pegel an den Pins 27 und 28 gibt das Video-ZF-Signal zum FPLL-Block weiter, um das Auffinden von Kanälen zu verbessern.

Abstimmung

Die Abstimmung wird mit dem APSi-System (Automatische Programmsuche, Sortieren und Kanalidentifizierung) durchgeführt. Zur Benennung und Identifizierung der Kanäle dient entweder PDC (Program Delivery Code), VPS (Video Programming System), NI (Nation Identification) oder die Kopfzeile (Header) des Videotextes. Das Sortieren der Kanäle ist vom jeweiligen Land abhängig und wird durch die Software bestimmt.

AUDIOBAUGRUPPE

- Sound-Prozessor
- Audio-Leistungsverstärker
- Verstärker für Kopfhörer

Multistandard Sound Processor, ICa2

Allgemein

Der MSP3410D ist ein Single-Chip Multistandard Sound-Prozessor in CMOS-Technologie. Der Schaltkreis wird vom Microcontroller über den IIC-Bus überwacht.

Der Sound-Prozessor führt gleichzeitig eine digitale Demodulation und eine Decodierung des NICAM-codierten TV-Stereoklangs wie auch eine Demodulation von FM TV-Monoklang durch. Alternativ können ein Zweiträger-FM-System (nach den deutschen terrestrischen Normen, A2 Stereo) oder die Voraussetzungen für einen Satellitendurch den Sound-Prozessor gegeben werden.

Sämtliche FM-modulierten Signale im Bereich von 0,2 MHz bis 9,0 MHz können verarbeitet werden.

Der Sound-Prozessor kann die Quelle des Audiosignals wählen, analoge in digitale Audiosignale umwandeln, auf verschiedene Arten unterdrücken (einschließlich Wegener Panda 1, 50/75 μ s und J17), digitale FM-Identifizierung entschlüsseln und entrastern sowie die Verarbeitung von digitalen Basisbändern durchführen. Er kann ebenfalls die Lautstärke getrennt für Lautsprecher und Kopfhörer regeln, den Bass, die Höhen, den Graphic-Equalizer und die Balance, den Pseudo-Stereoton und Vergrößerung der Basisweite einstellen sowie digitale Audiosignale in analoge Form mit Oversampling-D/A-Wandlern (vierfach). Dieses ermöglicht ein Audiospektrum von 20 Hz bis 16 kHz bei einem S/N-Verhältnis von 85 dB.

Der Sound-Prozessor benötigt einen Schwingquarz von 18,432 MHz, dessen nominale freie Schwingfrequenz nicht mehr als ± 1 kHz betragen sollte, waseiner Toleranz von ± 0.005 % entspricht.

Ein Audiosignal zum Sound-Prozessor kann vom ZF-Teil, von Scart 1, Scart 2 oder Scart 3 und vom Kamera- / VGA-Audioanschluß (oder Scart 4) abgenommen werden. Die Quelle wird durch den Sound-Prozessor gewählt. Das

aufbereitete Audiosignal wird zu den verschiedenen Ausgängen wie Verstärker für Lautsprecher /einstellbares Audioausgangsmodul, Verstärker für Kopfhörer, Anschlüsse Scart 1 und Scart 2 (Scart 3 optional). Der Schaltkreis hat zusätzlich einen separaten Ausgang für einen Subwoofer-Verstärker einschließlich Hochpaßfiltern für die Lautsprecherausgänge und Tiefpaßfiltern für die Subwooferausgänge im Chip integriert. Die obere Sperrfrequenz ist von 50 Hz bis 400 Hz in 10 Hz-Schritten programmierbar. Abhängig von der Programmierung der oberen Sperrfrequenz wird die untere Sperrfrequenz für die Lautsprecherkanäle automatisch geändert.

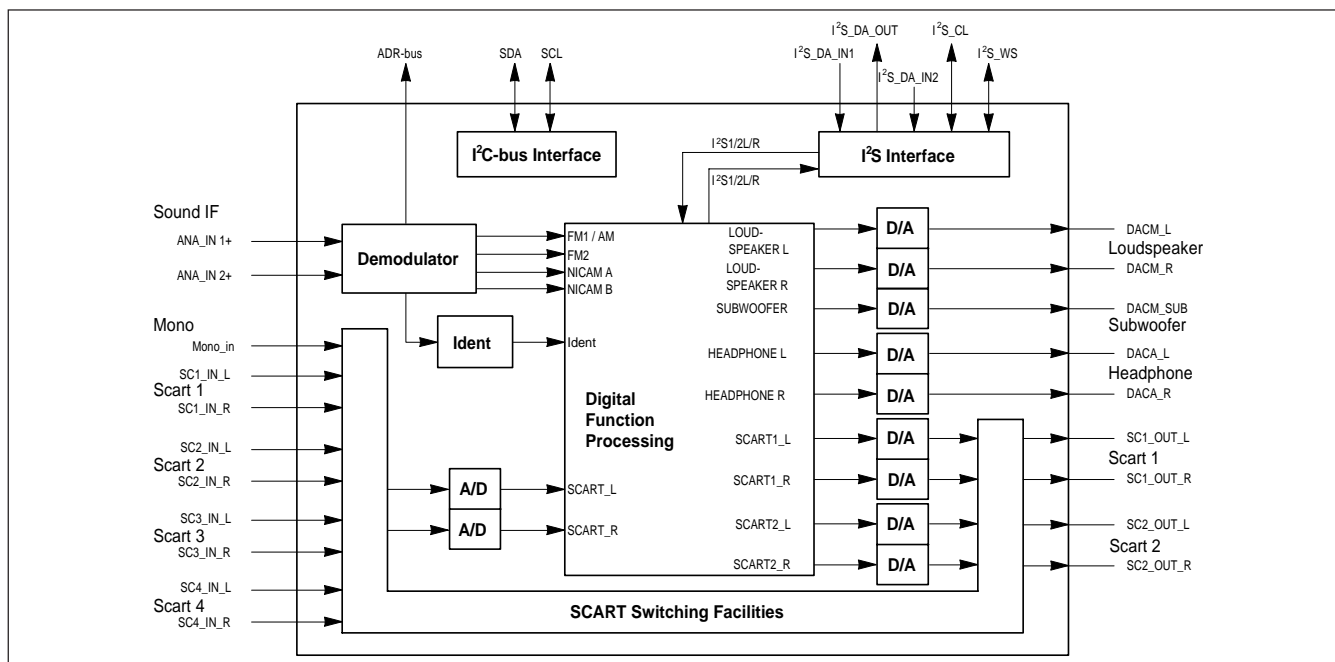
Für optionale Audio-Features ist eine IIS-Bus-Schnittstelle mit zwei Dateneingängen erhältlich.

In einigen Fernsehgerätebaureihen kann als Sound-Prozessor der Typ MSP3400 eingebaut sein. Der einzige Unterschied besteht darin, keine Nicamsignale identifizieren oder verarbeiten zu können.

Der Sound-Prozessor ist in drei Funktionseinheiten aufgeteilt:

- Demodulator- und Decodereinheit
- Digitale Signalverarbeitungseinheit für die Verarbeitung des Audiobasisbandes
- Analoge Einheit mit zwei A/D-Wandlern, neun D/A-Wandlern und Kanalwahl

Das folgende vereinfachte Blockschaltbild zeigt den Aufbau des MSP3410D.



Die Pinfunktionen des Sound-Prozessors:

Pin	I / O	Kurzbeschreibung
04	O	DSP zurücksetzen und ausschalten bei LOW
05	O	Subwoofer ausschalten bei HIGH
07	I	Versorgungsspannung +5 Vr
09	I	I2C Takt (SCL)
10	I/O	I2C-Daten (SDA)
11	O	I2S Takt
12	I/O	I2S Wortwahl
13	O	I2S-Datenausgang
14	I	I2S1 Dateneingang
18		Digitale Stromversorgung +5Vr
19		Digitale Erdung
20	I	I2S2-Dateneingang
24	I	MSP einschalten / RESET bei LOW
25	O	Kopfhörerausgang, R
26	O	Kopfhörerausgang, L
28	O	Lautsprecher Ausgang, R
29	O	Lautsprecher Ausgang, L
31	O	subwooferausgang
33	O	Scart-Ausgang, R
34	O	Scart-Ausgang, L
36	O	Scart-Ausgang, R
37	O	Scart-Ausgang, L
38		Pegelkondensator (Hp amp)
39		Analoge Stromversorgung +8.0V
40		Pegelkondensator (Ls amp)
42		Analog ref V, Hochspannungsteil
43	I	Scart-Eingang, L
44	I	Scart-Eingang, R
46	I	Kamera-Eingang, L
47	I	Kameraeingang, R
49	I	Scart-Eingang, L
50	I	Scart-Eingang, R
52	I	Scart-Eingang, L
53	I	Scart-Eingang, R
54		Referenzspannung ZF A/D Wandler
55	I	Monoeingang
57		Analoge Stromversorgung +5Vr
58	I	ZF-Eingang 1
59	I	ZF-Eingang (allgemein)
60	I	ZF-Eingang 2 (Tuner SIF)
62	I	Schwingquarz 18.432 MHz
63	O	Schwingquarz

Audible Leistungsverstärker, Ica1Das

Audiosignal wird durch den Zweikanal-HiFi-Audible Leistungsverstärker TDA2616 verstärkt. Der Verstärker hat ein eingebautes Schutzsystem gegen Kurzschluß und thermische Überlast. Er ist auch mit einem internen Stummschaltungseingang ausgestattet, der unerwünschte Signale an den Eingängen beim Ein- oder Ausschalten des Fernsehgerätes abschwächt.

Die Audiosignale werden vom Audioprozessor zu den Pins 1 (L) und 9 (R) geleitet. Ein LOW an Pin 2 schaltet den Verstärker stumm. Das Stummschaltesignal wird vom Microcontroller (Pin 51) über die Transistoren ta10, ta4 und ta3 abgenommen. Ein hoher Pegel an Pin 51 des Microcontrollers bewirkt eine sogenannte „zentrale Stummschaltung“, was eine Stummschaltung aller Audible Leistungsverstärker ist.

Die Versorgungsspannung +28 V wird vom Netzteil zu Pin 7 geführt. Die verstärkten Audiosignale für die Lautsprecher kommen von den Pins 4 (C) und 6 (R). Der Scheinwiderstand des internen Lautsprechers beträgt 8 ohm und der minimale Scheinwiderstand des externen Lautsprechers beträgt ebenfalls 8 ohm. Ist ein externer Lautsprecher vorhanden, wird der interne Lautsprecher durch einen Schalter im Lautsprecheranschluß stummgeschaltet.

Verstärker für Kopfhörer, Ica3

Audiosignale vom Sound-Prozessor werden zu den invertierenden Eingangspins 2(L) und 6 (R) geleitet. Die Ausgänge zum Kopfhöreranschluß sind von den Pins 1(L) und 7 (R). Im Kopfhöreranschluß ist ein Schalter, der dem Microcontroller übermittelt, wenn ein Kopfhörer angeschlossen ist. Die Lautstärkeregelung für den Kopfhörer erscheint dann zusätzlich zur Lautstärkeregelung für den Lautsprecher im Display.

VIDEOBAUGRUPPE

Die Videobaugruppe ist in folgende Funktionseinheiten aufgeteilt:

- Videokoppelung / Scartanschlüsse
- Farbdecoder / Synchronisierprozessor
- Basisband-Verzögerungsleitung
- Feature-Boxen- RGB-Videoprozessor- CRT-Modul
- Videotext

Videokoppelun

Der TEA6417 ist ein über den IIC-Bus gesteuerter Signalschalter, der ein Schalten von 8 Eingangsquellen auf 6 Ausgänge ermöglicht. Jeder Ausgang kann nur an einem Eingang angeschlossen werden, jedoch kann ein Eingang an verschiedene Ausgänge angeschlossen werden. Die Bandbreite beträgt 15 MHz und die Nominalverstärkung von Eingang zu Ausgang ist 6,5 dB. Alle Schaltmöglichkeiten werden über den IIC-Bus mit den Pins 2 (SDA) und 4 (SCL) gesteuert. Der Schaltkreis arbeitet mit einer Versorgungsspannung von +10 V, die zu den Pins 9 und 12 geleitet wird. Diese +10 V werden von der Zenerdiode Zdq1 mit +12 V geregelt. Die Ein- und Ausgänge sind wie folgt verbunden:

Eingang	Signal	Quelle
1	CVBS	Scart 3
3	CVBS	Scart 1
5	C	Scart 2
6	CVBS / Y	Scart 2
8	CVBS / Y	Cam-Anschluß
10	C	Cam-Anschluß
11	CVBS	Tuner
20	CVBS	Bild-in-Bild-Tuner
Ausgang	Signal	Ziel
13	CVBS / Y	Decoder / Kammfilter
14	C	Decoder / Kammfilter
15	CVBS / Y	Bild-in-Bild-Modul
16	C	Bild-in-Bild-Modul
17	CVBS / Y	Scart 2
18	CVBS	Videotext

Scart 1

Der Scart 1 ist vollständig angeschlossen, d.h., daß dessen RGB-Eingänge ebenfalls verfügbar ist. Im RGB-Modus wird das Schnellaustastsignal von Scartpin 16 zu Pin 18 des Farbdecoders und über tq3, tq4, Cq32 (und NAND-Gatter ic4-4) zu Pin 6 des Microcontrollers geleitet. Das RGB-Betriebssignal wird zum Microcontroller übermittelt, um die richtige Einstellung der H-Lage zu aktivieren. Es ermöglicht ebenfalls dem Farbdecoder, den Eingang zwischen RGB-Signal und verarbeiteten YUV-Signalen zu wählen. Die Wahl wird durch einen Schaltblock im Farbdecoder über den IIC-Bus bewerkstelligt.

Der Scart 1 hat einen festen Ausgangsanschluß für den Tuner CVBS von Scartpin 19 über die Transistoren tq9 und Tq2.

Der Scart 1 arbeitet auch als AV-Verbindungsanschluß. Der Ausgang der AV-Verbindung geht von Pin 2 des Microcontrollers weiter über den Transistor tq7 und den Scartpin 10. Der Eingang der AV-Verbindung geht vom selben Scartpin weiter über die Diode dq4 und Transistor tq8 zu Pin 63 des Microcontrollers. Das System der AV-Verbindung ermöglicht einen Datentransfer zwischen dem Fernsehgerät und beispielsweise einem Videorecorder. Das System basiert auf dem „P50“-Standard und ermöglicht z.B. den Transfer von Kanalabstimmungen und EPG-Programmierung (Electrical Program Guide).

Scart 2

Zusätzlich zum S-VHS-Eingang ist der Scart 2 als Ausgang für S-VHS-Signale vorgesehen, die von den Kameraanschlüssen kommen. Der Ausgang des Luminanzsignals führt über den Transistor Tq1 und das des Farbwertes über tq3 und tq2. Der Scart 2 dient auch als AV-Verbindung.

Scart 3 (Option)

Der Scart 3 ist ein optionaler Anschluß mit den gleichen Eigenschaften wie Scart 1.

Genauere Informationen sind in Abschnitt „Optionen, TA710“ enthalten.

Farbdecoder / Synchronprozessor, ICd1

Allgemein

Der TDA9413 ist ein IIC-Bus gesteuerter, selbsteinstellender PAL / NTSC / SECAM-Decoder / Synchronprozessor.

Der Farbdecoder kann sowohl CVBS- als auch Y/C-Signale verarbeiten. Die integrierte Schnellschaltung wählt entweder das Y-Signal mit den UV-Eingangssignalen oder YUV-Signale bestehend aus RGB-Eingangssignalen.

Der Synchronprozessor erzeugt einen zweistufigen Sandcastle-Impuls (SC), einen horizontalen Synchronimpuls (HA) sowie einen vertikalen Synchronimpuls (VA).

Eingangsschalter

Der Schaltkreis verfügt über einen Zweipin-Eingang für die CVBS- (Pin 26) oder die Y/C-Eingangssignale (Pins 26 und 25). Die Wahl zwischen den Signalen geht über den IC-Bus.

RGB-Farbmatrix

Die RGB-Signale von Scartanschluß 1 (oder von Scartanschluß 3) werden zu den Eingangspins 19 (B), 20 (G) und 21 (R) übermittelt. Die RGB-Farbmatrix wandelt RGB-Signale in YUV-Signale um. Das erforderliche Eingangssignal wird durch den Schnellschalter zwischen den umgewandelten und entschlüsselten YUV-Signalen gewählt. Dieser Schalter wird durch das Schnellaustastsignal an Pin 18 gesteuert.

Luminanzverarbeitung

Von Eingangspin 26 wird das CVBS/Y-Signal über den Y-Klemmkreis zu den Gyrator-Kondensator-Sperrfiltern geführt, einschließlich der einstellbaren Luminanzverzögerung und des Farbwert-Sperrfilters. Die Luminanzverzögerung gleicht die Verzögerung aus, die durch die externe Basisband-Verzögerungsleitung für die UV-Signale verursacht wird. Der Farbwert-Sperrfilter kann auf 4.43 MHz (PAL / NTSC), 4.28 MHz (SECAM) oder 3.58 MHz (NTSC) eingestellt werden. Die Schaltung wird über den Schaltkreis für die Standarderkennung gesteuert. PAL Y-, NTSC 3.58 Y- (vom Kammfilter) und S-VHS Y-Signale umgehen die Farbwertsperrfilter, um die Signalbandbreite einzuhalten. Die Umkehrfunktion geschieht automatisch über den IIC-Bus im S-VHS-Modus und bei PAL / NTSC 3.58-MHz-Empfang, wenn der Kammfilter installiert ist. Nach der Farbwertsperrfilterung wird das Y-Signal zur Schaltstufe und von Pin 12 zum Feature-Box-Modul geleitet.

Chrominanzverarbeitung

Vom Eingangsschalter wird das CVBS / C-Signal durch den ACC-Verstärker zu den Farb-Bandpaßfiltern geleitet. PAL C, NTSC 3.58 C- (vom Kammfilter) und S-VHSC-Signale umgehen diese Bandpaßfilter um die Signalbandbreite einzuhalten. Der Farbwert wird dann zur Standarderkennung und den Farbdecoderstufen weitergeleitet.

Der Schaltkreis der Standarderkennung ist ein digitaler Schaltkreis ohne externe Bauteile. Die Quarze an Pin 30 (Bezugsquarz) und 31 (zweiter Quarz) legen die Standards fest, die entschlüsselt werden können. Der IIC-Bus dient zur Anzeige derangeschlossenen Quarze, um eine saubere Einstellung der Kalibrierschaltkreise zu ermöglichen. Die Bauteile an Pin 29 bilden den PLL-Farbfilter. Der Pin 23 steuert den Multiplexer-Schaltkreis am Kammfiltermodul, um die S-VHS-Signale im Multiplexer („L“) zu umgehen oder um Signale weiter zum Kammfilter-IC („H“) zu übermitteln. Zusätzlich dazu führt der Pin 23 die Hilfsfrequenz (Fsc) vom aktiven Quarz zum Kammfilter-IC. Nach dem PAL / NTSC-Demodulator und dem SECAM-Demodulator werden die Signale zur Schaltstufe geleitet, die über den Schaltkreis der Standarderkennung gesteuert wird. Schließlich gehen die Farbdifferenzsignale von den Pins 2 (U) und 1 (V) zur Basisband-Verzögerungsleitung.

Von der Verzögerungsleitung werden die Farbdifferenzsignale an die Pins 3 (U) und 4 (V) geleitet, dann weiter zur Schaltstufe und von den Pins 14 (U) und 13 (V) zum Feature-Box-Modul geleitet.

Synchronverarbeitung

Das CVBS / Y-Signal wird durch den Synchronseparator zum Horizontal-PLL und zum vertikalen Synchronseparator geleitet.

Hauptbestandteil des Synchronschaltkreises ist ein 432 x fH (6.75 MHz) Oszillator. Diese Frequenz wird durch 432 geteilt um den Phasendiskriminator für das eingehende Signal zu festzulegen. Die Zeitkonstante für die Schleife kann gewählt werden, um entweder im schnellen Modus, im Auto-Modus oder langsamen Modus unter Verwendung des IIC-Bus zu sein. Die freischwingende Frequenz des 432 x fH-Oszillators wird von einem digitalen Schaltkreis bestimmt, der auf den aktiven Quarz festgelegt wird. Die Bauteile an Pin 24 bilden den horizontalen PLL. Die Phasenschleife kann mit dem IIC-Bus aufgelöst werden. Dieses vereinfacht die Bildschirmhinweise. Wenn kein oder nur ein sehr rauschiges Signal vorhanden ist, kann die Phasenschleife gelöst werden, um eine stabile Zeilenfrequenz und somit eine stabile Bildschirmdarstellung zu erzielen.

Der horizontale Synchronimpuls (HA) wird vom Taktgeber über den Ausgangspin 17 zur Feature-Box übermittelt.

Das vertikale Teilersystem besitzt einen voll integrierten vertikalen Synchronseparator. Der Teiler funktioniert sowohl bei Systemen mit 50 Hz als auch bei welchen mit 60 Hz. Er kann entweder die Teilbildfrequenz automatisch bestimmen oder er kann auf die gewünschte Frequenz mit dem IIC-Bus eingestellt werden.

Das Teilersystem besteht aus einem Zeilenzähler, einem Normzähler, einem Taktgeber und einem Regler. Das System arbeitet mit dem 432-fachen der horizontalen Zeilenfrequenz. Der Zeilenzähler empfängt Freigabeimpulse mit der doppelten Zeilenfrequenz, so daß er zwei Impulse pro Zeile zählt. Dieses Zählergebnis wird dem Regler übermittelt. Der Regler kann in einem von drei Zuständen sein: Norm, normnah oder keine Norm. Wenn der Zähler im Normzustand ist, erzeugt er automatisch einen vertikalen Synchronimpuls (VA) durch den Taktgeber. Der VA-Impuls wird über den Ausgangspin 11 zur Feature-Box geleitet.

Noise detector

The decoder includes an internal S/N ratio detector, which was originally designed to control the PALplus signal proc-

ess. During PALplus transmission, the detector measures the S/N ratio of the input signal on pin 26. When the S/N ratio is over 20dB, the signal is accepted and the helper signal is processed in the PALplus decoder. If the S/N ratio is below 20dB, the PALplus process is disabled, and the signal is handled as a normal signal. The detector can be activated / deactivated via the IIC-bus.

In the Multi Concept, this detector is used to drive the APSi system to accept or bypass tuned channels. The detector controls the APSi system via the IIC-bus and it works only during the automatic channel search.

However, the limit value of the bypass criteria (fixed 20dB) seems to be too high for this purpose and therefore the APSi may be too sensitive and bypass channels that it could accept.

On the other hand, if the tuning system does not include any signal level qualification, the APSi system accepts all multiple and very noisy channels.

Utilizing an existing detector and avoiding both above mentioned disadvantages, an external LPF filter is implemented. This filter is located at the luminance / CVBS input (pin 26) and it consists of switching transistors tq10 / tq11, and RC filter rq85 / cq45.

The RC-coupling is designed to filter high frequencies (noise) from the luminance / CVBS signal.

When the S/N ratio of the tuned signal on pin 26 is over 20dB, the filter is not activated, but the channel is accepted as such and it will be memorized and named.

If the S/N ratio is below 20dB, the detector causes a high level on output pin 16. Transistor tq11 conducts and the RC-coupling filters noise from the signal improving the S/N ratio at the decoder input. When this noise-filtered signal is fed to the detector, it considers the S/N ratio to be better than it actually is and accepts it. This channel will be memorized, but not named.

In any case if the S/N ratio of the noise-filtered signal stays below 10dB, it will be completely bypassed.

By tricking the detector in this way, the signal level qualification is reduced from an S/N ratio of 20dB to 10dB.

Sandcastle-Impuls

Der Synchronteil erzeugt auch einen zweistufigen Sandcastle-Impuls (SC) am Pin 10. Dieser Impuls wird nur für Taktaufgaben in der Basisband-Verzögerungsleitung verwendet.

IIC-Bus

Der Decoder / Synchronprozessor ist über die Pins 5 (SCL) und 6 (SDA) mit dem IIC-Bus verbunden. Die Busadresse wird durch Anschluß von +8 V an Pin 22 bestimmt.

Der Ausgangspin 16 steuert die Filterart des Kammfilters, entweder PAL 4.43 MHz („L“) oder NTSC 3.58 MHz („H“). Der Eingangs- / Ausgangspin 15 wird hauptsächlich zur Überprüfung verwendet, ob das Kammfiltermodul installiert bzw. nicht installiert wurde. Dieses geschieht durch Überprüfung des Transistors tc3 (Basis-Kollektor-Übergang). Zusätzlich steuert der Pin 15 den Kammfilter-IC für den Filterbetrieb („H“) oder für den internen Umgebungsbetrieb („L“) an.

Basisband-Verzögerungsleitung

Allgemein

Der Schaltkreis TDA4665 ist eine Verzögerungsleitung, die keine Einstellungen erfordert. Sie beinhaltet zwei Kammfilter für die Farbdifferenz und arbeitet mit der Technik von geschalteten Kondensatoren.

Jeder Kammfilter besteht aus einem unverzögerten Signalpfad und einem mit 64µs verzögerten Signalpfad. Im PAL-Modus arbeiten die Kammfilter als geometrischer Addierer, um die erforderliche PAL-Demodulation auszuführen. Im NTSC-Modus unterdrücken die Kammfilter Farbüberschneidungsstörungen.

Im SECAM-Modus wiederholt der Schaltkreis das Farbdifferenzsignal aufeinanderfolgenden horizontalen Abtastzeilen.

Funktionsbeschreibung

Die Farbdifferenzsignale werden zu den Inputpins 14 (U) und 16 (V) geleitet. Erst werden die Signale geklemmt und nachfolgend durch Vorverstärker zu den verzögerten bzw. unverzögerten Signalpfaden geführt. Alle im Verzögerungsprozess nötigen Schaltsignale werden von der 3 MHz-Haupttaktfrequenz erzeugt. Diese Frequenz wird vom internen 6 MHz-VCO geteilt, der durch den Sandcastle-Impuls (SC) zeilengekoppelt wird. Der von dem Synchronprozessor kommende SC-Impuls wird zu Pin 5 geleitet.

Verzögerte Farbdifferenzsignale werden durch die Additionsschaltkreise zu den Ausgangspuffern geführt und schließlich an den Pins 12 (U) und 11 (V) ausgegeben.

Feature-Boxen, DB7**

Die Feature-Box hat zwei Hauptfunktionen; einmal die Umwandlung des 50 (60) Hz-Rasters in ein Rasterformat von 100 (120) Hz und eine Verbesserung der Bildqualität.

Abhängig von der Chassisversion gibt es unterschiedliche Feature-Boxen mit mehr oder weniger verschiedenen Features. Die komplette Signalverarbeitung ist digital und alle Funktionen werden über den IIC-Bus gesteuert.

Die Basisversion ist die DB711, die nur einen 3 Mb großen Feldspeicher enthält. Die Verwendung nur eines Feldspeichers ermöglicht die Umwandlung eines 50 (60) Hz-Videos in ein 100 (120) Hz-Video, jedoch keine Reduzierung von Zwischenzeilenflimmern oder Rauschen sowie vertikale Zooms. Dieses Modul ist für Fernsehgeräte mit einem Seitenverhältnis von 4:3 konzipiert.

Die Version DB710 enthält zwei 3 Mb große Feldspeicher, so daß Rauschreduzierung und vertikale Zooms auch enthalten sind. Die Version DB710 (und DB700) sind für Fernsehgeräte mit beiden - 4:3 und 16:9 - Seitenverhältnissen.

Die Version DB700 ist eine „Full Feature“-Version, die zusätzlich zu den Features der DB710 eine Signalschnittstelle entsprechend dem VGA-Standard enthält.

Feature	DB711	DB710
100 Hz Flimmerreduzierung	- Bildwiederholung	- Mittelwertinterpolation
Reduzierung des Zwischenzeilenflimmerns	- nein	- Mittelwertfilter
Rauschreduzierung	- nein	- bewegungsangepaßt
Umwandlung der Seitenverhältnisse	- ± 12.5 und ± 25 %	- ± 12.5 und ± 25 %
- horizontal	- durch Ablenkung	- ± 12.5 und ± 25 % (durch DSP)
- vertikal	- voll programmierbar	- voll programmierbar
- horizontale Bildposition	- nein	- ja
- anheben	- grau programmierbar	- grau programmierbar
- Seitenflächen	- vertikale / horizontale Spitzen	- vertikale / horizontale Spitzen
Bildschärfe	- CTI, LTI	- CTI, LTI
Histogramm-Ausgleich	- ja	- ja
Standbild	- ja	- ja
A/D-Umwandlung	- YUV 4:1:1 Signalformat	- YUV 4:1:1 Signalformat
	- 8-Bit pro Komponente	- 8-Bit pro Komponente
	- Eingangssignalamplitude angepaßt	- Eingangssignalamplitude angepaßt
	- Abtastfrequenz	- 13.5 Mhz - 13.5 Mhz
D/A-Umwandlung	- Y-Komponente 9-Bit	- Y-Komponente 9-Bit
	- U- und V-Komponente 8-Bit	- U- und V-Komponente 8-Bit
- Abtastfrequenz	- 20.25 Mhz ... 36 Mhz	- 20.25 Mhz ... 36 Mhz
Feldspeicher	- 3 Mbit (1 x 3 Mbit)	- 6 Mbit (2 x 3 Mbit)
Synchronisierung	- zeilengekoppelter Betrieb	- zeilengekoppelter Betrieb
	- Synchronisierung auf Quarzbasis	- Synchronisierung auf Quarzbasis

Feature-Box DB711

Die Hauptbauteile der DB711 sind ein A/D-Wandler, ein Feldspeicher (FM), ein Schaltkreis zur Verbesserung der Bildqualität, ein digitaler Phasenregelkreis (DPLL) und ein Ablenkungsregler.

Y-, U- und V-Eingänge

Die Luminanz- (Y) und Farbdifferenzsignale (U und V) werden vom Farbdecoder zum Modulanschluß Q101 an die Pins 6 (Y), 7 (U) und 8 (V) geleitet. Jedes Signal wird zuerst verstärkt und anschließend durch die Tiefpaßfilter gefiltert. Danach werden die Signale über die Puffertransistoren zum A/D-Wandler an die Pins 63 (Y), 50 (U) und 31 (V) geleitet.

Analog-Digital-Wandler, ic9

Die Analog-Digital-Umwandlung wird mit Hilfe des A/D-Wandler-Schaltkreises TLC5733 ausgeführt, der drei getrennte 8-Bit A/D-Wandler enthält. Jedes Signal wird durch den horizontalen Synchronimpuls an Pin 5 geklemmt und dann in digitale Form umgewandelt. Die Wandler tasten die Signale bei einer Abtastfrequenz von 13,5 MHz ab. Die Abtastfrequenz wird an Pin 56 übermittelt. Die Wandler werden durch die Referenzspannungen REFH (Pins 61, 52

und 29) sowie REFL (Pins 1, 48 und 33) gesteuert. Wird ein Überlauf ermittelt, werden die Referenzspannungen entweder erhöht oder verringert. Hinweise über einen möglichen Überlauf werden an den Ausgangspins für die Luminanz (Pins 6...13) abgelesen und zum NAND-Gatter ic28 und weiter zum DPLL-Schaltkreis ic11 an Pin 42 (ADC_OVFL) geführt. Dieser Schaltkreis ermittelt die Überlaufwerte und verändert, falls erforderlich, die Impulsweite an Pin 43 (PWM_REF). Diese in der Weite geänderten Impulse werden zum Tiefpaßfilter (bestehend aus den Transistoren t1 und t9 und dem damit verbundenen Kondensatornetz) geleitet. Der Tiefpaßfilter erzeugt beide Spannungen, REFH und REFL; diese werden zur Steuerung der A/D-Wandler zugeführt.

Nach Durchlaufen der Wandler werden die Signale zum Ausgangsformat-Multiplexer geleitet, der von den Pins 45 (Modus 1) und 46 (Modus 2) gesteuert wird. Die Kombination eines Tiefpegelzustands an beiden Pins erzeugt ein Datenformat der YUV-Signale von 4:1:1. Die U- und V-Komponenten weisen 1/4 der Signalstärke der Y-Komponente auf.

Der Datenbus für Luminanz (Pins 6...13) ist acht Bits breit und der Datenbus für die Chrominanz (Pins 17...20) ist vier Bits breit.

Feldspeicher, ic14

Der Feldspeicher 1 (FM1) ist ein 3 Mb großer, High-Speed-DRAM. Der Schaltkreis wird als Speicherschaltkreis in der Aufwärtsumwandlung 50 Hz auf 100 Hz und bei bestimmten horizontalen Zoomfunktionen benutzt.

Die Luminanz- und Chrominanzwerte werden vom A/D-Wandler an die Pins 2...13 übermittelt. Der Schreibvorgang wird unter Verwendung der Eingangssteuersignale RSTW (RESETWRITE) an Pin 15, SWCK („Serial Write Clock“) an Pin 14 sowie ENW („EnableWrite“) an Pin 16 durchgeführt. Die Schreibtaktfrequenz (SWCK/CLK27_1) beträgt 27 MHz. Das ENW-Signal ermöglicht ein Beschreiben des Speichers nur bei jedem zweiten Taktzyklus.

Der Lesevorgang wird unter Verwendung der Lese-Ausgangssteuersignale RSTR (RESET READ) an Pin 22, SRCK („Serial Read Clock“) an Pin 23 sowie ENR („Enable Read“) an Pin 21 durchgeführt. Die Lesetaktfrequenz ändert sich abhängig vom Bildformat. Das IQTV kann folgende Formate erzeugen (abhängig von Feature-Box und Software):

36.000 MHz	= - 25.0 %	horizontale Kompression
30.375 MHz	= - 12.5 %	horizontale Kompression
27.000 MHz	= 0	keine Kompression / keine Expansion
23.625 MHz	= + 12.5 %	horizontale Expansion
20.250 MHz	= + 25.0 %	horizontale Expansion

Die vertikale Kompression wird durch den Abenkungsprozessor ausgeführt. Nur die DB710 und DB 700 beinhalten die vertikale Expansion (FM2 erforderlich). Die Luminanz- und Chrominanzwerte werden über die Pins 24...35 an das IQTV2 geleitet.

IQTV2-Schaltkreis, ic18

Die Hauptfunktion des IQTV2-Schaltkreises (Verbesserte Fernsehqualität) ist die Aufwärtsumwandlung, die durch das Zeilensprungverfahren verursachte Flimmern reduziert. Der Grundgedanke dieser Aufwärtsumwandlung ist die Umwandlung des 50 (60) Hz-Zeilensprunggrasters in ein 100 (120) Hz-Rasterformat.

Die Flimmerreduzierung (Aufwärtsumwandlung) im DB711-Modul basiert auf einer Bildwiederholungsrate für die Luminanz- und Chrominanzsignale. Das Bildwiederholungsverfahren arbeitet mit einer Null-Grad-Interpolation und stellt das ursprüngliche Bild zweimal dar. Die Eigenschaften des IQTV2 ermöglichen den Gebrauch der horizontalen und vertikalen Zoomfunktionen; da aber nur ein Feldspeicher vorhanden ist, kann nur die horizontale Zoomfunktion benutzt werden. Daher werden alle vertikalen Zoomfunktionen über die Ablenkungssteuerung durchgeführt.

Die Einstellung der Bildschärfe ist nicht nur in horizontaler, sondern auch in vertikaler Richtung durchführbar. Die Spitzenstufe besteht aus Hochpaß- und Bandpaßfiltern, die den mittleren Bandfrequenzbereich verstärken, in dem sich die meisten Details und Kanten befinden.

Die Farbübergangsverbesserung (CTI) stellt die Flanken der Farbkanten durch Steuerung der Eingänge zwischen verzögerten, kommandierten und laufenden Chrominanzsignalen steiler. Ein neues Feature im CTI des IQTV2 gewährleistet, daß die Mitte des Farbübergangs im Vergleich von Eingangs- und Ausgangssignal immer an der gleichen Stelle ist.

Die Luminanzübergangsverbesserung (LTI) wird durch Abnahme eines Dreipunkt-Mittelwertes dreier Zwischensignale, Spitze, Maximum und Minimum durchgeführt. Steilere Luminanzübergänge ohne Unter- bzw. Übersteuern sind ein Ergebnis des LTI-Prozesses.

Das Histogrammausgleichssystem (HEQ) ist für eine automatische Kontrastverstärkung konzipiert. Dieses System ermöglicht die Ausgabe eines gleichmäßigen

Histogramms für das Ausgangsbildsignal durch Austausch der ursprünglichen Pixelwerte durch neue unter Verwendung einer nicht-linearen Umsetzung. Als Ergebnis werden sowohl unter- als auch überkontrastierte Bildsignale ausgeglichen, um den gewünschten Kontrast und die Graustufenverteilung zu erhalten.

Pinbeschreibung:

Pin	Symbol	Beschreibung
1, 5-12, 14-15, 18-21, 100	D0_FM1... D15_FM1	Dateneingabe von FM1
2, 16, 41, 56, 81	+3.3V (Spulenkern)	Stromversorgung für Logikschaltung
3, 28, 61, 77	+5V (i/o, AC)	Stromversorgung für I/O
4, 29, 60, 69	GND (i/o, AC)	Masse für I/O
13, 34, 78	+5V (i/o, DC)	Stromversorgung für I/O
17, 37, 57, 79, 99	GND (CORE)	Masse für CORE
22	FM1_ENR	Lesen möglich, FM1
23	FM1_ENW	Schreiben möglich, FM1
24	FM1_RSTW	RESET Schreiben, FM1
25	HS_IPLL	Horizontal-synchronisation
26	FM2_ENW	Schreiben möglich, FM2
27	FM2_ENR	Lesen möglich, FM2
30	CLK_IPLL (CLK27_1)	Systemeingangstakt (27 MHz)
31	CLK_OPLL (CLK)	Systemausgangstakt
32	VS_50	Vertikalsynchronisation
33	HS_OPLL	Ausgang Horizontal-synchronisation
35	HS32	32 kHz Horizontal-synchronisation
36	FM_RSTW	RESET, FM2W/R, FM1R
38	SDA	IIC-Bus, serielle Daten
39	SCL	IIC-Bus, serieller Takt
40	FSY	Formatsynchronisation für ADC
42	+5V (analog)	Analoge Spannungsversorgung für DAC
43	VBIAS	Analog
44, 47, 49, 51	GND (Analog)	Masse für DAC
45	VT	Analog
46	Vref	Stromreferenz für DAC
48	AY	Analoger Y-Ausgang
50	AV	Analoger V-Ausgang
52	AU	Analoger U-Ausgang
53	RST	RESET System
54	TEST_EN	Testbetrieb möglich
55	VS_50_100	Doppelte Frequenz Vertikalsynchronisation
58-59, 62-67, 70-76, 80	Q0_FM2... Q15_FM2	Datenausgang zu FM2
68	DIG_OUT8	Neunter Bit im digitalen Ausgang
82-89, 91-98	D0_FM2... D15_FM2	Dateneingang von FM2
90	SYNC_SEL	Wahl des Synchronisationsmodus

Nach der digitalen Signalverarbeitung (DSP) wandelt die IQTV2-Schaltung die Signale in analoge Form um und gibt diese über die Pins 48 (Y), 52 (U) und 50 (V) aus.

Die Farbdifferenzsignale werden tiefpaßgefiltert und über die Modulpins Q102-3 (U) und Q102 (V) ausgegeben. Das Luminanzsignal wird zuerst von den Transistoren t18 und t19 verstärkt, dann wird das Signal tiefpaßgefiltert und über den Modulpin Q102-4 ausgegeben.

DPLL1-Schaltkreis, ic11

Der DPLL-Schaltkreis (Digital Phase Locked Loop = digitale phasengekoppelte Schleife) erzeugt alle zeilengekoppelten Takt- und Synchronsignale für das ganze Digitalsignal-Verarbeitungssystem. Der Schaltkreis wird über den IIC-Bus gesteuert und benötigt nur wenige externe Bauteile, eines davon ein 27 MHz-Quarz. Der 27 MHz-Takt dient als Haupttakt, von dem die anderen Taktfrequenzen mit den passenden Faktoren erzeugt werden.

Pinbeschreibung:

Pin	Symbol	Beschreibung
1	HSYNC1	Horizontalsynchronisation von Synchronprozessor
5	VSYNC1	Vertikalsynchronisation von Synchronprozessor
7	HOUT1	Horizontalsynchronisation für ADC und IQTV2
9	CLK27_1	27 MHz-Haupttakt für FM1 und IQTV1
11	CLK13_5_1	13,5 MHz-Takt für ADC
13	VOUT1	Vertikalsynchronisation für IQTV2
22	CLK27_2	27 MHz-Haupttakt für Ablenkungssteuerung
24	HS_GSCART	Horizontalsynchronisation von VGA (DB700)
26	HSYNC2	Horizontalsynchronisation von VGA (DB700)
27	VS_GSCART	Vertikalsynchronisation von VGA (DB700)
28	CLK	Formatabhängiger Takt für FM1/2 und IQTV2
29	VSYNC2	Doppelfrequenz-Vertikalsynchronisation von IQTV2
30	HOUT2 (HDFL)	Horizontalsynchronisation für IQTV2 und Ablenkungssteuerung
31	VOUT2 (VDFL)	Vertikalsynchronisation für IQTV2 und Ablenkungssteuerung
33	FORMAT_VGA	LOW bei DB711/710, HIGH bei DB700
35, 36	XTALCLK	27 MHz-Quarz (für Haupttakt)
37	FORMAT_MEM	HIGH bei DB711, LOW bei DB700/710
40, 41	SDA / SCL	IIC-Bus, serielle Daten und Takt
42	ADC_OVF	LÜberlaufdaten von ADC
43	PWM_REF	Ausgang der breitenmodulierten Impulse für ADC

Ablenkungssteuerung TDA9151, IC17

Der TDA9151-Schaltkreis ist ein über den IIC-Bus gesteuerter Synchron- und Ablenkungsprozessor mit horizontalen und vertikalen Steuerausgängen und einem Schaltkreis für die Ost-West-Korrektur.

Eingangssignale

Die seriellen Daten (SDA) und der serielle Takt (SCL) sind mit den Pins 17 und 18 verbunden. Der 27 MHz zeilengekoppelte Taktimpuls (CLK27_2) vom DPLL1 wird zu Pin 14 geführt. Die interne synchrone Logik verwendet den zeilengekoppelten Taktimpuls als Systemtakt. Es ist wichtig zu wissen, daß der Schaltkreis ohne den zeilengekoppelten Taktimpuls nicht arbeiten kann; der Schaltkreis würde die Ausgänge ausschalten und nicht in Betrieb sein. Die Frequenz des zeilengekoppelten Taktimpulses wird durch zwei geteilt, indem der Eingangspin 5 für die zeilengekoppelte Taktwahl (LLCS) mit

Masse verbunden wird. Dieses aktiviert die Prescalerstufe und erzeugt eine Zeilendauer von 32 µs. Die horizontalen (HDFL) und vertikalen (VDFL) Synchronsignale vom DPLL1 werden zu den Eingangspins 13 und 12 geführt, um den Schaltkreis zu synchronisieren. Der horizontale Zeilenrückschlagimpuls wird von der horizontalen Endstufe zu Eingangspin 1 geführt.

Horizontales Steuersignal

Von der horizontalen Detektorstufe wird das horizontale Synchronsignal zum Horizontalzähler, zur Steuerung der Horizontallage und zur Phase 2-Schleife geführt und schließlich von Pin 20 ausgegeben, um die Horizontalsteuerstufe zu steuern. Die H-Phaseneinstellung wird in der Steuerstufe für die Horizontalposition mit dem IIC-Bus durchgeführt.

Vertikalsteuersignal

Von der vertikalen Detektorstufe wird das vertikale Synchronsignal zur Steuerung der Vertikalbildlage, zum Vertikallagengenerator und zur Vertikalgeometriestufe geführt. Schließlich werden die Differentialstrom-Vertikalsteuersignale von den Pins 10 und 11 zur Steuerung der Vertikalablenkungsschaltung ICs1 ausgegeben. Die Vertikalamplitude, S-Korrektur und V-Lage werden in der Vertikalgeometriestufe über den IIC-Bus gesteuert. Der Referenzstrom für die Vertikal- und für die Ost-West-Korrektur wird vom Widerstand r68 an Pin 8 bestimmt.

Ost-West-Steuersignal

Das Ost-West-Steuersignal ist ein Eintaktstromausgang und wird an Pin 6 ausgegeben. Die Steuerungsparameter: Ost-West-Weite, Ost-West-Parabel/Weitenverhältnis, Ost-West-Ecke/Parabel und Ost-West-Trapez sind in der Ost-West-Korrektur enthalten. Alle diese Steuervorgänge können über den IIC-Bus durchgeführt werden.

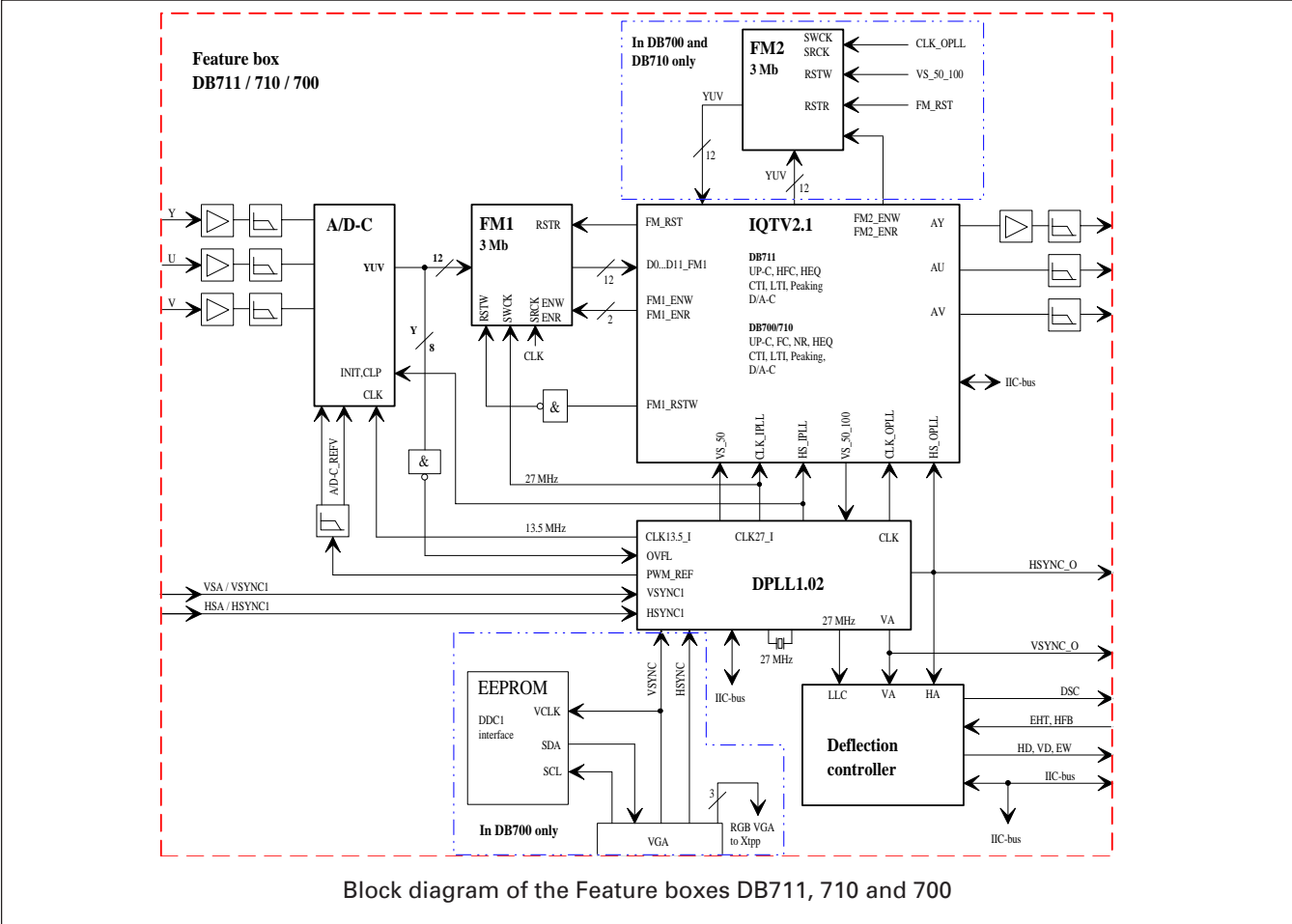
EHT-Ausgleich

Die Vertikal- und die Ost-West-Steuerausgänge werden für den EHT-Ausgleich über den Pin 7 moduliert. Die EHT-Daten werden an DST-Pin 8 („statische“ Daten) und von Ck31 / Rk58 und Ch21 / Rh29 („dynamische“ Daten) abgenommen.

Sandcastle

Der TDA9151 erzeugt einen zweistufigen Sandcastle-Impuls (DSC). Der Pegel 2,5V wird für die horizontale und vertikale Austastung und der Pegel 4,5 V für die Videosignalklemmung benötigt. Der DSC wird von Pin 2 ausgegeben und wird für das Timing des RGB-Videoprozessors ICt1 verwendet.

Zusätzlich dient Pin 2 als Eingangspin für den Vertikalenschutzschaltung. Der DSC-Impuls wird an Pin 1 der Vertikalablenkungsschaltung angeschlossen. Beim möglichen Fehlfunktionen liefert der Vertikal-IC einen Spannungspegel von 2,5V, der den Bildschirm ausblendet.



Feature-Box DB710

Die Grundfunktionen der DB710 entsprechen im Prinzip denen der DB711. Der einzige sichtbare Unterschied ist die Ausstattung der DB710 mit zwei Feldspeichern, FM1 und FM2. Dieses ermöglicht Rauschreduzierung und Vertikalzoomfunktionen (Umwandlung des Vertikalformaten).

Die Aufwärtsumwandlung von 50 auf 100 Hz in der DB710 beruht auf einer Mittelwertinterpolationsrate, die Bild- und Zeilenflimmern reduziert. Im Mittelwert-Filterverfahren wird ein 7-Punkt-adaptiver Mittelwertinterpolator verwendet, dessen Abtastfenster aus 7 Abtastwerten besteht, die in horizontaler, vertikaler und zeitlicher Richtung abgenommen werden. Der 7-Punkt-Mittelwertausgang wird durch einen 3-Punkt-Vertikalmittelwertausgang ersetzt, wenn ein Differenzsignal den extern bestimmten Schwellenwert überschreitet.

Das Rauschreduziersystem besteht aus einem adaptiven Mittelwert-Nachfilter, der auf einem sogenannten bewegungsadaptiven, zeitlich rekursiven und mittelwertbildenden Filter basiert. Das System dient nicht nur zur Rauschreduzierung, sondern es vermindert auch Überlappungseffekte. Die Rauschreduzierung bezieht Bauteile für Luminanz und Chrominanz ein. Wie oben erwähnt, erfordert die Funktion der Rauschreduzierung einen zusätzlichen Feldspeicher. Dieser Feldspeicher FM2 ist mit dem FM1 identisch und ist auf ähnliche Weise mit dem IQTV2-Schaltkreis verbunden.

Die Eigenschaften der Vertikalformatumwandlung des IQTV2-Schaltkreises ermöglichen die Darstellung aller Vertikalzooms mit einer vollen Vertikalauflösung von 576 aktiven Zeilen. Dieses geschieht aufgrund der digitalen Signalverarbeitung und der linearen Vertikalinterpolation.

Feature-Box DB700

Die funktionalen Features sind ähnlich wie bei der DB710, Zwischenwertinterpolation, Rauschreduzierung, volle Vertikalauflösung usw. Zusätzlich zu diesen Features ist die DB700 mit einer VGA-(Video Graphics Array) Schnittstelle ausgestattet, um die Benutzung des Fernsehgerätes als PC-Monitor zu ermöglichen. Aus diesem Grund wird ein zusätzlicher Speicherschaltkreis benötigt. Der Speicherschaltkreis ic3 ist ein serieller EEPROM, der mit den nötigen Daten für eine automatische Konfiguration der Bildschirmsteuerung des Computers über den Bildschirmdatenkanal 1 (DDC1) vorprogrammiert ist.

Die vertikalen und horizontalen Synchronsignale vom VGA-Anschluß werden über invertierende Schmitt-Trigger und weiter an die Pins 27 (vert sync) und 24/26 (hor sync) des DPLL1 geleitet.

Die analogen RGB-Signale werden ohne jede Verarbeitung durch das Modul über den Anschluß Xtp, oder über das Bild-in-Bild-Modul (falls vorhanden) auf der Hauptplatine zum RGB-Videoprozessor geführt. Werden auch Tonsignale am PC abgenommen, werden diese über den Scart3 und das VGA-Audiomodul TA710 eingegeben.

Die folgenden Betriebsdaten des VGA sind verfügbar:

Auflösung	Zeilenfrequenz	Feldfrequenz
640 x 480	31,5 kHz	60 Hz
640 x 350	31,5 kHz	70 Hz
640 x 400	31,5 kHz	70 Hz

RGB Video Processor TDA4780, ICt1

Allgemein

Der Schaltkreis TDA4780 ist ein RGB-Videoprozessor mit einer automatischen Abschaltsteuerung, Gamma-Korrektur, dynamischer Schwarzsteuerung und BlueStretch. Der Schaltkreis enthält eine Linearmatrix, um die Luminanz- und Farbdifferenzsignale in RGB-Signale umzuwandeln. Der Prozessor ist auch in der Lage, zwei externe RGB-Signale zu verarbeiten. Alle Parameter und Funktionen werden über den IIC-Bus gesteuert.

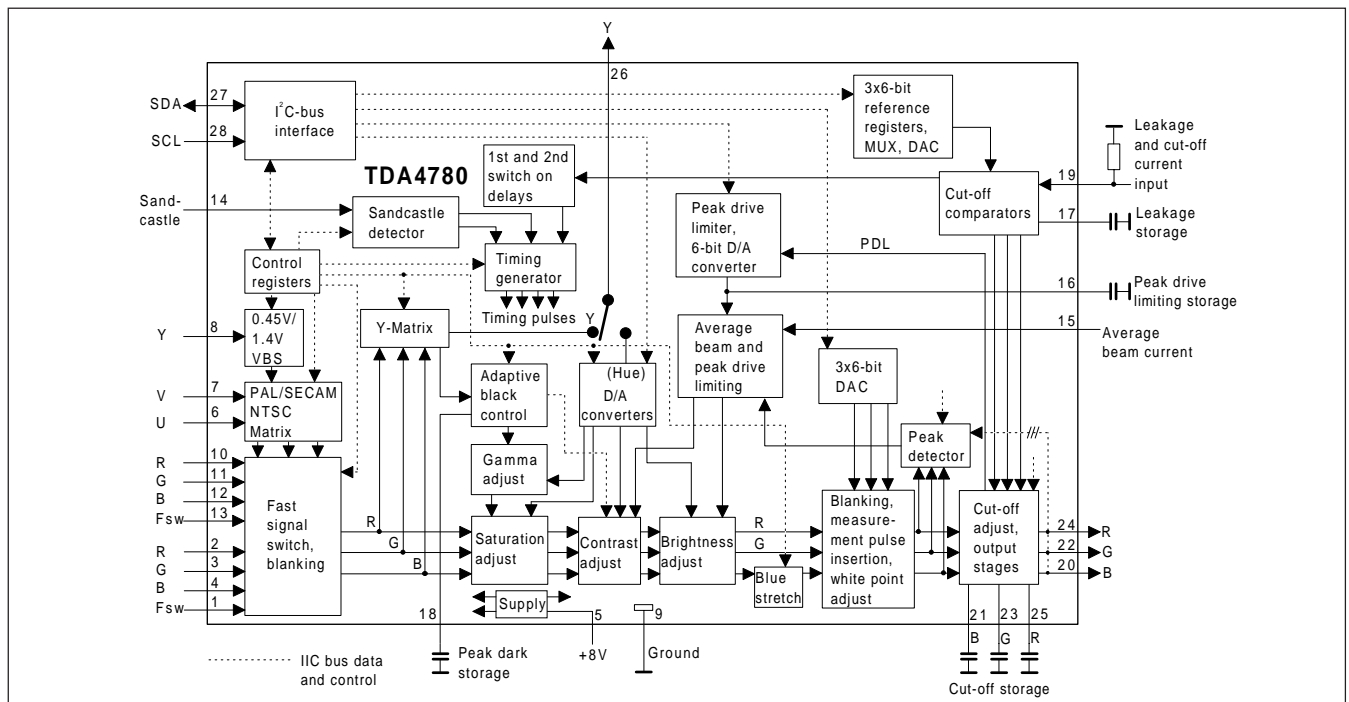
Funktionsbeschreibung

Signaleingangsstufen

Die Luminanz- und Farbdifferenzsignale aus dem Feature-Box-Modul werden an den Pins 8 (Y), 6 (U) und 7 (V) eingegeben. Der Eingangspegel für die Luminanzsignale (0,45 Vpp oder 1,4 Vpp) ist über den IIC-Bus (Pins 27 und 28) wählbar. In diesem Fall beträgt Vpp 1,4 V. Die Signale werden zur Linearmatrixstufe geleitet, um sie in RGB-Signale zu wandeln.

Die RGB-Signale aus dem Videotext-Schaltkreis werden an die Eingangspins 2 (R), 3 (G) und 4 (B) geleitet. Die RGB-Signale aus dem Bild-in-Bild-Modul (oder aus dem VGA-Anschluß) werden zu den Eingangspins 10 (R), 11 (G) und 12 (B) geleitet.

Alle Eingangssignale werden geklemmt, um die gleichen Schwarzwerte am Signalschalteneingang zu erhalten.



Signalschalter

Schnelle Signalquellschalter wählen die RGB-Signale aus einer von drei Möglichkeiten für Eingangssignale: Die Matrixstufe, der Videotextschaltkreis oder das Bild-in-Bild-Modul. Diese Wahl wird über den IIC-Bus oder durch die Schnellaustastsignale FB an den Pins 1 und 13 gesteuert. Während der vertikalen und horizontalen Austastzeit wird ein künstlicher Schwarzwert eingesetzt, um die Synchronimpulse des Luminanzsignals zu begrenzen, um Brummen während der Abschaltmeßzeit zu unterdrücken und um Rauschen während dieser Intervalle zu eliminieren.

Y-Matrix und adaptiver Schwarzwert, Gamma-Korrektur und Sättigungssteuerung

Die Sättigungssteuerung wird durch Variieren der Amplitude der RGB-Signale relativ zur Amplitude der Luminanzsignale durchgeführt. Aus diesem Grunde muß das Luminanzsignal in der Y-Matrix aus den RGB-Signalen neu erzeugt werden.

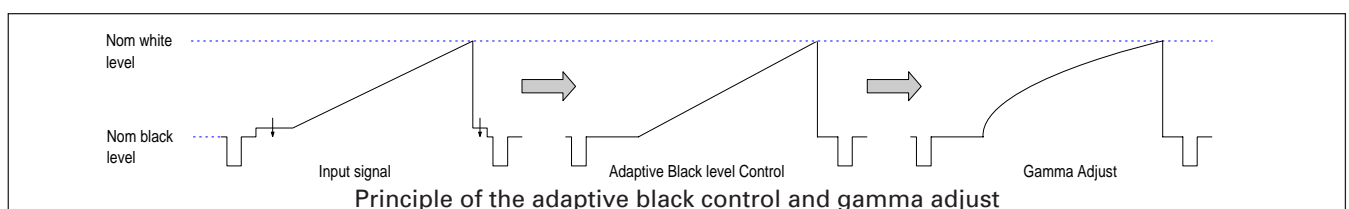
Nach der Y-Matrix wird das Luminanzsignal

zur Steuerungsstufe für den adaptiven Schwarzwert geführt. Dieses ermittelt die niedrigste Spannung der Luminanzkomponente des internen RGB-Signals während der Abtastzeit und bringt diese auf den nominalen Schwarzwert. Um den nominalen Weißwert konstant zu halten, wird gleichzeitig der Kontrast erhöht. Dieser Vorgang erweitert den dynamischen Bereich des Kontrastes.

Nachfolgend wird das Luminanzsignal in der Gamma-Korrektur verarbeitet. Diese besitzt eine nicht-lineare Übertragungscharakteristik. Die Gamma-Korrektur verstärkt die unteren Werte des Signals mit einem höheren Verstärkungsfaktor. Dieser Prozeß verbessert die Trennung der dunklen Bildflächen von den anderen Bildflächen. Schließlich wird das Luminanzsignal zur Steuerungsstufe der Farbsättigung geleitet.

Das Y-Signal wird zusätzlich zur Steuerungsstufe für den adaptiven Schwarzwert durch einen internen Schalter zum Ausgangspin 26 und weiter zum SVM-Modul geleitet.

Die Gamma- und Sättigungseinstellungen werden über den IIC-Bus gesteuert.



Kontrast- und Helligkeitsregelung

Beide Einstelleinheiten bestehen aus elektronischen Potentiometern und werden über den IIC-Bus gesteuert. Die Kontrastregelung hat Einfluß auf die Amplitude des RGB-Signals, wobei die Helligkeitsregelung Einfluß auf den DC-Wert des RGB-Signals relativ zum Schwarzwert hat.

Blue Stretch

Der Blue Stretch-Kanal ermöglicht eine zusätzliche Verstärkung, wenn das Blausignal größer als 80% der nominalen Signalamplitude ist. In solchen Fällen wird der Weißpunkt auf eine höhere Farbtemperatur gebracht, so daß weiße Bildflächen scheinbar heller sind.

Meßimpulseinfügung und Austasten

Während der horizontalen und vertikalen Austastzeit sowie der Meßdauer werden die Signale auf einen Ultraschwarzwert ausgetastet, so daß der der Leckstrom der Bildröhre gemessen und automatisch kompensiert werden kann.

Die Meßimpulse werden im Taktgenerator erzeugt und über die Leitung 20 in den R-Kanal eingegeben; der zweite wird über die Leitung 21 in den G-Kanal eingegeben und der dritte über die Leitung 22 in den B-Kanal eingegeben. Diese Meßimpulse werden mit den RGB-Signalen zu den Videoausgangsverstärkern (Ich1, Ich2 und Ich3) geleitet und leitend die Spannungspegel an Pin 19 zurück. Während der Abschaltmeßzeilen sind die Ausgangssignale auf dem Abschaltmeßpegel. Die vertikale Austastdauer wird mit einem Sandcastle-Impuls getaktet. Die Meßimpulse werden durch die negativ verlaufende Flanke im Vertikalimpuls des Sandcastle-Impulses ausgelöst und starten nachdem folgenden Horizontalimpuls.

Weißpunkteinstellung, automatische Abschaltsteuerung und Ausgangsstufen

Die nominale Signalamplitude kann um $\pm 50\%$ durch die Weißpunkteinstellung über den IIC-Bus variiert werden. Während der Verluststrommessung wird der Verlust kompensiert, um eine Referenzspannung am Abschaltmeßeingang an Pin 19 zu erhalten. Dieser Kompensationswert wird im externen Kondensator an Pin 17 gespeichert. Während der Abschaltstrommessung der R-, G- und B-Kanäle wird die Spannung an diesem Pin mit der Referenzspannung verglichen, die über den IIC-Bus für jeden Farbkanal individuell einstellbar ist. Die so abgeleiteten Steuerspannungen werden in den externen Gegenkopplungskondensatoren an den Pins 21, 23 und 25 gespeichert. Schaltstufen addieren diese Spannungen zu den entsprechenden Ausgangssignalen. Schließlich werden die RGB-Signale auf den Nennwert von 2 Vpp verstärkt und an den Pins 24 (R), 22 (G) und 20 (B) ausgegeben.

Strahlstrom und Steuerspitzenbegrenzung

Im Schaltkreis sind zwei Arten von Signalbegrenzern vorgesehen. Es gibt einen Mittelwert-Strahlbegrenzer, der den Signalpegel reduziert, wenn ein bestimmter Mittelwert überschritten wird und ein Steuerspitzenbegrenzer, der aktiviert wird, wenn eines der RGB-Signale auch nur kurz den vom IIC-Bus bestimmten Schwellenwert überschreitet. Die Strahlstrom-Begrenzungsspannung wird an der Kathodenstrominformation abgelesen und über die Transistoren tt4 / tt1 und den Kondensator Ct29 zu Pin 15 geleitet. Wenn die Spannung an Pin 15 wegen der Aufladung von Kondensator Ct29 auf unter +4 V abfällt, beginnt der interne Begrenzer den Kontrast zu reduzieren. Wenn die Spannung auf unter +2,8 V abfällt, beginnt der Begrenzer auch die Helligkeit zu reduzieren.

Sandcastle-Detektor und Taktgenerator

Der zweistufige Sandcastle-Impuls (DSC) von der Ablenksteuerung der Feature-Box wird zu Eingangspin 14 geführt. Der Sandcastle-Detektor teilt den Sandcastle-

Impuls in kombinierte Zeile, Feldimpulse und Klemmpulse auf, die zum Taktgenerator geleitet werden. Der Taktgenerator enthält einen Zeilenzähler, der die Austast- und Meßimpuls-Einsatzstufen steuert.

Einschaltverzögerungs-Schaltkreis

Nach dem Einschalten werden alle Signale ausgetastet und ein Aufwärm-Testimpuls wird während der Abschaltmeßzeilen an die Ausgänge geleitet. Wenn die Spannung am Abschaltmeßeingang einen internen Pegel überschreitet, wird die Abschaltsteuerung aktiviert, jedoch wird das Signal noch ausgetastet. Die Signalausstattung wird gestoppt, wenn sich die Abschaltsteuerung stabilisiert hat.

CRT-Modul

Videoausgangsverstärker Ich1, Ich2 und Ich3

Die Videoendstufe besteht aus drei separaten Ausgangsverstärkern, TDA6111. Der Schaltkreis besitzt eine hohe Anstiegsgeschwindigkeit und eine große Bandbreite von 16 MHz und ist daher für den Einsatz bei 100 Hz geeignet. Der Schaltkreis ist gegen Kathodenstrahlröhren-Flashover und elektrostatische Entladung (ESD) geschützt.

Die RGB-Signale vom RGB-Videoprozessor werden über Tiefpaßfilter zum invertierenden Eingangspin 3 der Verstärker geführt. Die nicht-invertierenden Eingangspins 1 sind an einen Spannungspegel von +3 V verbunden. Die Verstärker haben zwei Ausgänge für die Bildröhrenkathoden, den Pin 8 für die Gleichströme und Pin 7 für die Übergangsströme. Nach diesen Ausgangspins werden die verstärkten RGB-Signale zu den Bildröhrenkathoden geleitet. Die Gegenkopplungsinformation wird an Pin 9 ausgegeben und über einen Widerstand an den Eingangspin 3 abgegeben. Die Kontrolle des Schwarzwertes der Kathoden wird über die Ausgangspins 5 durchgeführt. Diese Ausgänge sind über Widerstände miteinander verbunden und das Endergebnis wird zum RGB-Videoprozessor an die Pins 19 (Abschaltsteuerung) und Pin 15 (Strahlstrom) geleitet. Die erforderlichen Versorgungsspannungen werden zu den Pins 2 (+12 Vp) und 6 (+200 V) geleitet.

Ein negativer Rückschlagimpuls vom Diodenspaltransformator Mk1 (DST) wird zum Schirmgitter G1 über den Anschluß Xh1, den Kondensator Ch19 und den Widerstand Rh28 geführt. Dieses verstärkt die horizontale Austastung während des Zeilenrücklaufs. Die Ausblendung des Bildschirms nach dem Ausschalten wird von den Transistoren Th1 und Th2 durchgeführt. Während des normalen Betriebs wird der Kondensator Ch27 auf +12 V und der Kondensator Ch18 auf +200 V aufgeladen. Wenn das Fernsehgerät ausgeschaltet wird, entlädt sich Ch27 an der Basis von Th1. Der Transistor leitet und entlädt Ch18 als negative Ladung auf das Schirmgitter G1. Ebenfalls wird der Kondensator auf +12 V geladen. Wenn das Fernsehgerät ausgeschaltet wird, geht die Basis von Th2 auf LOW und der Transistor leitet. Ch28 entlädt den nicht-invertierenden Eingangspin 1 augenblicklich und +200 V werden an die Ausgänge geleitet. Dieses verhindert das Steigen des Strahlstroms, bis Th1 ausreichend Zeit hatte, die Bildröhre zu sperren.

Videotext

Megatext SDA5273, Icr1

Der SDA5273 Megatext-Schaltkreis ist ein einziger Chip, der eine Kombination aus Data Slicer, Videotextprozessor, Seiten- / Pixelspeicher und Displaysteuerung ist. Digitale Signalverarbeitung wird verwendet, um externe diskrete Bauteile zu vermeiden.

Der Speicher kann durch die Verwendung eines externen DRAM erweitert werden, um die Leistungsfähigkeit des Videotextes zu erhöhen.

Die Multistandard fähigkeit des Megatext-Schaltkreises stellt die Eignung für alle Länder sicher, die den „World System Teletext“ (WST) Level 1.5 übertragen.

Die Megatext-Schaltkreisfunktionen sind das Entschlüsseln und die Darstellung von Videotextinformationen aus einer analogen Quelle, die CVBS-Eingabe und die Erzeugung der Displays, die dem Fernsehbenutzer Statusinformationen oder Hilfestellung geben. Der RGB-Ausgang des Megatext-ICs ist mit dem RGB-Eingang des RGB-Videoprozessors mit Schnellaustastinformationen verbunden.

Der Megatext-IC wird über den M3L-Bus gesteuert, der eine maximale Datenübertragungsrate von 1 Mbit/s aufweist.

Schaltkreisbeschreibung

Das CVBS-Signal von der Videomatrixschaltung wird zu Eingangspin 9 geführt.

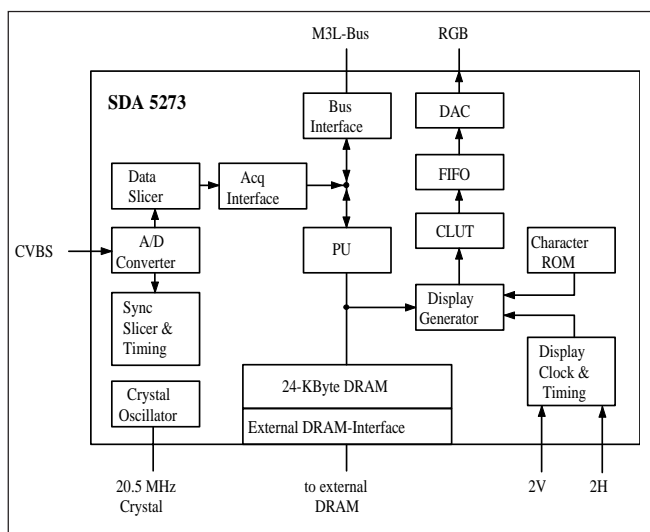
Das Grundprinzip der Signalverarbeitung wird unten im Blockschaltbild gezeigt.

Die analogen RGB-Signale und Schnellaustastsignale werden an den Pins 44 (R), 45 (G), 46 (B) und 47 (FB) ausgegeben. Der vertikale Synchronimpuls (2V) wird zu Pin 3 und der horizontale Synchronimpuls (2H) zu Pin 4 geleitet. Die Synchronimpulse werden der Feature Box entnommen (VDFL und HDFL).

Ein externer Quarz mit 20,48 MHz befindet sich zwischen den Pins 5 und 6. Die Pins 18...35 und 37 sind Adresse und Datenleitung für den externen DRAM (Icr2). Die Versorgungsspannung +5 V wird an die Pins 10, 11, 13, 15 und 17 geleitet. Ein hoher Pegel an Pin 14 verursacht ein Zurücksetzen des Microcontrollers.

Eine stabilisierte Referenzspannung von 3,3 V für interne Verwendung von der Zenerdiode Zdr1 wird zu Pin 16 geleitet.

Der Megatext-Schaltkreis kommuniziert mit dem Microcontroller unter Verwendung der Pins 49 (SCL), 50 (SDA) und 51 (IICENable) über den M3L-Bus.



A/D-Wandler wandelt das CVBS-Signal in einen 7-Bit Binärcode.

Sync Slicer und Takt trennt die horizontale/vertikale Synchronisation vom digitalisierten CVBS-Signal und erzeugt einen zeilengekoppelten 24MHz-Akquisitionstakt.

Data Slicer	trennt die Videotextdaten vom digitalisierten CVBS-Signal.
Akquisitionsschnittstelle	synchronisiert die Bytes, wandelt serielle Bits zu parallelen Bytes und ermittelt den Rahmencode.
Prozesseinheit	steuert die Austauschfunktionen zwischen Akquisition, Speicher, Display und Bus-Schnittstelle.
Interner Speicher	Interner 44 Kbyte DRAM.
Ext. DRAM-Schnittstelle	Schnittstelle zwischen Megatext und externem DRAM. Display-Generator steuert den Datentransfer vom IRAM zum DG, entschlüsselt die Displaywörter, steuert die Displayformate und erzeugt spezielle Cursor.
ROM-Zeichen	Zeichenpixelspeicher.
CLUT	Farbsuchtabellen.
Display-Takt und Taktgeber	erzeugt die horizontalen Taktsignale für das Display und einen zeilengekoppelten Displaytakt.
FIFO	Steigert die Pixelwiederholrate von normalerweise 24 MHz auf 32 MHz bei 16:9 Format.
D/A-Wandler	Erzeugt analoge RGB-Signale.
Bus-Schnittstelle	M3L-Bus-Schnittstelle zwischen Megatext und Microcontroller.

Megatext Plus SDA5275, Icr1

Der Megatext Plus SDA5275-Schaltkreis basiert auf dem Megatext SDA5273-Schaltkreis. Der Hauptunterschied besteht in der internen Datenverarbeitung, welche die Videotextdatenverarbeitung in Übereinstimmung mit dem Level 2.5 ermöglicht. Der Level 2.5 erzeugt weitaus bessere Graphiken (Bitmap-Graphiken), mehr Farben (4096) und eine Erweiterung für das 16:9-Format, die eine breitere Displayseite ermöglicht. Daher kann der Level 2.5 56 Zeichen auf jeder der 25 Zeilen darstellen (1400 Zeichen / Seite). Der Level 1.5 kann nur 40 Zeichen pro Zeile darstellen (1000 Zeichen / Seite).

Aufgrund von Seiten mit höherem Level erfordert der Megatext Plus-Schaltkreis stets eine externe Speicherschaltung.

Videotextspeicher DRAM, Icr2

Der externe Videotextspeicher ist ein 4 Mbit großer, schneller Direktzugriffsspeicher (DRAM). Er ist als 1048576 Vier-Bit-Worte aufgebaut (4 194 304 Bit). Der Schaltkreis arbeitet nach der CMOS-Silicon Gate-Technologie.

Eine Teletextseite benötigt 1 Kbyte (8192 Bit) an Speicherplatz, so daß der Schaltkreis theoretisch 512 Videotextseiten (4 194 304 : 8192 = 512) speichern kann. Dieses reduziert die Seitenzugangszeit virtuell auf Null. Während des ersten Übertragungszyklus der Teletextseiten wird der Speicherschaltkreis für die übertragenen Seiten formatiert. Während des zweiten Übertragungszyklus werden die übertragenen Seiten im Speicher abgelegt.

STEUERUNGSSYSTEM

Das Steuerungssystem besteht aus den folgenden Schaltkreisen:

- Programmspeicher, lcf1
- NV RAM, lcf2
- Microcontroller, icf3
- AND-Gatter, icf4
- RESET-Schaltkreis, icf5
- Fernbedienung und Bedienteil am Fernsehgerät

Programmspeicher, lcf1

Abhängig von der Version des Fernsehgerätes kann das Chassis entweder mit einem 4 Mbit- oder 8 Mbit-Programmspeicher ausgestattet sein. Beides sind schnelle, durch UV-Licht löschbare und programmierbare Festwertspeicher (EPROM). Später kann auch ein einmal programmierbarer (OTP) Festwertspeicher oder ein normaler Festwertspeicher verwendet werden.

Der 4 Mbit (512 kbyte)-Speicher ist als 524 576 Acht-bit-Wörter strukturiert. Der Microcontroller adressiert diesen Speicher über die Adressenleitungen A0...A18. Der 8 Mbit (1024 kbyte)-Speicher ist als 1 048 576 Acht-bit-Wörter strukturiert. Dieser Speicher erfordert eine zusätzliche Speichererweiterung. Diese wird von icf4 ausgeführt, die den Adreßraum in vier getrennte Blöcke aufteilt, Datenbank 0, 1, 2 und 3. Die Systemsoftware ist in den Datenbanken 0 und 1 programmiert. Die Datenbanken 2 und 3 werden für den Menütext und die Bildschirmbedienführung (EUM) benutzt.

Der Programmspeicher kommuniziert mit dem Microcontroller über den Adressen- und Datenbus.

NV RAM, lcf2

Der NV-Direktzugriffsspeicher (NV RAM) ist ein Low Power 16 kbit, elektrisch löschbarer und programmierbarer Festwertspeicher (EEPROM). Er ist in 8 getrennte Adreßblöcke aufgeteilt, von denen jeder aus 256 Acht-bit-Wörtern besteht ($8 \times 256 \times 8 = 16\,384$ bits). Die Daten werden über den IIC-Bus übertragen.

Einstellungen, die im NV RAM gespeichert werden können, umfassen Informationen über Fernsehprogramm Speicherplätze, über den IIC-Bus gesteuerte Serviceeinstellungen, Standardeinstellungen, Benutzereinstellungen, Options- und Konfigurationsdaten sowie gespeicherte Videotextseiten.

Microcontroller, icf3

Der SDA30C264 ist ein Low Power CMOS-Schaltkreis, der einen Acht-bit-Prozessor, einen 2048 byte + 256 byte-Datenspeicher (RAM), einen Oszillator und Taktschaltungen, zwei 16-bit Timer / Zähler und einen Überwachungstimer enthält. Der Microcontroller ist mit dem Programmspeicher über den Adressen- und Datenbus und mit anderen Schaltkreisen über den IIC-Bus verbunden. Abhängig von der Größe des Programmspeichers (4 Mbit oder 8 Mbit) und des Bildseitenverhältnisses (4:3 oder 16:9) sind manche Bauteile (sowie Gatter icf4 und einige Jumper) entweder eingebaut oder weggelassen worden.

Daraus ergeben sich verschiedene Funktionen an manchen Pins des Microcontrollers.

Die mit einem * markierten Pins werden nach der Pin-Konfigurationstabelle detaillierter beschrieben.

Pin configuration of the microcontroller SDA30C264

Pin	Beschreibung
1	Eingang Kopfhörerschalter, Kopfhörer angeschl. = HIGH
2	AV-Verbindungsdaten zu Scartpin 10, hohe Impulse
3 *	4Mb/4:3 : TA700-Status Eingang, Stecker angeschlossen = HIGH alle 8Mb und alle 16:9 : Ausgang Bildneigung, 0...5 V
4	M3L-Bus, Megatext ermöglichen, ermöglichen = LOW
5	Einstellung Horizontallage in VGA-Geräten (PWM - > X03-1 = 0...5 V)
6 *	4Mb/4:3 : Eingang RGB-Status, Status ein = HIGH alle 8Mb und alle 16:9 : RGB-Status ein = HIGH / TA700-Status ein, Stecker angeschlossen = HIGH
7	Vom Serviceanschluß gehalten, gehalten = LOW
8 *	Bank 1 / Steuerung zu EPROM-Datenbankwahl (8Mb)
9 *	Bank 0 / Steuerung zu EPROM-Datenbankwahl (8Mb)
10	Masse
11	Versorgungsspannung, +5 Vstb
12...13	Quarz 12 MHz
14	RESET Eingang, RESET bei LOW
15	Nicht angeschlossen
16...28	Adressenbus für Programmspeicher (EPROM)
29...36	Datenbus für Programmspeicher (EPROM)
37...39	Adressenbus für Programmspeicher (EPROM)
40	Masse
41	Versorgungsspannung, +5 Vstb
42	Adressenbus für Programmspeicher (EPROM)
43	EPROM-Datenbanksteuerung (8Mb). LOW = Datenbank 0, HIGH = Datenbanken 1, 2 und 3
44	IIC-Bus, serieller Takt
45	IIC-Bus, serielle Daten
46	Aufnahme-LED ein bei LOW / Bedieneinheit liest Ausgangsimpuls (Eingang an den Pins 61 oder 62)
47 *	Multistandard-ZF = Ausblendimpuls (LOW) für Datenspeicher Keine Multistandard-ZF = APSi-Filtertreiber, APSi bei HIGH
48	P_on, Bild „Ein“-Spannungen bei LOW
49 *	R_on, Aufnahmespannungen bei LOW
50 *	RESET-Impuls (HIGH) für MSP / Subwoofer-Identifizierung = LOW
51 *	Stummschaltung bei HIGH / Identifizierung von 16:9 (niedrigere Spannung), 4:3 (höhere Spannung)
52 *	Identifizierung von Scart 3 / Status ein (aus = 0 - 1,2V, 16:9 = 1,3 - 3,2V, 4:3 = 3,3 - 5V) 53...54 Scart 1, 2 Status ein (aus = 0 - 1,2V, 16:9 = 1,3 - 3,2V, 4:3 = 3,3 - 5V)
55	Identifizierung der Version des ZF-Moduls. Ablesen an Widerstand R556 (Multi) / R526 (Nicht-Multi)
56	GND
57	Adresse für Programmspeicher (EPROM)
58	Referenzspannung der internen D/A-Wandler
59	M3L-Bus, Takt für Megatext
60	M3L-Bus, Daten für Megatext
61	Bedieneinheit 2 Eingang
62	Bedieneinheit 1 Eingang
63	AV-Verbindung Dateneingang von Scartpin 10, niedrige Impulse
64	Eingang Fernbedienung, hohe Impulse

Die folgende Liste enthält genauere Informationen über jeden mit * markierten Pin.

- 3 a) Bei 4:3 Fernsehgeräten mit einem 4 Mbit Programmspeicher gibt der Pin 3 die Statusinformation (Status Ausgangsleitung) vom einstellbaren Audiomodul ein. Er zeigt an, ob das Modul benutzt oder nicht benutzt wird, d.h., ob der Stecker angeschlossen oder nicht angeschlossen ist. Wenn der Stecker angeschlossen ist, leitet der Transistor ta9 nicht und der Pin 3 ist auf HIGH. Dieses aktiviert eine Auswahl von drei Stummschaltungsarten: 1) TV-Lautsprecher werden stummgeschaltet, 2) TV-Lautsprecher und einstellbares Audiomodul werden stummgeschaltet oder 3) keine Stummschaltung. Der Schaltkreis icf4 ist nicht installiert und die Verbindung zur Bildneigungseinstellung ist nicht angeschlossen. b) Bei allen 16:9 Fernsehgeräten und allen mit 8 Mbit Programmspeicher gibt der Pin 3 eine Bildneigungseinstellung aus. In diesen Fällen sind Informationen aus dem Audiomodul nicht verfügbar. Mit der Bildneigungseinstellung kann die Deklination des Bildes kompensiert werden, die durch das magnetische Feld der Erde verursacht wird. Abhängig von der Steuerspannung steuern die Transistoren tt5, tt6 und tt7 die Spannung entweder von +12 V über die Löschspule auf +5 V (niedrige Steuerspannung, tt6 leitet) oder von +5 V über die Löschspule an Masse (hohe Steuerspannung, tt5 und tt7 leiten).
- 6 a) Bei 4:3 Fernsehgeräten mit 4 Mbit Programmspeicher dient der Pin 6 als Anzeige des RGB-Status (rf51 ist installiert). Wenn der RGB-Anschluß benutzt wird, leitet der Transistor tq4 nicht und der Pin 6 ist HIGH. b) Bei allen 16:9 Fernsehgeräten und allen mit 8 Mbit Programmspeicher dient der Pin 6 als Anzeige des RGB-Status (= Scartpin 16 ist HIGH) und des TA700-Status über icf4 (rf51 ist nicht installiert). Die Software überprüft den Status in bestimmten Zeitabständen, indem sie einen hohen Pegel von µC Pin 9 zu icf4-4 an Pin 13 zuführt. Wenn bei icf4-4 der Pin 12 HIGH ist (RGB-Status ein), führt der Pin 11 einen hohen Pegel an µC Pin 6 zu. Das gleiche Überprüfungsverfahren gilt auch für den TA700-Status, jedoch benutzt dieser den µC Pin 8 und den icf4-3. Während dieser Überprüfung ist der µC Pin 43 (A18) immer LOW. Das bedeutet, daß die Pegel an den Pins 8 und 9 keinen Einfluß auf die Datenspeicherung des EPROM haben.
- 8/9 Wenn der µC Pin 43 HIGH ist, wählen diese Pins über icf4-1 und icf4-2 die benötigte Datenbank 1, 2 oder 3. Wenn der µC Pin 43 LOW ist, ist nur die Datenbank 0 in Gebrauch. Daher haben die Pins 8 und 9 keinen Einfluß auf die Datenspeicherung, sie können jedoch für andere Funktionen benutzt werden.
- 43 Der Pin 43 ist eine Adressenleitung, die zur Datenspeicherung des 8 Mbit Programmspeichers verwendet wird. Wenn der Pin LOW ist, wird die Datenbank 0 gewählt; ist der Pin HIGH, werden entweder 1, 2 oder 3 gewählt. Bei dem 4 Mbit Speicher ist der Pin 43 eine normale Adressenleitung (A18).
- 47 a) Bei Multistandard-Fernsehgeräten übermittelt der Pin 47 einen Ausblendimpuls (LOW) für das Schieberegister auf dem ZF-Block. b) Bei Fernsehgeräten ohne Multistandard steuert Pin 47 den Schalttransistor T501 auf dem ZF-Block. Während der Kanalsuche (APSi) ist Pin 47 HIGH.
- 48/49 Die Kombination von Pegeln an diesen Pins bestimmt den Betriebszustand des Fernsehgerätes wie folgt:

48 / P_on	49 / R_on	Beschreibung
H	H	Micropower-Betriebsbereitschaft, Netzteil ist nicht in Betrieb
L	L	Fernsehgerät „ein“, Vr, Vp und Vstb verfügbar
H	L	Aufnahmebetrieb, Vr und Vstb verfügbar, Vp nicht verfügbar
L	H	Servicebetriebsbereitschaft, Vstb verfügbar, jedoch weder Vr noch Vp verfügbar

Das Fernsehgerät ist in der Servicebetriebsbereitschaft, wenn es durch Drückender -vol / menu, TV- und i-Taste in den Servicebetrieb gebracht wurde, jedoch noch nicht durch zweimaliges Drücken der TV-Taste eingeschaltet wurde. Der Servicebetrieb wird genau wie der Aufnahmebetrieb und die Servicebetriebsbereitschaft durch die leuchtende LED für Aufnahme angezeigt.

- 50 a) Während der Anlaufphase übermittelt der Pin 50 einen positiven RESET-Impuls für den Soundprozessor. b) Durch Ablesen der Last am RESET-Impuls stellt der Pin 50 fest, ob der Subwoofer überhaupt installiert ist. Wenn der Subwoofer installiert ist, ist auch der Widerstand Ra107 vorhanden. In diesem Fall ist die Amplitude des RESET-Impulses kleiner als bei nicht vorhandenem Widerstand Ra107. Diese Überprüfung findet in der Konfigurationsphase statt (im Servicemodus, wenn die rote Taste gedrückt wird).
- 51 a) Während der Konfigurationsphase prüft Pin 51 den Widerstand ra10 über den Transistor ta10 (b-e), um das Bildseitenverhältnis zu erkennen. Ein niedriger Widerstand bedeutet 16:9 und ein hoher Widerstand 4:3. b) Während des normalen Betriebes kann der Audioverstärker durch einen hohen Pegel an diesem Pin stummgeschaltet werden (zentrale Stummschaltung).
- 52 a) In der Konfigurationsphase überprüft Pin 52 die vorhandene Installation eines Scart 3-Modules durch Prüfung des Widerstandes ra26 (am Scart 3-Modul). b) Pin 52 operates as a status input pin from scart 3

AND-Gatter, icf4

Das AND-Gatter dient als Funktionserweiterung bei allen 16:9 Fernsehgeräten (4 und 8 Mbit Programmspeicher) sowie bei allen Fernsehgeräten, die mit einem 8 Mbit Programmspeicher ausgestattet sind (4:3 und 16:9). In diesen Fällen sind die Jumper rf30 (Programmspeicher-Pin 31), rf31 (Programmspeicher-Pin 1), rf48 (µC Pin 3) und rf51 (µC Pin 6) nicht installiert. Bei 4:3 Fernsehgeräten mit einem 4 Mbit Programmspeicher ist das AND-Gatter im Gegensatz zu den oben erwähnten Jumpern nicht installiert. Eine detailliertere Beschreibung befindet sich bei den Pins 6, 8, 9 und 43 des Microcontrollers.

RESET-Schaltkreis, icf5

Der Microcontroller wird durch den speziellen RESET-Schaltkreis icf5 (TL7705A) zurückgesetzt. Wenn das Fernsehgerät eingeschaltet wird, übermittelt der Pin 5 einen niedrigen Pegel an Pin 14 des Microcontrollers, bis die +5 Vstb am Überwachungspin 7 (Lesen) einen Pegel von +4,55 V erreicht. Danach dauert das Zurücksetzen für ungefähr 30 ms an. Dann geht der Pin 5 auf HIGH und der Microcontroller wird zurückgesetzt. Die Verzögerungszeit von 30 ms beim Zurücksetzen wird durch den Kondensator Cf21 an Pin 3 bestimmt. Wenn die +5 Vstb nur einen Moment unter den Schwellenwert von 4,55 V fällt, wird sofort eine Zurücksetzung durchgeführt. Der Microcontroller wird gesperrt, was die Schaltung des Fernsehgerätes in die Micropower-Betriebsbereitschaft bewirkt.

Fernbedienung

Die Fernbedienung arbeitet mit dem Codesystem NRC-17, das auf einem 17-bit Zweiphasencode basiert. Der Infrarotempfänger bzw. der Verstärker Hfc1 empfängt impulsmoduliertes Infrarotlicht. Der Empfänger wandelt dieses Licht in ein elektrisches Signal, das demoduliert, verstärkt und von Pin 3 ausgegeben wird. Das Signal wird über den Transistor tfc3 an den Pin 64 des Microcontrollers übermittelt. Während der Codeübertragung sendet der Microcontroller vom Pin 46 negative Impulse. Dieses verursacht ein Aufblinken der LED Dfc4 als Hinweis für den angenommenen Code.

Bedienteil am Fernsehgerät

Das Bedienteil am Fernsehgerät umfaßt nur vier primäre Funktionen des täglichen Gebrauchs: Lautstärke + / - und schrittweises Programmschalten + / -. Diese Funktionen ermöglichen die Benutzung des Fernsehgerätes ohne diese separate Fernbedienung. Die Informationen der Funktionsschalter SWcf1...SWcf4 werden an die Pins 61 und 62 des Microcontrollers übermittelt.

Die LED's am Bedienteil am Fernsehgerät zeigen den Betriebszustand wie folgt an:

Im eingeschalteten Zustand leuchtet die grüne LED Dfc17 aufgrund der +12 Vp. In der Betriebsbereitschaft leuchtet die rote LED Dfc16 (auf der Micropowereinheit) als Anzeige für den vorhandenen Netzanschluß. Im Aufnahmebetrieb leuchtet die rote LED Dfc4 aufgrund des niedrigen Pegels an Pin 46 des Microcontrollers.

ABLENKSTUFEN

- Vertikalablenkung
- Horizontalablenkung

Vertikalablenkung

Der TDA8354 ist ein gleichstromgekoppelter Vertikalablenkungsschaltkreis, der einen internen Vertikalrückschlaggenerator und eine Schutzschaltung enthält. Die Ausgangsverstärker und der Rückschlaggenerator werden durch Hochleistungs-FET's angepaßt. Der IC ist thermisch geschützt und zusätzlich gegen Kurzschlüsse zwischen den Ausgängen und vom Ausgangspin zur Masse und zur Versorgungsspannung geschützt.

Funktionsbeschreibung

Symmetrische Vertikalimpulse vom Ablenkprozessor TDA9151 werden über die Pins 11 und 12 zu einem stromgesteuerten Differential-Eingangsschaltkreis geführt. Die Umwandlung von Strom zu Spannung wird vom Widerstand r_{s4} über den Eingangspin 3 durchgeführt. Die Spannung an Pin 3 wird mit den Daten der Gegenkopplung an Pin 2 verglichen. Die Daten der Gegenkopplung werden dem Ausgangsstrom durch die Ablenkspule - gemessen über die Widerstände R_{s2} , R_{s3} und R_{s5} - entnommen.

Die Signale werden unter Verwendung eines Vertikalsteuerschaltkreises in einer Brückenkonfiguration verstärkt.

Die Ablenkspule befindet sich zwischen den gegenphasengesteuerten Verstärkern an den Ausgangspins 5 und 9. Der Ausgangsstrom wird durch den Wert des Widerstandes r_{s4} bestimmt. Das Widerstandsnetzwerk (VD6xx), parallel mit der Ablenkspule verbunden, dämpft die Hochfrequenzschwingungen, die vornehmlich am Ende der Rückschlagsperiode erzeugt werden. Der zusätzliche Widerstand r_{s6} an Pin 13 kompensiert die Stromdifferenzen in den Dämpferwiderständen während der Abtast- und Rückschlagsperiode.

Die Betriebsspannungsversorgung von +16 V an den Pins 4 und 10 sowie die Versorgungsspannung für den Rückschlag von +50 V an Pin 7 werden dem Diodenspalttransformator Mk1 abgenommen. Der Betrieb mit zwei Versorgungsspannungen (Klasse G) ermöglicht es, beide Versorgungsspannungen unabhängig voneinander auf ihren optimalen Wert einzustellen. Auf diese Art wird ein hoher Wirkungsgrad erreicht. Aufgrund der Brückenkonfiguration ist ein Entkopplungskondensator nicht erforderlich. Daher ist fast die gesamte Versorgungsspannung für den Rückschlag über die Ablenkspule verfügbar.

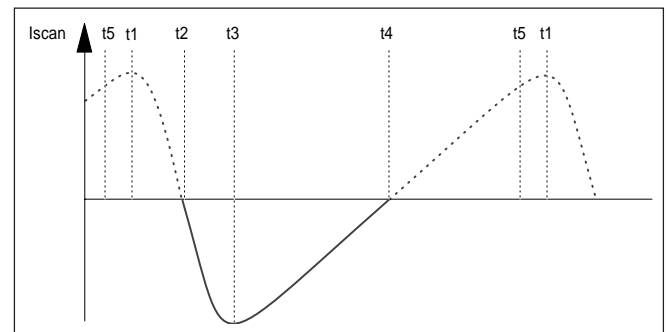
Der Ausgang einer internen Schutzschaltung ist an Pin 1 angeschlossen. Der Sandcastle-Impuls (DSC) vom Ablenkprozessor ist ebenfalls am gleichen Pin angeschlossen.

Die Schutzschaltung wird in möglichen Störungsfällen wie Kurzschlüsse an den Ausgangspins, bei einer offenen Ablenkschleife oder bei einer Überhitzung des Schaltkreises aktiviert. In solchen Fällen erhöht die Schutzschaltung den Gleichstrompegel an Pin 1 auf 2,5 V. Dieses ist der selbe Gleichstrompegel wie der Ausblendpegel des Sandcastle-Impulses. Somit wird ein Ausblenden des Bildschirms durchgeführt, das die Bildröhre schützt.

Horizontalablenkung

Das horizontale Steuersignal vom Ablenkprozessor wird über ein Impulsformungs-Netzwerk bestehend aus den Transistoren tk_6 , tk_1 , tk_2 und damit verbundenen Bauteilen zum Steuertransformator Mk2 geleitet. Der Schaltkreis Dk5, R_{k30} und C_{k17} begrenzt die Schaltübergänge von tk_2 . Die Versorgungsspannung von +17 V für den Transformator wird dem Netzteil abgenommen. Die Sekundärwicklung des Transformators ist mit der Basis des Zeilen ausgangstransistors tk_3 verbunden, der den Diodenspalt transistor und die Zeilenendstufe steuert.

Die Funktionsbeschreibung der Zeilenendstufe beginnt mit dem Zeitpunkt t_5 , wenn das Steuersignal negativ wird, die Zeilenabtastperiode gestoppt wird und die Zeilen rückschlagperiode t_1 beginnt (siehe Bild unten).



Zeilenrückschlag ($t_1...t_3$)

Aufgrund der Abschaltung des Kollektorstromes tk_3 fließt die in der Ablenkspule gespeicherte Energie am Ende der Abtastperiode zum Rückschlagkondensator C_{k24} . Der Energiefluß geht bis zum Zeitpunkt t_2 weiter, wenn die gesamte Energie übertragen wurde und die Kollektorspannung ihren Maximalwert erreicht. Der Strom ändert dann die Richtung und Energie aus dem Kondensator fließt zur Ablenkspule zurück. Zum Zeitpunkt t_3 wird der Rückschlagkondensator entladen und dabei beträgt die Spannung 0 V. Sie wird dann negativ, wenn die Ablenkspule durch Zuführung ihrer Energie zum Kondensator C_{k27} (und C_{k33}) mit der Abtastperiode beginnt.

Zeilenabtastung ($t_3...t_5$)

Zum Zeitpunkt t_3 , wenn die Ablenkspule mit der Zuführung ihrer Energie zu C_{k27} startet, beginnt Strom über die Diode Dk7 zu fließen. Zum Zeitpunkt t_4 , welcher der Mittelpunkt der Zeilenabtastung ist, wird der Steuerimpuls an der Basis von tk_3 wieder positiv und der Ablenkstrom kann über den Transistor tk_3 und die Diode Dk8 fließen. Von Zeitpunkt t_4 bis t_1 ändert der Ablenkstrom seine Richtung und die Energie geht von C_{k27} in die Ablenkspule. Zum Zeitpunkt t_5 , dieser ist das Ende der Zeilenabtastung, wird das Steuersignal von tk_3 negativ und die Rückschlagperiode beginnt von neuem.

Um einen kontinuierlichen Betrieb zu gewährleisten, wird die Energie aus dem Netzteil in der primären Wicklung von Mk1 (Pins 6 und 3) während der Abtastperiode gespeichert, wenn tk_3 gesättigt ist. Ein Teil dieser Energie wird zum Ausgleich der Ablenkverluste verwendet.

Ablenkkorrekturen

Der Korrekturimpuls der Kissenverzerrung vom Ablenkprozessor wird durch die Transistoren ts_1 und ts_2 zur Basis von Transistor tk_4 geführt, der den Ost-West-

Korrekturschaltkreis steuert, der aus den Kondensatoren Ck26, Ck28, der Diode Dk8 und dem Brückentransformator Mk3 besteht.

Die Bildbreite und die Ost-West-Korrektureinstellungen (Kissen, Bildecken und Trapez) werden durch Modulation des Stroms über die Spule Lk1 durchgeführt.

Der Schaltkreis Ck38, Dk9, Rk49 und Rk52 parallel geschaltet mit dem Kondensator Ck27 der S-Korrektur verhindert die Erscheinung eines sogenannten „Mausezahns“.

Dynamischer Fokus, FO600

Eine dynamische Fokuseinstellung wird zusätzlich zur normalen Fokuseinstellung verwendet. Der dynamische Fokus verbessert den Fokus auf beiden Seiten des Bildschirms. Um eine höhere Fokusspannung am Anfang und am Ende der Abtastperiode zu erhalten, wird eine Hilfsspannung benötigt. Diese Spannung wird einem Transformator abgenommen, der in Reihe mit der Horizontalablenkspule geschaltet ist. Die Kissenspannung über den Transformator wird durch einen Kondensator zum Potentiometer für den dynamischen Fokus und weiter zu einem diskreten Fokusgitter geleitet. Der dynamische Fokus wird nur bei größeren Bildröhren verwendet.

Horizontale Zeilenlage und dynamischer Fokus, FO7xx

Fernsehgeräte mit einem VGA-Anschluß (Feature-Box DB700) sind mit einem speziellen FO7xx-Modul ausgestattet, das eine Einstellung der horizontalen Zeilenlage und - falls erforderlich - des dynamischen Fokus beinhaltet.

Die Steuerspannung für die Horizontallage (0...+5 V) wird von Pin 5 des Microcontrollers zum Modulanschluß Xfo3 geleitet. Der Anschluß Xfo3-2 ist an +12 Vp angeschlossen. Wenn die Steuerspannung niedrig ist, leitet der Transistor tfo5. Aufgrund der Widerstände rfo4, rfo5 und rfo6 ist die Basisspannung an den Transistoren tfo3 und tfo4 niedrig und tfo3 und tfo1 zum Leiten bringt. Die Diode Dfo2 leitet und der Kondensator Cfo7 wird auf die positive Spannung aufgeladen, die weiter zur Ablenkstrecke über den Widerstand Rfo2 und die Transformatorpins 2 und 4 geleitet wird. Wenn die Steuerspannung hoch ist, wird der Transistor tfo5 abgeschaltet und die Widerstände sind nicht parallel mit rfo6 verbunden. Das bedeutet, daß der Spannungspegel an den Basen von tfo3 und tfo4 hoch ist und tfo4 sowie tfo2 zum Leiten bringt. Die Diode Dfo1 leitet und der Kondensator Cfo6 wird auf die negative Spannung aufgeladen, die weiter zur Ablenkstrecke geleitet wird. Durch Verändern der

Steuerspannung zwischen 0 und 5 V kann die Ablenkstrecke negativer oder positiver eingestellt werden, sodaß die Horizontalabtastung seitlich verschoben werden kann. Die Kondensatoren Cfo2 und Cfo3 arbeiten als S-Korrekturkondensatoren. Das bedeutet, daß bei VGA-Fernsehgeräten die originalen S-Korrekturkondensatoren (Ck27 und Ck 33) auf der Hauptplatine kurzgeschlossen werden.

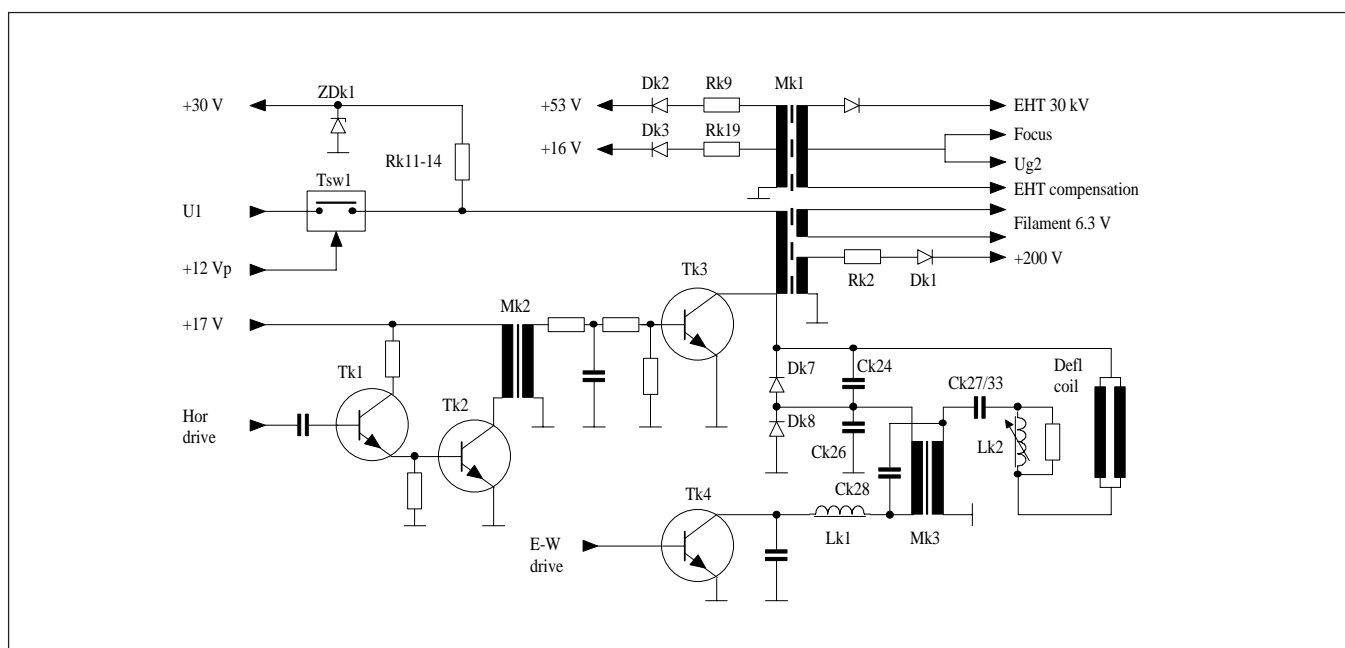
Der Kondensator Cfo4 und die Spulen Lfo1 und Lfo2 bewirken eine zusätzliche Korrektur der Linearität.

Diodenspaltransformator Mk1

Die Primärwicklung (Pin 6) des Diodenspaltransformators (DST) ist über den FET-Schaltkreis Tsw1 an eine Versorgungsspannung von +130 V angeschlossen. Um den Schalttransformator im Netzteil zu schützen, wird der Energieverbrauch in der Ausschaltphase durch den FET reduziert. Während des Normalbetriebes leitet der FET aufgrund des hohen Pegels am Gatter. Wenn das Fernsehgerät ausgeschaltet wird, fällt die +12 Vp und der Transistor Tsw2 leitet. Der Kondensator entlädt sich über Transistor Tsw3, der dann leitet und das Gatter erdet und somit den FET ausschaltet.

Der DST überträgt die Rückschlagimpulse von der Primärwicklung (Pins 3 - 6) zu den Sekundärwicklungen und erzeugt folgende Spannungen:

- Hochspannung (30kV) für die Bildröhrenanode
- Fokus und Schirmgitter (Ug2) für die Bildröhre
- Heizfadenspannungen für die Bildröhrenkathode von den Pins 10 - 11
- +200 V für die Videoausgangsverstärker von den Pins 12 - 4. Diese Spannung wird durch die Diode Dk1 gleichgerichtet
- +50 V von den Pins 1 - 5 oder +46 V von den Pins 2 - 5 für den Vertikal-IC. Diese Spannung wird durch die Diode Dk2 gleichgerichtet
- +16 V für den Vertikal-IC von den Pins 7 - 5. Diese Spannung wird durch die Diode Dk3 gleichgerichtet
- EHT-Daten von Pin 8 (und Ck21)



OPTIONEN

Aktive Subwoofer	
Kammfilter	CF700
SVM-Modul	
Audio-Feature	AR700
Audio-Feature	AR701
Audio einstellbar	TA700
Scart 3 + VGA-Audio	TA710
Scart 3	TA711
Bild in Bild	PP700 / 710

Aktive Subwoofer

Allgemein

Das Aktive Subwoofer-System erzielt eine klare Verbesserung des Stereoklangs. Das System besteht aus aktiven Filtern, Leistungsverstärkern, einem Subwoofer und Stereolautsprechern. Die Aktive-Subwooferstufe ist für die Verwendung einer internen Subwooferbox und Stereolautsprechern im Fernsehgerät oder für kleine, externe Frontlautsprecher konzipiert.

Funktionsbeschreibung

Die linken und rechten Stereokanäle werden bereits im Soundprozessor MSP3410D zusammengeführt. Der Soundprozessor enthält auch die erforderlichen Tiefpaßfilter für den Subwooferkanal und Hochpaßfilter für die Lautsprecherkanäle.

Das Signal wird von Pin 31 des Soundprozessors abgenommen und weiter zum Hochpaßfilter (40 Hz) geführt, der aus dem Transistor ta6 und damit verbundenen Bauteilen besteht.

Das gefilterte Signal wird dann zum Audio-Leistungsverstärker ICa4 geführt. Der Verstärker kann stummgeschaltet werden, indem Pin 1 auf LOW gebracht wird. Das Steuersignal für die Stummschaltung wird vom Microcontroller (Pin 51) über die Transistoren ta10, ta4 und ta5 abgenommen. Diese Stummschaltfunktion schaltet jeden der Audio-Leistungsverstärker im Fernsehgerät stumm. Der Subwoofer-Verstärker kann jedoch auch separat stummgeschaltet werden; dieses geschieht über den Audioprozessor. Ein hoher Pegel an Pin 5 steuert den Transistor ta5 leitend, der nur den Subwoofer-Verstärker stummschaltet. Aufgrund des Widerstandsnetzwerkes ra106, ra105 und ra14 wird die zentrale Stummschaltung in diesem Fall nicht aktiviert.

Der Verstärker arbeitet in einer Brückenkonfiguration. Die Ausgänge sind intern zu den jeweiligen Eingängen jedes anderen invers gekoppelt. Die Verstärkten, in der Phase gegenläufigen Signale werden von den Pins 4 und 6 zum Subwoofer-Lautsprecher geleitet.

Kammfiltermodul, CF700

Allgemein

Die Grundfunktion des Kammfilters ist die Trennung der Luminanz- (Y) und Chrominanzsignale (C) vom CVBS-Signal. Die Vorrichtung minimiert Probleme wie Punktflickern und Übersprechen (Cross Colour) während der Y / C-Trennung. Zusätzlich dazu gibt sie dem Eingangsvideosignal eine erweiterte Frequenzbandbreite. Dieses geschieht durch die Verwendung einer Taktfrequenz in vierfacher Höhe der Farbhilfsträgerfrequenz. Der Filter ist in der Lage, Signale nach PAL- und NTSC 3.58-Standard zu verarbeiten. Das Modul enthält zwei IC's: Den Multiplexer-Schaltkreis icc1 und den Kammfilterschaltkreis icc2.

Funktionsbeschreibung

Abhängig vom Standard umgeht oder filtert das Modul die Eingangssignale wie folgt:

PAL und NTSC 3.58

Das Signal wird zum Kammfilter-IC geleitet und in Y- und C-Signale getrennt

NTSC 4.43 und SECAM

Das Signal wird zum Kammfilter-IC geleitet, jedoch nicht getrennt

S-VHS Das Signal wird zum Multiplexer-IC geleitet

Der Standard wird im Farbdecoder Icd1 identifiziert. Die Information über den Standard wird über den IIC-Bus in den Microcontroller und wieder zurück zum Farbdecoder geleitet. Die Information wird von Pin 23 zu Pin 1 des Kammfiltermoduls, von Pin 16 zu Modulpin 2 und von Pin 15 zu Modulpin 13 geleitet.

Der Modulpin 1 steuert den Multiplexer, das Videosignal („L“) entweder vorbeizuleiten oder das Signal zum Kammfilter-IC („H“) zu leiten. Wenn Pin 1 HIGH ist, leitet er die Farbhilfsträgerfrequenz (Fsc) zu einem internen Taktgenerator des Kammfilter-IC's. Der Modulpin 2 legt die Arbeitsweise des Kammfilters fest, entweder PAL („L“) oder NTSC 3.58 („H“).

Der Modulpin 13 steuert den Kammfilter-IC dann im Kammfilterbetrieb zu sein, wenn der IC die Y / C-Trennung durchführt; oder im Umgehungsmodus („L“) zusein, wo das Signal nicht getrennt, sondern nur über eine interne Verzögerungsstufe geleitet wird. Zusätzlich informiert der Pin 13 durch den Transistor tc3 (Basis-Kollektorverbindung) den Farbdecoder über das vorhandene Modul. Abhängig vom verwendeten Standard sind die logischen Hoch- / Tiefpegelkombinationen wie folgt:

Standard	Modulpin 1	Modulpin 2	Modulpin 13
PAL	"H" + 4.43	"L"	"H"
NTSC 3.58	"H" + 3.58	"H"	"H"
NTSC 4.43	"H" + 4.43	"L"	"L"
SECAM	"H" + 4.28	"L"	"L"
S-VHS	"L"	"L"	"L"

PAL-Signal

Das PAL-CVBS-Signal von Modulpin 6 wird an Pin 4 des Multiplexers eingegeben. Wegen des hohen Pegels am Steuerpin (siehe Inverter tc10) wird das Signal an Pin 5 ausgegeben und weiter über eine Verstärkerstufe tc7 / tc8 zu einem Tiefpaßfilter geleitet. Nach diesem Tiefpaßfilter und dem Puffertransistor tc9 wird das Signal an Pin 15 des Kammfilter-IC's eingegeben.

Im Kammfilter-IC wird das Videosignal an einen internen Pegel geklemmt und dann durch einen Hochgeschwindigkeits-8 bit A/D-Wandler gewandelt. Die Wandlungsfrequenz beträgt das Vierfache der Farbhilfsträgerfrequenz. Aufgrund des PAL-Standards beträgt die Farbhilfsträgerfrequenz an Pin 45 4,43 MHz, daher beträgt die gewandelte Frequenz 17,7 MHz.

Ein logisches LOW an Pin 41 steuert die Eingabe der Videodaten in die Kammfilter-Bearbeitungseinheit und ein logisches LOW an Pin 47 legt die Filterweise in Übereinstimmung mit dem PAL-Standard fest. Die getrennten Luminanz- und Chrominanzdaten werden dann durch zwei 8-bit D/A-Wandler in analoge Form gewandelt. Die Wandlung wird unter Verwendung der gleichen Taktfrequenz von 17,7 MHz durchgeführt.

Das Luminanzsignal wird an Pin 6 ausgegeben, geht über den Emitterfolger tc11 zu Pin 12 des Multiplexers und wird an Pin 14 ausgegeben und dann durch den Emitterfolger tc6 zum Ausgangspin 10 des Moduls weitergeführt.

Das Chrominanzsignal wird an Pin 8 ausgegeben, geht über tc12 zu Pin 2 des Multiplexers und wird von Pin 15 ausgegeben und dann durch tc4 zum Ausgangspin 11 des Moduls weitergeführt.

NTSC 3.58-Signal

Die Signalwege sind exakt die gleichen wie die PAL-Signalwege. Der einzige Unterschied besteht im Kammfiltersystem im Kammfilter-IC. Pin 47 ist HIGH, daher wird eine andere Filterweise gewählt. Die gewandelte Frequenz beträgt hierbei 14,3 MHz aufgrund der Farbhilfsträgerfrequenz von 3,58 MHz an Pin 45.

NTSC 4.43- und SECAM-Signale

Der Signalweg zum Kammfilter-IC ist der gleiche wie oben. Jedoch ist jetzt der Pin 41 HIGH und daher ist der Kammfilter-IC im Umgehungsmodus. Das Signal wird nur über den A/D-Wandler, die Speichereinheit und den D/A-Wandler geleitet. Die gewandelten Frequenzen betragen 17,7 MHz (NTSC) und 17,1 MHz (SECAM). Die NTSC 4.43- und SECAM-Signale werden über den Kammfilter-IC geleitet, weil die interne Speichereinheit eine zweizeilige Verzögerung des Signals bewirkt. Wurden diese Signale bereits im Multiplexer vorbeigeleitet und der empfangene Standard ändert sich, z.B. von SECAM zu PAL, kann ein kurzzeitiger Verlust der Synchronisierung auftreten.

S-VHS-Signal

Das S-VHS-Signal wird an den Modulpins 6 (Y) und 7 (C) und weiter an den Pins 4 und 1 des Multiplexers eingegeben. Der Pin 1 des Moduls ist jetzt LOW, was ein HIGH des Steuerpins 9 verursacht; die internen Schalter des Multiplexers wechseln in den Umgehungsmodus. Das Luminanzsignal wird an Pin 14 und das Chrominanzsignal wird an Pin 15 ausgegeben.

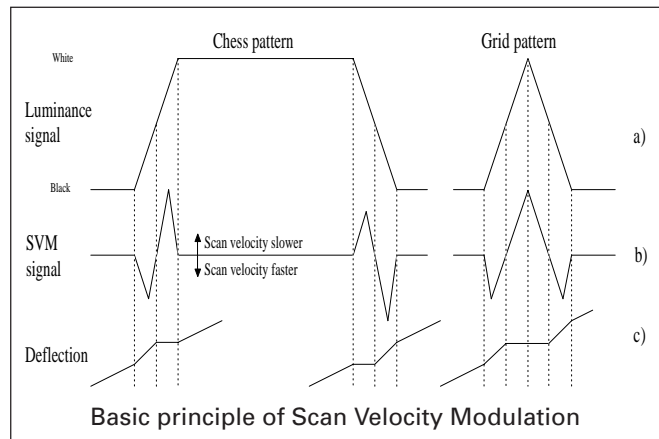
Handelt es sich bei der Übertragung um ein reines Monochromsignal oder reines Rauschen, was bedeutet, daß kein Burst vorliegt, wird das Signal wie ein S-VHS-Signal vorbeigeleitet. Dieses wird so durchgeführt, weil kein Farbhilfsträger vorhanden ist, der für die Signalverarbeitung benötigt wird.

Modulationsmodul für die Abtastgeschwindigkeit, VM600

Allgemein

Der Zweck des Modulationsmoduls für die Abtastgeschwindigkeit ist eine Steigerung der Bildschärfe während der Intensitätstransienten des Luminanzsignals. Die Modulation der Abtastgeschwindigkeit wird durchgeführt, indem das Luminanzsignal (a), das Intensitätstransienten enthält, zuerst differenziert und dann verstärkt wird.

Auf diese Art wird das so erzeugte Signal zu einer Hilfsspule geleitet, die sich am Hals der Bildröhre befindet. Der Strom, der während der Intensitätstransienten durch die SVM-Spule fließt, moduliert das Ablenkfeld (c) und steigert oder verlangsamt somit die Abtastgeschwindigkeit.



Das Luminanzsignal wird zuerst durch zwei aufeinanderfolgende Differenzierglieder bestehend aus cvm2/rvm2 und cvm1/rvm1/rvm3 abgezweigt.

Das abgezweigte Signal wird durch die Transistoren tvm1 und tvm2 vorverstärkt und dann zur Begrenzerstufe geleitet, die aus einem Differentialverstärker und den Transistoren tvm3 und tvm4 besteht.

Das begrenzte Signal wird dann über eine Steuerstufe (tvm6 und tvm7) zu den Transistoren Tvm8 und Tvm9, die die Endstufe bilden, und weiter zur SVM-Spule geleitet.

Audio Feature-Module, AR700 und AR701

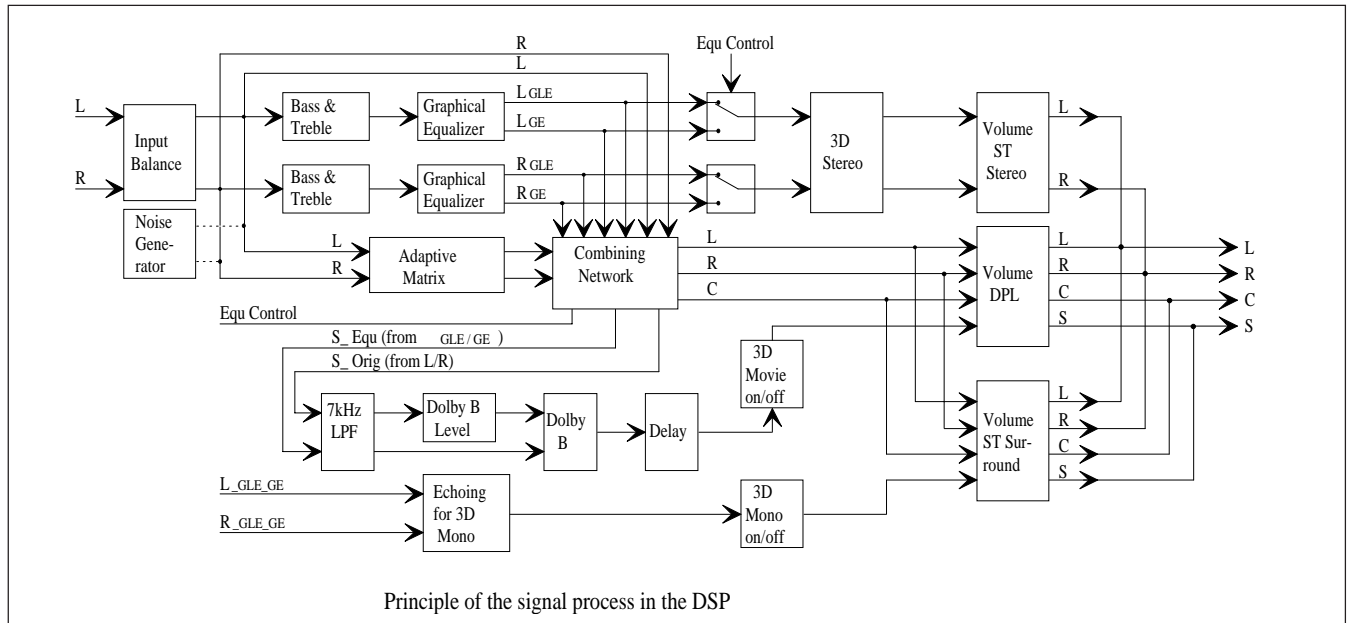
Allgemein

Das Audio Feature-Modul AR700 basiert auf einem sogenannten 3D-Audiosystem, das die Audiosysteme 3D Mono, 3D Stereo und 3D Movie-System abdeckt.

Das Audio Feature-Modul AR701 beinhaltet nicht nur die oben erwähnten Systeme, sondern auch das Dolby Surround Pro Logic-System.

Signal process in the DSP

Beide Systeme werden unter Anwendung digitaler Tonverarbeitung erzeugt, deren Programm aus sieben Hauptblöcken besteht: Dolby Pro Logic, 3D Mono, 3D Stereo, 3D Movie, grafischer Equalizer, Klangregler und Rauschgenerator.



Dolby Surround Pro Logic

Das Dolby Surround Pro Logic ist ein vierkanaliges Surround Sound-System.

In der Übertragungsphase ist die Vierkanalinformation in zwei Kanäle (L' und R') codiert. Der mittlere (C) und die Surroundkanäle (S) werden zu den linken (L) und rechten (R) Kanälen nach der folgenden Formel hinzuaddiert:

$$\begin{aligned} - L' &= L + C \times (-3 \text{ dB}) + S \times (-3 \text{ dB}) \\ - R' &= R + C \times (-3 \text{ dB}) - S \times (-3 \text{ dB}) \end{aligned}$$

Die Mittenkanalinformation wird zu den L- und R-Kanälen in der gleichen Phase mit dem Faktor 0,7 addiert. Die Surroundkanalinformation wird zu den L- und R-Kanälen mit dem Faktor 0,7 addiert, jedoch in der gegenläufigen Phase als +90° zum L-Kanal und als -90° zum R-Kanal.

Im Fernsehgerät entschlüsselt der Dolby Pro Logic-Decoder die beiden Kanäle, L' und R', wieder in vier getrennte Kanäle, links, mittig, rechts und Surround. Falls die Übertragung, Dolby Pro Logic-Surround enthält, schaltet die Software das Fernsehgerät automatisch in den Pro Logic-Modus, vorausgesetzt das Fernsehgerät befindet sich im AUTO-Betriebsmodus, die Übertragung ist in Stereo (Nicom oder A2) und die WSS- (Wide Screen Signalling) Daten beinhalten das Dolby-Bit. Zusätzlich müssen die rückseitigen Lautsprecher angeschlossen sein, da sonst die Software den 3D Movie-Betriebsmodus wählt.

Während der digitalen Signalverarbeitung werden die Audiodaten (L' und R') zuerst zur Eingangs-Balancesteuerung geleitet, die mögliche Fehler des Pegels zwischen den beiden Eingangssignalen kompensiert. Die Balancesteuerung ist für automatischen Betrieb konzipiert und somit sehr benutzerfreundlich. Das automatische System überprüft fortwährend den Pegelunterschied zwischen den linken und rechten Kanälen und versucht, diesen so klein wie möglich zu halten.

Als nächstes wird das Signal zur adaptiven Matrixstufe geleitet, deren erste Einheit ein Bandpaßfilter ist. Die

Hochpaßfrequenz dieses Filters beträgt 200 Hz und die Tiefpaßfrequenz beträgt 5 kHz. Nach den Bandpaßfiltern werden die Daten (Lbp und Rbp) zu einer Berechnungseinheit geleitet, die den mittleren Kanal und die Surroundkanäle erzeugt. Die Berechnungsformel lautet: $Cbp = Lbp + Rbp$ und $Sbp = Lbp - Rbp$.

Die absoluten Werte werden dann von den Lbp-, Rbp-, Cbp- und Sbp-Signalen abgenommen. Der nächste Schritt ist die Berechnung des Verhältnisses zwischen dem linken und rechten Kanal sowie zwischen dem mittleren und dem Surroundkanal.

Anschließend erfolgt die Berechnung der Zeitkonstante. Im Dolby Pro Logic-Decoder gibt es zwei Zeitkonstantenfilter. Der Pegel des Signals bestimmt, welcher ausgewählt wird. Falls der Unterschied des Pegels zwischen linkem und rechtem Kanal oder zwischen dem mittleren und dem Surroundkanal mehr als 5,5 dB beträgt, wird eine Filterung der Langzeitkonstanten durchgeführt. Danach wird der Filter für die Kurzzeitkonstante berechnet. Falls der Unterschied des Pegels weniger als 5,5 dB in beiden Richtungen beträgt, wird nur die Filterung der Kurzzeitkonstante durchgeführt. Schließlich werden die LR- (links/rechts) und CS- (mittig/Surround) Signale durch eine Polaritätsbestimmungseinheit - der letzten Bearbeitungseinheit in der adaptiven Matrixstufe - zu der kombinierenden Netzwerkstufe geführt.

Nach der kombinierenden Netzwerkstufe wird nur die Bearbeitung des Surroundkanals fortgeführt. Im Surroundkanal befindet sich ein 7 kHz-Tiefpaßfilter, eine Verzögerung sowie ein modifizierter Dolby-B-Decoder. Der Tiefpaßfilter ist einfach ein Filter zweiter Ordnung, dessen Abschaltfrequenz 7 kHz beträgt. Die Verzögerung kann eine variable Verzögerung von 15 ms bis 30 ms oder eine konstante Verzögerung von 20 ms sein. Der modifizierte Dolby-B-Decoder ist ein komplexer Teil der Bearbeitung. Die Verstärkung des Dolby-B-Filters ist von der Frequenz des Eingangssignales und auch vom Pegel des Eingangssignales abhängig. Das Programm verwendet

ein Surroundkanalsignal, das ohne Grafik- (GE) und Lautsprecherausgleich (GLE) für den Dolby-B-Pegel sowie Frequenzberechnungen ausgelegt wird. Der Dolby-B-Filtervorgang wird am entzerrten Signal durchgeführt. Im Dolby Pro Logic-Decoder gibt es drei verschiedene Kanalbetriebsarten: Weit, Normal und Phantom.

Weit-Modus

Wenn alle drei Frontlautsprecher tiefe Bassfrequenzen wiedergeben können und genügend Verstärkungsleistung aufweisen, kann sich das System im Weit-Modus befinden. Weit ist eine Abkürzung von Weitband, was bedeutet, daß das gesamte Frequenzband vom mittleren Lautsprecher wiedergegeben wird.

Normal-Modus

Falls zwei Full range-Lautsprecher für den linken und rechten Kanal vorhanden sind, ist die einfachste Weise, das Dolby Pro Logic-System aufzubauen, das Hinzufügen eines Lautsprechers für den mittleren Kanal irgendwo in der Nähe des Bildschirms. Die kleinen Lautsprecher sind normalerweise nicht in der Lage, tiefe Basswerte wiederzugeben. Im Normal-Modus ist das Ansprechen des mittleren Kanals auf 100 Hz begrenzt und der Baßgehalt wird auf den linken und rechten Kanal (oder alternativ zum Subwoofer) umgeleitet. Eine andere Bezeichnung für diesen Modus ist „Baßspaltmodus“.

Phantom-Modus

Falls kein mittlerer Lautsprecher vorhanden ist, kann der Decoder auf den Phantom-Modus eingestellt werden. In diesem Modus werden alle Daten für den mittleren Kanal den linken und rechten Lautsprechern hinzugefügt. Für den Surround-Kanal gibt es zwei Betriebsarten: Normal und 3 Stereo.

Im 3 Stereo-Modus ist der Surround-Ausgang nicht verfügbar. Die Surround-Daten werden ignoriert und den anderen Kanälen nicht hinzugefügt.

Zusammenfassend gibt es im Prinzip vier verschiedene Lautsprecherkonfigurationen.

Volle Konfiguration (5 Lautsprecher)

- aufgeteilt in zwei externe Frontlautsprecher (L / R), mittlerer Lautsprecher und zwei externe rückseitige Lautsprecher

Phantom-Modus (4 Lautsprecher)

- die eigenen Lautsprecher des Fernsehgerätes (L / R) dienen als Frontlautsprecher, kein mittlerer Lautsprecher und zwei externe rückseitige Lautsprecher

3 Stereo (3 Lautsprecher)

- mit zwei externen Frontlautsprechern (L / R) und mittlerem Lautsprecher, jedoch ohne rückseitige Lautsprecher

Basiskonfiguration

- hierbei werden nur die eigenen Lautsprecher des Fernsehgerätes (L / R) verwendet.

Bei Konfigurationen, in denen der mittlere Lautsprecher verwendet wird, können dieses entweder ein externer Lautsprecher oder die eigenen Lautsprecher des Fernsehgerätes - in Serie geschaltet - sein. Ein Subwoofer kann zusätzlich zu den oben erwähnten Lautsprechern verwendet werden.

Das Dolby Surround Pro Logic-System besteht aus dem Taktgeber icar1, aus dem digitalen Soundprozessor icar2, dem Verzögerungsspeicher icar3, der phasengekoppelten Schleife icar4, der Rekonstruktionsfilterung / Digital-/Analogwandlung icar5 und icar6, dem Leistungsverstärker icar7 und dem Lautsprecherwahlschalter SWA1.

3D Mono

Das 3D Mono-System ist für Monoübertragungen konzipiert. Es handelt sich um ein künstliches Surround-Tonsystem, welches das Surround-Signal aus dem Mono-

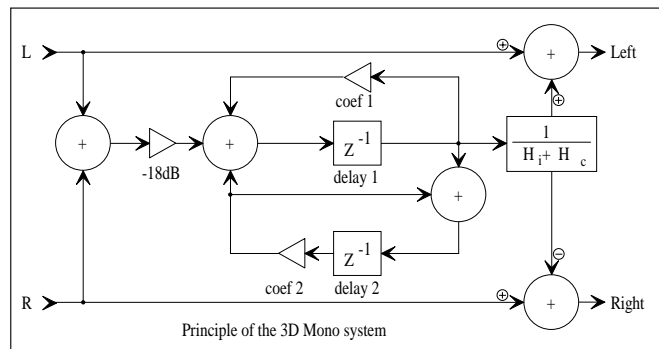
Signal (oder aus der Summe der linken und rechten Kanäle) nach den grafischen Equalizern erzeugt. Diese Betriebsart ist für Programme ohne Dolby Pro Logic geeignet, bei denen ein Surround-Kanal gewünscht wird. Der 3D Mono-Modus erfordert keine externen Lautsprecher.

Der künstliche Surround-Effekt wird aus dem Monosignal erzeugt. Der Effekt besteht hauptsächlich aus einem Echo, wobei die Größe des Raumes künstlich durch die Verzögerungssteuerung und die Fülle durch die Effektsteuerung verändert werden kann.

Das 3D Mono-System wird auch 3D Pseudo- oder Semi-Tech Surround-System genannt.

Das Signal wird an den graphischen Equalizern abgenommen und zur Dämpfungseinheit geleitet, um einen Überlauf zu vermeiden. Die Koeffizientenstufe 1 und der Verzögerungspuffer 2 weisen konstante Werte auf. Der Multiplikationsfaktor beträgt 0,12 und die Verzögerungszeit ist aufgrund der Größe des Verzögerungsspeichers auf 104 ms begrenzt. Der Regelbereich für den Verzögerungspuffer 1 liegt zwischen 50 ms und 150 ms und der Multiplikationsfaktor der Koeffizientenstufe 2 liegt zwischen 0,1 und 0,2. Im Tonmenü werden diese Einstellungen Effekt und Verzögerung genannt.

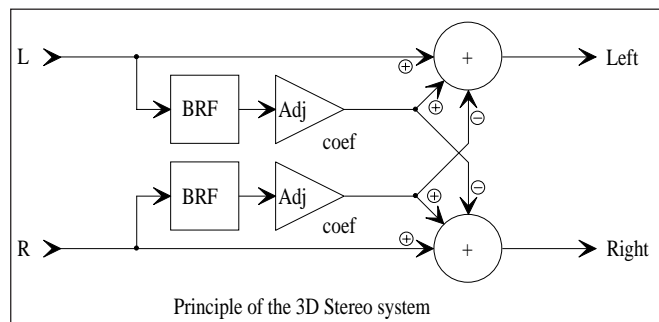
Schließlich wird das multiplizierte und verzögerte Signal zum HRTF-Filter geleitet, der den Lautsprecherklang künstlich von seinem wirklichen Platz an eine andere Stelle versetzt.



3D Stereo

3D Stereo ist ein künstliches System, das zur Erweiterung des Stereoklangbildes der Lautsprecher im Fernsehgerät dient und demnach keine externen Lautsprecher erfordert. Der 3D Stereo-Modus verstärkt nur die Stereowerte (ohne Echo und Verzögerung), hat also keinen Einfluß auf eine Übertragung, die nicht im Stereoton ist. Die Effekt-Steuerung im Tonmenü verändert den Umfang der Verstärkung für die Stereowerte.

Die Rate basiert auf einem Bandunterdrückungsfilter (BRF). Der Ausgang dieses Filters wird mit einem veränderbaren Koeffizienten multipliziert. Dieses Signal wird dann dem ursprünglichen Kanal hinzugefügt und von dem anderen Kanal abgezogen.

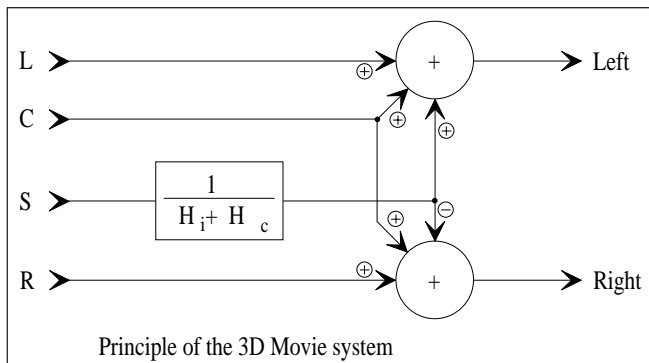


3D Movie

3D Movie ist eine bestimmte Art eines virtuellen Surround-Tonsystems. Mit diesem System können mehrere Lautsprecher virtuell erzeugt werden, ohne diese Lautsprecher wirklich zu installieren. Daher sind nur die eigenen Lautsprecher des Fernsehgerätes erforderlich, um ein Klangerlebnis wie in einem Kino zu schaffen. Der dreidimensionale Effekt wird künstlich durch die Veränderung des Frequenzgangs erzeugt, so daß der Ton scheinbar aus einer anderen Richtung als aus der Richtung des eigentlichen Lautsprechers kommt.

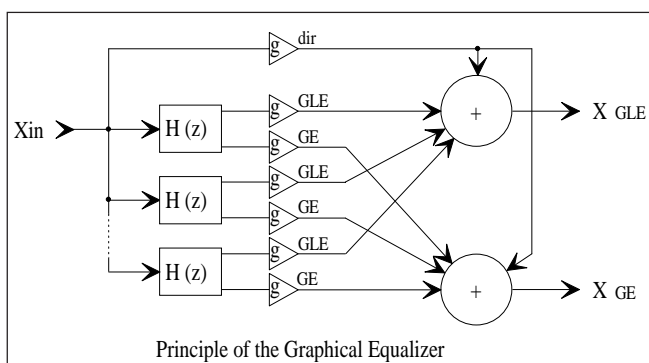
Die Filter in dem System basieren auf der HRTF-Technik. 3D Movie erfordert eine Dolby Pro Logic-verschlüsselte Übertragung, um richtig funktionieren zu können, weil das System zusätzlich zu den linken und rechten Kanälen den mittleren Kanal und die Surround-Kanäle verwendet. 3D Movie arbeitet nur im Phantom-Modus. Das bedeutet, daß der mittlere Kanal den linken und rechten Kanälen hinzugefügt wird. Die Effekt-Steuerung im Tonmenü entspricht der Pegelinstellung des Surround-Kanals im Dolby Pro Logic-System.

Wenn die Übertragung Dolby Pro Logic-verschlüsselten Ton enthält und sich das Fernsehgerät im AUTO-Modus befindet, schaltet die Software des Fernsehgerätes automatisch in den 3D Movie-Modus, vorausgesetzt die Übertragung ist in Stereo (Nicom oder A2) und die WSS-Daten enthalten das erforderliche Dolby-bit.



Grafischer Equalizer

Im digitalen Soundprozessor ist ein grafischer Equalizer (7-Band) für Bedieneinstellungen sowie eine Korrektur für den Frequenzgang der Lautsprecher. Jedes der sieben Bänder (es wurden nur drei im Schaubild unten gezeichnet) hat zwei Ausgänge. Die Kanäle, die einen Ausgleich für den Frequenzgang der Lautsprecher aufweisen, haben einen Lautsprecherausgleich und eine benutzerdefinierte Verstärkung (gGLE). Die Kanäle ohne Lautsprecher ausgleich haben nur eine benutzerdefinierte Verstärkung (gGLE). Im Tonmenü gibt es vier verschiedene voreingestellte Auswahlmöglichkeiten: Musik, Sprache, Flat und Normal. Im Musik-, Sprach- und Flat-Modus übernimmt der Equalizer die Voreinstellungen von der NV RAM. Im Flat-Modus sind die Equalizer-Einstellungen in der mittleren Position fixiert. Nur im Normal-Modus kann der Benutzer die Einstellungen verändern.

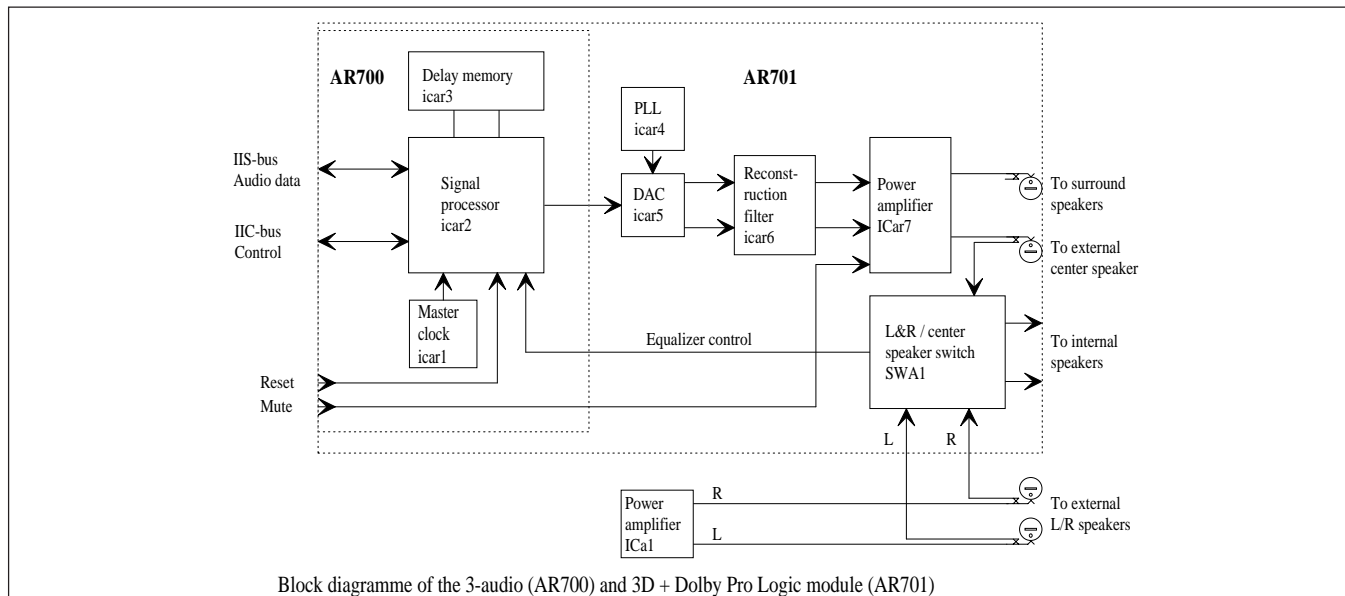


Toneinstellung

Die Toneinstellungen, Baß und Höhen, sind nicht einzeln als Baß- und Höheneinstellung einstellbar, sondern sie dienen als Lautstärkeregelung. Das bedeutet, daß die Toneinstellung von der Lautstärkeregelung abhängig ist.

Rauschgenerator

Der Rauschgenerator wird zur gleichen Einstellung der Kanalpegel verwendet. Normalerweise benötigt der Benutzer dieses Programm nur während der Platzierung der Lautsprecher. Der Rauschgenerator leitet den Rauschwert an jeden angeschlossenen Lautsprecherkanal. Dieses ist hilfreich bei der Einstellung der relativen Balance zwischen den separaten linken, rechten, mittleren und rückseitigen Pegelinstellungen in Bezug auf die Hörgewohnheiten.



Funktionsbeschreibungen der Schaltkreise

Das Audio Feature-Modul AR700 besteht nur aus einem Taktoszillator, einem Soundprozessor sowie einem Verzögerungsspeicher.

Das Audio Feature-Modul AR701 besteht zusätzlich aus einer phasengekoppelten Schleife, einem Rekonstruktionsfilter, einem D/A-Wandler sowie einem Leistungsverstärker.

Taktoszillator icar1

Der Inverter-Schaltkreis icar1 arbeitet als Haupttaktoszillator, dessen Frequenz von 25 MHz durch den Widerstand rar1 und den Kondensator car1 bestimmt werden. Die Taktimpulse werden von Pin 8 zu Pin 14 des Soundprozessors geleitet.

Soundprozessor icar2

Der digitale Soundprozessor (DSP) enthält mehrere verschiedene Speicher, und zwar ein 512 x 32-bit Programm-RAM, ein 256 x 24-bit Daten-RAM, ein 256 x 24-bit Koeffizienten-RAM, 1,5 Kilo Word x 32-bit Programm-ROM und ein 1,5 Kilo Word x 32-bit Koeffizienten-ROM. Zusätzlich enthält er eine 24-bit arithmetische Logikeinheit (ALU) und ein 25-bit x 25-bit Multiplizierakkumulator (MAC). Außerdem enthält der Schaltkreis einen grafischen Equalizer, eine Toneinstellung und einen Rauschgenerator.

Der Schaltkreis wird über den IIC-Bus gesteuert. Die Software zur Steuerung ist im Programmspeicher (ICf1) gespeichert, von wo sie zum Microcontroller (icf3) und weiter über den IIC-Bus zum Soundprozessor geführt wird. Alle Voreinstellungen sind im NV RAM (ICf2) gespeichert. Um die ordentliche Funktion des IIC-Bus während des Ein- und Ausschaltens zu gewährleisten, werden sowohl die seriellen Daten (SDA) als auch der serielle Takt über die von +12 V gesteuerten FET's tar1 und tar2 zum Soundprozessor geleitet.

Der digitale Soundprozessor wird an den MSP (ICa2) über den IIS-Bus angeschlossen, der aus vier Leitungen besteht, Dateneingang (IIS-DI), Datenausgang (IIS-DO), Wortwahl (IIS-WS) und Takt (IIS-CLK). Das Signal für die Wortwahl ist ein 32 kHz Rechteckimpuls und wird für die Trennung der Kanäle verwendet. Das Taktsignal ist ein 1,024 MHz Sinuswellenimpuls und wird als Systemtakt verwendet.

Verzögerungsspeicher icar3

Der Verzögerungsspeicher ist ein 256 kbit (32k x 8) SRAM, der zusammen mit dem digitalen Soundprozessor zur Erzeugung der bei Dolby Pro Logic-, 3D Mono- und 3D Movie-Systemen benötigten Echoeffekte verwendet wird.

Phasengekoppelte Schleife (PLL), icar4

Der Schaltkreis der phasengekoppelten Schleife erzeugt das Haupttaktsignal für den D/A-Wandler. Die Schleife ist an das IIS-WS-Signal (Pin1) gekoppelt, das als 32 kHz Systemtakt dient. Die phasengekoppelte Schleife multipliziert das 32 kHz-Signal mit 384, was einem endgültigen Haupttaktsignal von 12.288 MHz entspricht und an Pin 10 ausgegeben wird.

Rekonstruktionsfilterung und D/A-Wandlung, icar5 und icar6

Die Rekonstruktionsfilterung und D/A-Wandlung wird unter Verwendung von zwei Schaltkreisen, dem D/A-Wandler mit einem digitalen Filter, icar5 (TC9270) und dem Filterschaltkreis, icar6 (TA2009F) durchgeführt. Der TC9270 schließt eine serielle Eingangsschnittstelle, eine De-Emphasis, Interpolatoren, Delta-Sigma-Modulatoren und D/A-Wandler ein. Die Audiodaten werden an dem Pin 25 eingegeben und an den Pins 9 / 10 (Surround) sowie 5 / 6 (mittig) ausgegeben. Der gesamte Vorgang wird durch drei Taktsignale gesteuert, dem 1,024 MHz Systemtakt an Pin 2, dem 32 kHz Wortwahlsignal an Pin 3 und dem Haupttakt an Pin 4. Analoge Audiosignale werden dann zu dem Tiefpaßfilter schaltkreis TAA2009 geleitet, der die Nachfilterung durchführt. Der Surround-Kanal wird von Pin 6 und der mittlere Kanal von Pin 3 zum Leistungsverstärker geführt.

Leistungsverstärker Icar7

Der verwendete Leistungsverstärker TDA2616 ist der gleiche wie er im Audioverstärker auf der Hauptplatine verwendet wird. Er ist daher schon im Audioabschnitt beschrieben worden. Der Surround-Kanal wird von Pin 4 zum Lautsprecheranschluß Qar6 geleitet. Die Impedanz der Surround-Lautsprecher beträgt 16 Ohm, daher sind sie parallelgeschaltet.

Der mittlere Kanal wird von Pin 6 zum Lautsprecheranschluß Qar5 und zum Schalter SWA1 geleitet.

Lautsprecherwahlschalter SWA1

Er ermöglicht die Verwendung der internen Lautsprecher des Fernsehgerätes als Lautsprecher für den mittleren Kanal. Die internen Lautsprecher sind am Anschluß Q4 angeschlossen und daher geht der Signalweg vom mittleren Kanalverstärker über die Pins 15 / 14 von SWA1, Anschlußpin 1 (+), Lautsprecher, Anschlußpin 2 (-), Anschlußpins 5 / 4 / 18 / 17, Anschlußpin 3 (+), Lautsprecher, Anschlußpin 4 (-), Schaltpins 2 / 1 sowie Masse. Daher sind die internen Lautsprecher in Reihe geschaltet. Die Schaltpins 1 / 2 steuern den Soundprozessor über den Pin 27 zur Wahl des richtigen Ausgleichs. Bei

dieser Lautsprecherkonfiguration müssen die linken und rechten Kanäle über die Lautsprecheranschlüsse Xexts1 und Xexts2 auf der Hauptplatine an externe Lautsprecher angeschlossen werden.

Wenn ein externer Lautsprecher für den mittleren Kanal angeschlossen ist, ist die Verbindung zum Schalter unterbrochen. In diesem Fall fordert die Software den Benutzer auf, die Schaltposition zu ändern.

Die linken und rechten Kanäle von der Hauptplatine sind am Anschluß Q3 angeschlossen und aufgrund der anderen Schaltposition werden die linken und rechten Kanalsignale jetzt direkt über die Schalter zu den internen Lautsprechern geleitet. Voraussetzung ist natürlich, daß externe linke und rechte Lautsprecher nicht angeschlossen sind.

Einstellbares Audioausgangsmodul TA700

Das einstellbare Audioausgangsmodul (Leitungsausgang) TA700 ermöglicht es, den Ton des Fernsehgerätes unter Verwendung von Klang- und Lautstärkeeinstellungen der vorhandenen Fernbedienung des Fernsehgerätes zu einem externen Verstärker zu leiten.

Die Audiosignale für den linken und rechten Kanal werden über ein FET-Paar, tta1 und tta2, zum Operationsverstärker icta1 geleitet. Aufgrund der negativen Eingabe invertiert der Verstärker die Signale. Verstärkte Signale werden dann über ein anderes FET-Paar, tta8 und tta9, zu den Ausgangsanschlüssen Xt7 und Xt8 (RCA-Anschlüsse) geführt.

Diese FET-Paare vermeiden mögliche unerwünschte Schaltspitzen vom Audioprozessor bei Erreichen des externen Audioverstärkers.

Das erste Paar tta1 und tta2 eliminiert mögliche positive Spannungsspitzen (interne Dioden) und aufgrund der Invertiereigenschaft des Operationsverstärkers vermeidet das zweite Paar tta8 und tta9 negative Spitzen, die vom Audioprozessor kommen.

Ein- und Ausschalten der Dämpfung

Die FET's dienen auch als Stummschaltelemente (Dämpfung) während des Ein- und Ausschaltens.

Wenn das Fernsehgerät eingeschaltet wird, verursacht die +12 Vp (über den Transistor tta5) den positiven Eingang an Pin 5 von icta2 schneller in den Hochpegelzustand zu gehen als der negative Eingang an Pin 6. Das bedeutet, daß der Ausgangspin 7 HIGH ist und die Transistoren tta6 und tta7 leiten und die Gates der FET's auf LOW halten. Nach einer kurzen Zeit, wenn der Kondensator Cta17 aufgeladen ist, leitet tta5 nicht mehr und die Spannung an Pin 5 fällt unter den Wert von der Spannung an Pin 6. Der Ausgangspin 7 ist jetzt LOW und die Transistoren tta6 und tta7 leiten nicht. Das erste FET-Paar bezieht die Gate-Spannung über den Widerstand rta24. Das zweite FET-Paar weist eine leichte Verzögerung auf, da die Gate-Spannung über den Transistor tta4, den Widerstand rta20 und den Kondensator Cta15 bezieht.

Wenn das Fernsehgerät ausgeschaltet wird, geht der Pin 6 des icta2 sofort auf LOW, jedoch bleibt der Pin 5 aufgrund der Ladung des Kondensators Cta18 auf HIGH. Der Ausgangspin 7 ist demnach auf HIGH und die FET-Paare werden abgeschaltet.

Status am Leitungsausgang

Die andere Hälfte des Operationsverstärkers arbeitet als Schalter für den Status am Leitungsausgang. Wenn die Ausgangsanschlüsse nicht benutzt werden, halten die zusätzlichen Kontakte (an den Anschlüssen) den negativen Eingangspin 2 über die Widerstände rta17 und rta18 auf LOW. Das bedeutet, daß der Ausgangspin 1 HIGH ist, der Transistor ta9 (auf der Hauptplatine) leitet und hält den Pin 3 des Microcontrollers auf LOW (inaktiv).

Wird ein Stecker am Anschluß angeschlossen, trennt der zusätzliche Kontakt den Widerstand rta17 / rta18 von der Masse. Dieses verursacht einen höheren Spannungspegel

an Pin 2 und der Ausgangspin 1 geht auf LOW. Jetzt leitet der Transistor ta9 nicht mehr und der Pin 3 des Microcontrollers ist HIGH. Dieses ermöglicht die Wahl von drei verschiedenen Formen der Stummschaltung:

- Der Leitungsausgang ist in Betrieb, aber die Lautsprecher des Fernsehgerätes sind stummgeschaltet,
- Beide Leitungsausgänge und die Lautsprecher des Fernsehgerätes sind stummgeschaltet,
- Beide Leitungsausgänge und die Lautsprecher des Fernsehgerätes sind in Betrieb (keine Stummschaltung).

Scart 3 + VGA-Audio-Modul TA710

Das Scart 3 + VGA-Audio-Modul TA710 ermöglicht, nicht nur einen zusätzlichen Scart-Anschluß, sondern auch einen zusätzlichen Audioanschluß (VGA-Audio) zu haben. Der Audioeingang geht über die VGA-Audioanschlüsse, wenn der VGA-Betrieb gewählt worden ist.

Die Eigenschaften von Scart3 sind mit denen von Scart 1 identisch.

Der RGB-Schalter ica2 wählt die Signale entweder von Scart 3 oder von Scart 1. Die RGB-Signale werden von Scart 1 über den Anschluß Xa5 geführt, der am Anschluß Xq7 auf der Hauptplatine angeschlossen ist. Der Audioschalter ica3 wählt die Signale entweder von Scart 3, „VGA“ oder vom Kameraanschluß. Der Anschluß Xa2 ist mit dem Anschluß XA4 (auf der Bedieneinheit am Fernsehgerät) und der Anschluß Xa3 ist mit dem Anschluß Xtta (auf der Hauptplatine) gekoppelt.

Der Spannungspegel an Modulpin 3 bestimmt, von welchen Anschlüssen die RGB- und Audiosignale abgenommen werden. Die Steuerspannung wird vom Videotext-Schaltkreis (Pin 7, GPO) und weiter über die Anschlüsse Xq5-3 (auf der Hauptplatine) und Xa1-3 (auf dem Modul) abgenommen. Der RGB-Schalter ica2 wird über den Pin 5 gesteuert und der Audioschalter mit den Spannungspegeln an den Pins 9 (=B) und 10 (=A) gesteuert. Das logische LOW liegt bei etwa < 3,5 V und das logische HIGH bei etwa > 9 V bei einer Versorgungsspannung von +12 V. Der GPO (General Purpose Output) kann in drei Betriebszuständen sein: HIGH, OPEN und LOW.

Wenn der GPO auf HIGH ist, leitet der Transistor ta2 und zieht B auf LOW, die Diode da2 und der Transistor ta4 leiten; daher sind A und der Pin 5 von ica2 auf LOW. Als Ergebnis dieser Kombination werden sowohl die RGB- als auch die Audiosignale von Scart 3 abgenommen. Wenn der GPO auf OPEN ist, leitet ta2 nicht und B ist auf HIGH, da2 und ta4 leiten; daher sind A und der Pin 5 von ica2 auf LOW. Die RGB-Signale werden von Scart 3 abgenommen, jedoch werden die Audiosignale vom „VGA“-Anschluß abgenommen. Wenn der GPO auf LOW ist, leitet ta2 nicht und B ist auf HIGH. Die Diode da1 leitet und zieht die Anode von da2 auf LOW. Diode da2 sowie der Transistor ta4 leiten nicht, und A und der Pin 5 gehen auf HIGH. Jetzt werden die RGB-Signale von Scart 1 (über Xa5) und die Audiosignale vom Kameraanschluß (über Xa2) abgenommen.

GPO	B	A	RGB-Eingang	Audioeingang
High	"0"	"0"	Scart 3	Scart 3
Open	"1"	"0"	Scart 3	"VGA"
Low	"1"	"1"	Scart 1	Kamera

Scart 3-Modul TA711

Das Scart 3-Modul ist dem oben beschriebenen TA710 ähnlich, hat jedoch keine VGA-Audiofunktion. Sonst sind die Funktionen identisch.

Bild-in-Bild-Modul PP700

Allgemein

Das Bild-in-Bild-Modul PP700 besteht aus vier separaten Funktionseinheiten. Dieses sind die Signalschalter icp2 (Video) und icp7 (RGB), der Farbdecoder ICp3 (TDA9141) und die Basisband-Verzögerungsleitung ICp4 (TDA4665), die Analog/Digital-Schnittstelle icp5 (SDA9187) für das eingesetzte Bild sowie der Bild-in-Bild-Prozessor icp6 (SDA9189). Der Bild-in-Bild-Prozessor SDA9189 ermöglicht vier verschiedene Bildgrößen: 1:4, 1:9, 1:16 und 1:36. Auch ein sogenanntes Multi-Bild-in-Bild ist möglich. Das bedeutet, daß 9 eingeblendete Bilder gleichzeitig auf dem Bildschirm erscheinen können, davon 8 Standbilder und ein normales, bewegtes Bild. Die Position des eingeblendeten Bildes kann irgendwo auf dem Bildschirm sein. Die vorhandenen Features des Fernsehgerätes hängen von der Software ab.

Farbdecoder Icp3

Das Videosignal für das eingesetzte Bild wird dem Video-Matrix schalter ICq1 auf dem Hauptchassis über den Anschluß Xp1 an den Pins 10 (CVBS/Y) und 9 (Chrominanz) entnommen. Das CVBS-Signal wird zum Videoschalter icp2 an Pin 15 geführt und von Pin 1 weiter zum CVBS-Eingangspin 26 des Farbdecoders ICp3 ausgegeben. Wenn das Eingangssignal ein Y/C-Signal ist, wird das Chrominanzsignal direkt zu Pin 25 des Farbdecoders geleitet. Der Signalweg des Y-Signals ist dergleiche wie der des CVBS-Signales. Der Eingangsmodus wird über den IIC-Bus gewählt. Der Decoderschaltkreis entschlüsselt das CVBS- (oder Y/C-) Signal und erzeugt die Luminanz- und Farbdifferenzsignale. Die Farbdifferenzsignale werden von den Ausgangspins 1 und 2 zur Basisband-Verzögerungsleitung ICp4 geführt. Die verzögerten Farbdifferenzsignale werden zurück an die Eingangspins 3 und 4 geführt, von wo sie über eine Schalteinheit an die Ausgangspins 13 (V) und 14 (U) geleitet werden. Das verzögerte Luminanzsignal wird über die gleiche Schalteinheit zum Ausgangspin 12 geführt. Die Arbeitsweise des Farbdecoders TDA9141 ist der des TDA9143 auf der Hauptplatine sehr ähnlich.

Analog/Digital-Schnittstelle icp5

Die Y-, U- und V-Signale werden dann zur A/D-Schnittstelle icp5 an die Pins 23(Y), 21 (U) und 19 (V) geleitet. Der A/D-Wandler wandelt die analogen Signale unter Verwendung von 6-bit Flash-Konvertern in digitale Form. Die digitalisierten Y- und UV-Signale werden an den Pins 2...7 (Y) und 8...11 (UV) für den Bild-in-Bild-Prozessor ausgegeben. Der Weißwert der U- und V-Signale ist an den Mittelwert der Vrefh- (Pin 22) und Vrefl- (Pin 20) Spannungen geklemmt. Der Schwarzwert des Y-Signals ist an die Vrefl-Spannung geklemmt. Der Schaltkreis besteht aus einem Taktgeber, der mit dem eingesetzten Bild in Bezug auf den Sandcastle-Impuls an Pin 15 synchronisiert ist. Der Taktgebersynchronisiert die interne horizontalphasen gekoppelte Schleife, die aus einem Horizontaltimer, einem Phasenkomparator und einem spannungsgesteuerten Oszillator besteht. Die horizontalphasen gekoppelte Schleife erzeugt den zeilenengekoppelten Bild-in-Bild-Systemtakt LL3 (Pin 12) und das interne Chip-Timing. Die Frequenz des LL3-Signales beträgt 13,5 MHz. Das RC-Netzwerk an Pin 17 filtert den Ausgang des Phasenkomparators. Der Horizontaltimer bestimmt auch die Startzeit und die Weite des internen Klemmimpulses sowie die Lage des Abtastsignals BLN (Pin 1), das dabei die Horizontaldauer der Bilddaten am Y-Ausgang festlegt und mit diesem synchron sein muß. Daher wird das Abtastsignal BLN in gleichem Maße wie das Y-Signal verzögert.

Bild-in-Bild-Prozessor icp3

Der Bild-in-Bild-Prozessor enthält sämtliche für die Bild-in-Bild-Funktion erforderlichen Funktionseinheiten wie Horizontal- und Vertikalfilterung (Verkleinerung), Feldspeicher, RGB-Matrix, D/A-Wandler, Takterzeugung und

Steuerschaltkreise. Das Videosignal der eingesetzten Quelle in digitalisierter Form wird von der A/D-Schnittstelle icp5 abgenommen. Das digitalisierte Y-Signal wird an die Pins 25...30 und das digitalisierte UV-Signal an die Pins 21...24 geleitet. Die Eingangsdaten werden zuerst in der Eingangssignal-Verarbeitungseinheit dezimiert. Das verkleinerte Fenster, das von den eingesetzten Synchronimpulsen an den Pins 1 (VSI) und 32 (HSI) und vom ermittelten Zeilenstandard erzeugt wird, weist eine Breite von 576 Pixel für das Luminanzsignal und 144 Pixel für das Chrominanzsignal auf. In vertikaler Richtung besteht das Fenster aus 252 Zeilen bei einem Standard von 625 Zeilen (204 Zeilen bei einem Standard von 525 Zeilen). Die Größe des eingesetzten Bildes hängt vom horizontalen und vertikalen Verkleinerungsfaktor ab. Dieser Faktor bestimmt die Anzahl der Pixel und Zeilen wie folgt:

Horiz. und vert. Faktor	Pixel / Zeile	Zeilen / Feld
2 : 1	288	126
3 : 1	192	84
4 : 1	144	63
6 : 1	96	42

Die dezimierten Daten werden anschließend in den Feldspeicher geschrieben. Die Frequenz des Schreibtaktes hängt vom Verkleinerungsfaktor (6,75 MHz, 4,5 MHz, 3,375 MHz oder 2,25 MHz) ab. Der Schreibtakt wird vom zeilenengekoppelten Takt (13,5 MHz) an Pin 20 abgezweigt. Die Frequenz des Lesetaktes beträgt 27 MHz. Der Lesetak wird im internen Oszillator erzeugt, der durch einen externen Quarz an den Pins 2 und 3 gesteuert wird und mit dem Horizontalsynchronimpuls (HSP) an Pin 15 zeilen gekoppelt wird. Die Synchronisation des Stammkanals wird durch den gleichen Horizontalsynchronimpuls (Pin 15) und Vertikalsynchronimpuls an Pin 16 durchgeführt.

Vom Feldspeicher werden die Daten zur Ausgangs-Verarbeitungseinheit geführt, die Position und Umrahmung des eingesetzten Bildes bestimmt. Ein besonderer Effekt, „Wipe in / Wipe out“, ist auch vorhanden. Das eingesetzte Bild kann abhängig von der Software programmiert werden, aus der unteren rechten Ecke der Position für das eingesetzte Bild zu erscheinen und wieder dorthin zu verschwinden.

Schließlich werden die verarbeiteten Daten in den D/A-Wandlern in analoge Formgewandelt und die Signale werden an den Pins 8 (R), 9 (G) und 10 (B) an den RGB-Schalter icp7 ausgegeben. Das Schnell austastungs signal wird an Pin 14 ausgegeben und über den Transistor ttp2 weiter zum RGB-Prozessor auf der Haupt platine geleitet. Der Pin 15 (IIC-Bus gesteuerter Ausgang) des Farbdecoders führt einen hohen Pegel aus, der über den Transistor ttp3 zu Pin 5 des RGB-Schalters geführt wird. Ein hoher Pegel an Pin 5 wählt das Eingangssignal über die Pins 6, 7 und 8 und weiter zum Anschluß Wp1. Ist das Fernsehgerät mit einem VGA-Anschluß ausgestattet, werden die RGB-Signale über den Anschluß Xp2 und über die Pins 2, 3 und 4 des RGB-Schalters zum Anschluß Wp1 eingegeben. Dann ist die Spannung an Pin 5 des RGB-Schalters niedrig. Wird die Bild-in-Bild-Funktion im VGA-Modus benutzt, wird der Pin 5 durch das Schnellaustastungs signal über den Transistor ttp4 gesteuert. Im VGA-Modus stellt die Software automatisch sicher, daß sich der RGB-Videoprozessor auf der Hauptplatine im richtigen Eingangszustand befindet. Der FET ttp5 trennt die serielle Datenleitung (SDA) vom Bild-in-Bild-Prozessor, wenn das Fernsehgerät abgeschaltet wird. Der Jumper jp36 ist nicht installiert.

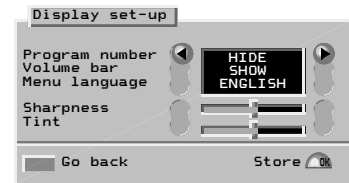
Bild-in-Bild-Modul PP710

Das Bild-in-Bild-Modul PP710 ist zusätzlich zu den Funktionen des PP700 mit einem eigenen Tuner / ZF-Block ausgestattet. Das ZF-Signal vom Bild-in-Bild-Tuner wird im ICp1 demoduliert und verstärkt und weiter zu Pin 4 des Videoschalters icp2 geleitet. Die Eingangswahl (Pins 9 und 10) wird über Pin 4 des Tuners und über den IIC-Bus gesteuert.

Operating instructions

Changing the menu language

1. Press the yellow button to select the Vision menu.
2. Press the red button to select the Display set-up menu.
3. Change the menu language with cursor buttons.
4. Press the OK button to store the changes.
5. Press the TV button to exit.



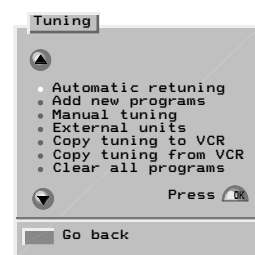
Manual tuning

1. Select the programme number you want to tune.
2. Press the MENU button.
3. Select "Tuning" and press the OK button.
4. Select "Manual tuning" and press the OK button.
5. Press the red button (Channel search).
6. Press the OK button to store.
7. Press the TV button to exit.



APSi (Automatic Programming System)

1. Press the MENU button.
2. Select "Tuning" and press the OK button.
3. Select "Automatic retuning" and press the OK button.
4. To retune the channels, press the red button.
5. Press the TV button to exit.



Initialization of NVRAM

Initialization of NVRAM (ICf2)

In case that the NVRAM is replaced, it must be initialized and configured.

1. Switch the TV set to stand-by mode.
Press \blacktriangleleft - (volume minus) button on local control unit and at the same time start entering password: MENU, TV and i with the remote control. Release \blacktriangleleft - button after the MENU button is pressed. The record led will light up to indicate that service mode is enabled.
2. Press the RED-button to pre-configure the set. Green led will flash once to indicate this.
- 3a. At the same time the controller will check NVRAM and initialize it automatically if it was "empty". Initializing will take about 15 s. When it is completed, the green led will light up. Continue to step 4.
- 3b. Automatic initialization did not happen if the green led does not light up steadily. In some cases the led might also light up immediately after configuration without any initializing, depending on NVRAM contents. In this case it might be enough to store the new configuration by pressing "OK". Continue to step 4.

- 3c. If automatic initialization did not happen, you can start it manually by entering the key code: BLUE (wait approx. 2 s.), 2, 5, 4 (wait approx. 2 s.) and OK. Initializing will take about 15 s.
4. Switch off the receiver by pressing the mains switch.
5. Start the receiver in TV mode by pressing the mains switch. Tune in one or more tv channels.
6. Switch off the receiver with remote control.
7. Enter service mode and make the service adjustments (see section "SERVICE ADJUSTMENTS VIA I²C BUS").
8. Switch off the receiver by pressing the mains switch.

Service adjustments via I²C-bus

Remote control buttons in service mode

When the receiver is in service mode you can select the normal TV mode by pressing the TV button and return to the service mode by pressing the i button. Number and cursor buttons are used for service adjustment. The OK button stores the settings.

Adjustment for different picture format

Make all adjustments with PAL signal unless otherwise mentioned. First make all adjustments with normal 4:3 picture format. Then make the necessary adjustments with other picture formats/signals. The required adjustments are shown in the table below.

Note! Check the configuration of the TV set before making the adjustments and make only the necessary adjustments.

Making the service adjustment

1. Give a two numbered code which determines the adjustment (e.g. 06 = width, see the following tables) with the number buttons. You can also select the adjustment with cursor buttons (up-/downwards).

SERVICE

06 WIDTH

49 33

2. Adjust with cursor buttons (left/right).

SERVICE

06 WIDTH

49 36

3. Store the new value by pressing the OK button.

Note!

- To avoid incomplete adjustments store each adjustment in the memory immediately after adjusting.
- If the adjustment has to be made separately for different picture format/signal, select the normal user mode by pressing the TV button and select the desired picture format/signal. Return to service mode by pressing the i button.

Picture geometry adjustments

Adjustment	Code	OSD name	classic (4:3)	wide movie	RGB	Note!
Vertical amplitude	00	V-AMPL.	X	X		
Vertical off-centre shift	01	V-SHIFT	X			
Vertical start scan	02	V-START	X			
Vertical S-correction	03	S-CORR.	X	X		
Vertical slope (coarse)	04	SLOPE-H	X			Adjust also with NTSC signal.
Vertical slope (fine)	05	SLOPE-L	X			Adjust also with NTSC signal.
Width	06	WIDTH	X			
Horizontal shift deflection	07	H-SHIFT	X			Not in all sets.
Horizontal phase video	08	PHASE	X		X	
Parabola	09	PARABOLA	X	X		
Corner	10	CORNER	X	X		
Trapezium	11	TRAPEZIUM	X			
EHT compensation	12	EHT	X			Set brightness and contrast to 90% and compensate the change in picture size.

Other adjustments

Adjustment	Code	OSD name	Note!
Red reference	18	R REF.	This procedure is necessary e.g. when the picture tube, CRT-module etc. has been replaced. Apply a test picture and adjust the R, G and B references. Then adjust the R, G and B gains.
Green reference	19	G REF.	
Blue reference	20	B REF.	
Red gain	15	R GAIN	
Green gain	16	G GAIN	
Blue gain	17	B GAIN	
Peak white limit	21	PWL	
Luma delay	14	LUMA DELAY	Separate adjustment for Video, PAL BG, PAL DK/I and Secam L.

Service adjustments

O Power supply block

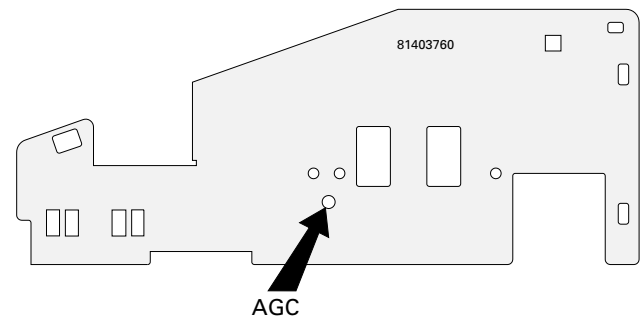
Supply voltage and protection circuit

1. Set brightness and contrast to normal level. Connect a universal voltmeter to the cathode of Do11.
2. Adjust the U1 voltage with Ro45. The voltage depends on the picture tube type, refer to the section "Variable components".
3. Check the over-current protection after making any service operations in the primary circuit of the power supply. Activate the service mode and then switch the set to stand-by mode. Short circuit the cathode of Do13 to the ground and keep the short circuit connected. When the over-current protection works correctly, the power supply will try to start 2-3 times before it stops permanently. Remove the short circuit and switch on the receiver by pressing the mains button.

SR Tuner/IF module (Frontend)

Tuner AGC

The tuner AGC is adjusted with a potentiometer through a hole in the heat sink (see picture below). Apply a 1 mV (60 dBμV) test signal and adjust the picture just without noise.



K Horizontal deflection block

Horizontal linearity

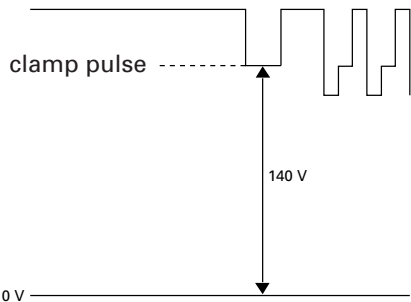
Adjust with Lk2.

Focusing

Set brightness and contrast to normal level. Use crosshatch pattern and adjust the picture for optimum resolution.

(Screen grid voltage) Ug2 voltage

1. Set brightness and colour saturation to normal level and contrast to minimum.
2. At the end of the vertical blanking, there is a black current measurement pulse (clamp pulse) at pin 9 of ICh1, ICh2 and ICh3. Use an oscilloscope and find the output stage with the highest cut-off (i.e. the highest voltage during the black current measurement pulse).
3. Adjust the voltage of the clamp pulse to +140 V with Ug2 (see figure).



Note! Adjust the voltage with a clamp pulse.

Bedienungsanleitung

Ändern der Menüsprache

1. Drücken Sie die gelbe Taste zur Wahl des Bildmenüs.
2. Drücken Sie die rote Taste zur Wahl des Anzeige-Optionen-Menüs.
3. Ändern Sie die Menü Sprache mit den Cursortasten.
4. Drücken Sie zum Speichern der Änderungen die OK-Taste.
5. Drücken Sie zum Verlassen des Menüs die TV-Taste.



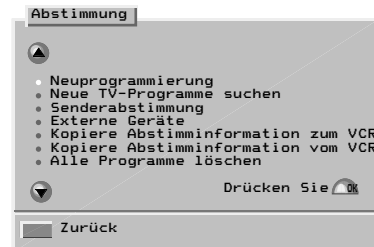
Manuelle Abstimmung

1. Wählen Sie die Programmnummer, die Sie abstimmen möchten.
2. Drücken Sie die MENU-Taste.
3. Wählen Sie "Abstimmung" und drücken Sie die OK-Taste.
4. Wählen Sie "Senderabstimmung" und drücken Sie die OK-Taste.
5. Drücken Sie die rote Taste (Kanal-Suchlauf).
6. Drücken Sie zum Speichern die OK-Taste.
7. Drücken Sie zum Verlassen des Menüs die TV-Taste.



APSi (Automatisches Programmiersystem)

1. Drücken Sie die MENU-Taste.
2. Wählen Sie "Abstimmung" und drücken Sie die OK-Taste.
3. Wählen Sie "Neuprogrammierung" und drücken Sie die OK-Taste.
4. Drücken Sie zur Neuabstimmung der Kanäle die rote Taste.
5. Drücken Sie zum Verlassen des Menüs die TV-Taste.



Initialisierung des NVRAM

Initialisierung des NVRAM (ICf2)

Im Falle eines Austausches des NVRAM muß dieser initialisiert und konfiguriert werden.

1. Schalten Sie das Fernsehgerät in die Betriebsbereitschaft.
Drücken Sie die -Taste (Lautstärke-Minus) an der Bedieneinheit, während Sie gleichzeitig die Eingabe des Paßwortes mit der Fernbedienung starten: MENU, TV und i. Lassen Sie die -Taste los, nachdem die MENU-Taste gedrückt wurde. Die Aufnahme-LED leuchtet auf und zeigt an, daß der Servicemodus aktiviert ist.
2. Drücken Sie zur Vorkonfiguration des Fernsehgerätes die rote Taste. Die grüne LED leuchtet zur Kontrolle einmal auf.
- 3a. Zur gleichen Zeit überprüft der Controller den NVRAM und initialisiert ihn automatisch, wenn er "leer" war. Die Initialisierung dauert ungefähr 15 Sekunden. Wenn sie durchgeführt worden ist, leuchtet die grüne LED auf. Fahren Sie mit Schritt 4 fort.
- 3b. Die automatische Initialisierung wurde nicht durchgeführt, wenn die grüne LED nicht dauernd aufleuchtet. In manchen Fällen kann die LED direkt nach

- der Konfiguration ohne jede Initialisierung aufleuchten, abhängig vom Inhalt des NVRAM. In diesem Fall ist es ausreichend, die neue Konfiguration durch Drücken der OK-Taste zu speichern. Fahren Sie mit Schritt 4 fort.
- 3c. Ist die automatische Initialisierung nicht durchgeführt worden, kann diese manuell durch Eingabe des Schlüsselcodes gestartet werden: BLAUE (ca. 2 Sekunden warten), 2, 5, 4 (ca. 2 Sekunden warten), und OK. Die Initialisierung dauert ungefähr 15 Sekunden
4. Schalten Sie das Fernsehgerät durch Drücken des Netzschalters aus.
5. Schalten Sie das Fernsehgerät durch Drücken des Netzschalters in den Fernsehbetrieb. Stellen Sie einen oder mehrere Kanäle ein.
6. Schalten Sie das Fernsehgerät mit der Fernbedienung aus.
7. Gehen Sie in den Servicemodus und nehmen Sie die Service-Einstellungen vor (siehe Abschnitt "SERVICE-EINSTELLUNGEN ÜBER DEN I²C-BUS").
8. Schalten Sie das Fernsehgerät mit dem Netzschalter aus.

Service-Einstellungen über I²C-bus

Tasten der Fernbedienung im Servicemodus

Wenn sich das Fernsehgerät im Servicemodus befindet, können Sie den normalen Fernsehmodus durch Drücken der TV-Taste wählen. Sie können durch Drücken der i-Taste zum Servicemodus zurückkehren. Ziffern- und Cursortasten werden zur Service-Einstellung benötigt. Die OK-Taste speichert die Einstellungen.

Einstellungen für ein anderes Bildformat

Wenn nicht anders vermerkt, nehmen Sie alle Einstellungen mit dem PAL-Signal vor. Führen Sie zuerst alle Einstellungen mit dem normalen 4:3 Bildformat durch. Führen Sie dann die notwendigen Einstellungen mit anderen Bildformaten bzw. Signalen durch. Die erforderlichen Einstellungen werden in der unten befindlichen Tabelle gezeigt.

Hinweis! Überprüfen Sie die Konfiguration des Fernsehgerätes, bevor Sie die Einstellungen vornehmen; nehmen Sie nur die nötigen Einstellungen vor.

Service-Einstellung vornehmen

1. Geben Sie mit den Zifferntasten den zweistelligen Code ein, der die Einstellung bestimmt (z.B. 06 = Bildbreite, siehe folgende Tabellen). Sie können die Einstellung auch mit den Cursortasten wählen (auf-/abwärts).

SERVICE

06 WIDTH

49 33

2. Nehmen Sie die Einstellung mit den Cursortasten (links/rechts) vor.

SERVICE

06 WIDTH

49 36

3. Speichern Sie den neuen Wert durch Drücken der OK-Taste.

Hinweis!

- Um unvollständige Einstellungen zu vermeiden, speichern Sie jede Einstellung direkt nach dem Einstellen ab.
- Falls die Einstellung getrennt für verschiedene Bildformate bzw. Signale durchgeführt werden muß, gehen Sie durch Drücken der TV-Taste in den normalen Betriebsmodus und wählen Sie das gewünschte Bildformat bzw. Signal. Gehen Sie durch Drücken der i-Taste in den Servicemodus zurück.

Einstellungen der Bildgeometrie

Einstellung	Code	OSD Bezeichn.	Classic	Movie (weit)	RGB	Hinweis!
Vertikale Amplitude	00	V-AMPL.	X	X		
Vertikale Lage	01	V-SHIFT	X			
Vertikale Start-Zeile	02	V-START	X			
Vertikale S-Korrektur	03	S-CORR.	X	X		
Vertikale Steilheit (grob)	04	SLOPE-H	X			Auch mit dem NTSC-Signal einstellen.
Vertikale Steilheit (fein)	05	SLOPE-L	X			Auch mit dem NTSC-Signal einstellen.
Bildbreite	06	WIDTH	X			
Horizontale Lage der Ablenkung	07	H-SHIFT	X			Nicht in allen Geräten.
Horizontale Lage Video	08	PHASE	X		X	
OW-Kissen	09	PARABOLA	X	X		
OW-Ecken Korrektur	10	CORNER	X	X		
OW-Trapez	11	TRAPEZIUM	X			
EHT-Kompensation	12	EHT	X			Stellen Sie Helligkeit und Kontrast auf 90% ein und kompensieren Sie die Änderung der Bildgröße.

Weitere Einstellungen

Einstellungen	Code	OSD Bezeichn.	Hinweis!
Rot-Referenz	18	R REF.	Dieser Vorgang ist notwendig, wenn z.B. die Bildröhre, das CRT-Modul usw. ausgetauscht worden sind. Schalten Sie zu einem Testbild und stellen Sie die R-, G- und B-Referenzen ein. Stellen Sie anschließend die R-, G- und B-Verstärkungen ein.
Grün-Referenz	19	G REF.	
Blau-Referenz	20	B REF.	
Rotverstärkung	15	R GAIN	
Grünverstärkung	16	G GAIN	
Blauverstärkung	17	B GAIN	
Oberer Grenzwert weiß	21	PWL	Braucht normalerweise nicht eingestellt zu werden.
Y-Verzögerungsleitung	14	LUMA DELAY	Getrennte Einstellung für Video, PAL BG, PAL DK/I und SECAM L.

Service-Einstellungen

O Netzteil

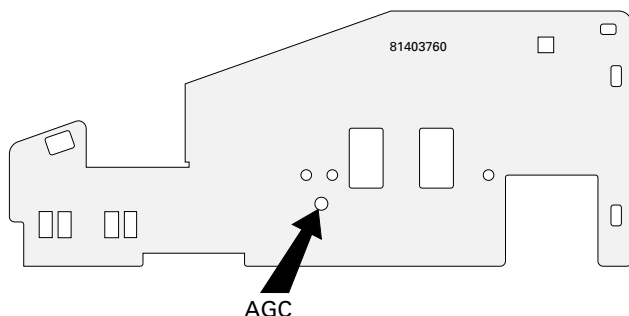
Versorgungsspannung und Schutzschaltung

1. Stellen Sie Helligkeit und Kontrast auf den normalen Wert ein. Schließen Sie ein Universalvoltmeter an die Kathode von Do11 an.
2. Stellen Sie die Spannung U1 mit Ro45 ein. Die Spannung hängt vom Bildröhrentyp ab, siehe auch Abschnitt "Röhrenabhängige Bauteile".
3. Prüfen Sie den Überstromschutz nach Durchführung von Servicearbeiten im primären Schaltkreis der Stromversorgung. Aktivieren Sie den Servicemodus und schalten Sie dann das Fernsehgerät in die Betriebsbereitschaft. Schließen Sie die Kathode von Do13 an Masse kurz und lassen Sie die Kurzschlußverbindung bestehen. Wenn der Überstromschutz richtig arbeitet, versucht die Stromversorgung 2 - 3 mal zu starten, bevor sie unterbricht. Entfernen Sie die Kurzschlußschaltung und schalten Sie das Fernsehgerät durch Drücken des Netzschalters ein.

SR Tuner/ZF Modul (Frontend)

AGC-Tuner

Die AGC Regelung des Tuners wird mit einem Potentiometer durch eine Öffnung im Kühlkörper (siehe Bild unten) eingestellt.
Geben Sie ein Testsignal von 1 mV (60 dBµV) und stellen Sie das Bild genau ohne Rauschen ein.



K Horizontal-Ablenkeinheit

Horizontale Linearität

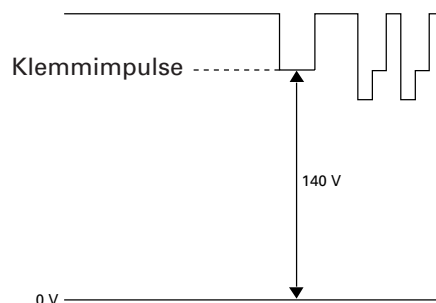
Mit Lk2 einstellen.

Fokussierung

Stellen Sie Helligkeit und Kontrast auf den normalen Wert ein. Benutzen Sie ein Kreuzschraffurmuster und stellen Sie das Bild auf die optimale Auflösung ein.

(Schirmgitterspannung) Spannung Ug2

1. Stellen Sie Helligkeit und Farbsättigung auf den normalen Wert und den Kontrast auf den kleinsten Wert ein.
2. Am Ende des vertikalen Austastens ist ein Schwarzstrom-Meßimpuls (Klemmimpuls) an Pin 9 von ICh1, ICh2 und ICh3. Verwenden Sie ein Oszilloskop und ermitteln Sie die Ausgangsstufe mit dem höchsten Grenzwert (z.B. die höchste Spannung während des Schwarzstrom-Meßimpulses).
3. Stellen Sie die Spannung des Klemmimpulses mit Ug2 auf +140 V ein (siehe Abbildung).



Hinweis! Die Spannung auf die Klemmimpulse einzustellen.

Mode d'emploi

Modification de la langue du menu

1. Appuyez sur la touche jaune pour sélectionner le menu Image.
2. Appuyez sur la touche rouge pour sélectionner le menu Affichage écran.
3. Sélectionnez la langue du menu à l'aide des touches curseurs.
4. Appuyez sur la touche OK pour enregistrer les modifications.
5. Appuyez sur la touche TV pour quitter le menu.



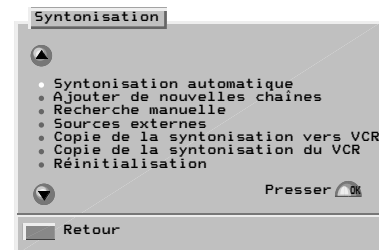
Recherche manuelle

1. Sélectionnez le numéro du programme que vous voulez régler.
2. Appuyez sur la touche MENU.
3. Sélectionnez l'option "Syntonisation" et appuyez sur la touche OK.
4. Sélectionnez l'option "Recherche manuelle" et appuyez sur la touche OK.
5. Lancez la recherche de canal à l'aide de la touche rouge.
6. Pour mémoriser vos sélections, appuyez sur la touche OK.
7. Appuyez sur la touche TV pour quitter le menu.



Système de programmation automatique (APSi)

1. Appuyez sur la touche MENU.
2. Sélectionnez l'option "Syntonisation" et appuyez sur la touche OK.
3. Sélectionnez l'option "Syntonisation automatique" et appuyez sur la touche OK.
4. Pour régler les chaînes, appuyez sur la touche rouge.
5. Appuyez sur la touche TV pour quitter le menu.



Initialisation de la NVRAM

Initialisation de la NVRAM (ICf2)

Si la RAM non volatile (NVRAM) est remplacée, elle doit être initialisée et configurée.

1. Mettez le téléviseur en mode mise en veille.
Appuyez sur la touche (abaissement du volume) de l'unité de commande centralisée et commencez simultanément à saisir le mot de passe : MENU, TV et i avec la télécommande. Relâchez la touche après avoir appuyé sur la touche MENU. Le voyant d'enregistrement s'allume pour indiquer que le mode maintenance est activé.
2. Appuyez sur la touche rouge pour pré-configurer le téléviseur. Le voyant vert clignote ensuite une fois.
- 3a. Pendant ce temps, le contrôleur vérifie la NVRAM et l'initialise automatiquement si elle est "vide".
L'initialisation prend environ 15 secondes. Quand elle est achevée, le voyant vert s'allume. Passez à l'étape 4.
- 3b. Le voyant vert n'est pas allumé en continu si l'initialisation automatique ne s'est pas produite. Dans certains cas, le voyant peut également s'allumer immédiatement après la configuration sans aucune initialisation, selon le contenu de la NVRAM. Dans ce cas, il suffit d'enregistrer la nouvelle configuration en appuyant sur OK. Passez ensuite à l'étape 4.
- 3c. Si l'initialisation automatique ne s'est pas produite, vous pouvez la lancer manuellement en entrant le code clé : bleu (attendez environ 2 secondes), 2, 5, 4 (attendez environ 2 secondes) et OK. L'initialisation prend environ 15 secondes.
4. Eteignez le récepteur en appuyant sur l'interrupteur principal.
5. Lancez le récepteur en mode de réception TV en appuyant sur l'interrupteur principal. Réglez une ou plusieurs chaînes de télévision.
6. Eteignez le récepteur avec la télécommande.
7. Entrez en mode maintenance et effectuez les réglages (reportez-vous à la section "Réglages de service au moyen du bus I²C").
8. Eteignez le récepteur en appuyant sur l'interrupteur principal.

1. Mettez le téléviseur en mode mise en veille.

- SERVICE
00 V-AMPL. 38 36

SERVICE			
IIC	DEV	1	11111001
IIC	DEV	2	00000110
IIC	DEV	3	00010100
IIC	DEV	4	00000001
IF	OPT		00000001
TXT	OPT		00000001
SYS	OPT	1	00111111
SYS	OPT	2	00000000
DSP	OPT		00000000
UIF	FLAGS		00110010
SW	VER.		MCABxx. x
NVM	VER.		MCAl-xx

NVM VER. = version logicielle NVM.

2. Sélectionnez IIC Device byte 1 - 4, Option byte 1 - 5 ou uif flags byte avec la touche curseur (vers le haut/vers le bas). L'octet sélectionné apparaît en surbrillance.
3. Définissez les bits à l'aide des touches numériques (0 ... 7).
4. Mémorisez les paramètres en appuyant sur la touche OK.
5. Retournez en mode service normal en appuyant sur la touche rouge.

[illegible]

- | | | | |
|-----|---|-----|-----|
| 0-2 | Bit de logo | | |
| | 000 = pas de logo, aller directement à la fonction APSi | | |
| | 001 = pas de logo, aller au menu Langue | | |
| 3 | Téléviseur non utilisé auparavant | oui | non |
| 4 | Barre de volume activée | oui | non |
| 5 | Numéro de programme activé à l'écran | oui | non |
| 6 | Verrouillage du panneau avant | oui | non |
| 7 | Compteur d'arrêt actif | oui | non |

Réglages de service au moyen du bus I²C

Touches de la télécommande en mode service

Quand le récepteur est en mode service, vous pouvez sélectionner le mode de réception TV normal en appuyant sur la touche TV et retourner au mode service en appuyant sur la touche i. Les touches numériques et les touches curseurs sont utilisés pour le réglage de service. La touche OK permet de mémoriser les paramètres.

Réglages pour un format d'image différent

Sauf indication contraire, effectuez tous les réglages avec le signal PAL. Commencez par effectuer les réglages avec le format d'image normal 4:3. Ensuite, procédez à tous les réglages nécessaires avec les autres signaux et formats d'image. Les réglages requis sont décrits dans le tableau ci-dessous.

Remarque ! Contrôlez la configuration du téléviseur avant de procéder aux réglages et n'effectuez que ceux qui sont indispensables.

Réalisation des réglages de service

1. Définissez un code à deux chiffres pour déterminer le réglage (par ex. 06 = largeur E-O, voir les tableaux suivants) à l'aide des touches numériques. Vous pouvez également sélectionner le réglage avec les touches curseurs (vers le haut/vers le bas).

SERVICE

06 WIDTH

49 33

2. Procédez au réglage avec les touches curseurs (gauche/droite).

SERVICE

06 WIDTH

49 36

3. Mémorisez la nouvelle valeur en appuyant sur la touche OK.

Remarque !

- Pour éviter les réglages incomplets, enregistrez chaque réglage en mémoire immédiatement après l'avoir effectué.
- Si le réglage doit être réalisé séparément pour chaque signal et format d'image différent, sélectionnez le mode utilisateur normal en appuyant sur la touche de réception TV et sélectionnez le signal et format d'image de votre choix. Revenez en mode service en appuyant sur la touche i.

Réglages géométrique d'image

Réglage	Code	Nom OSD	classique (4:3)	cinemascope	RVB	Remarque !
Amplitude verticale	00	V-AMPL.	X	X		
Décentrage vertical	01	V-SHIFT	X			
Balayage vertical	02	V-START	X			
Correction S Verticale	03	S-CORR.	X	X		
Dent de scie vert. (grossière)	04	SLOPE-H	X			Effectuez aussi le réglage avec le signal NTSC.
Dent de scie vert. (précise)	05	SLOPE-L	X			Effectuez aussi le réglage avec le signal NTSC.
Largeur E-O	06	WIDTH	X			
Phase horizontale déflexion	07	H-SHIFT	X			Ne concerne pas tous les téléviseurs.
Phase horizontale vidéo	08	PHASE	X		X	
Parabole E-O	09	PARABOLA	X	X		
Coin E-O	10	CORNER	X	X		
Déformation trapézoïdale E-O	11	TRAPEZIUM	X			
Compensation EHT	12	EHT	X			Portez la lumière et le contraste à 90% et compensez le changement dans la taille de l'image.

Autres réglages

Réglage	Code	Nom OSD	Remarque !
Référence rouge	18	R REF.	La procédure est nécessaire lorsque, par exemple, le tube image ou le module CRT a été remplacé. Appliquez une mire et réglez les références R, V et B. Réglez ensuite les amplifications R, V et B.
Référence vert	19	G REF.	
Référence bleu	20	B REF.	
Amplification rouge	15	R GAIN	
Amplification vert	16	G GAIN	
Amplification bleu	17	B GAIN	
Seuil des crêtes de blanc	21	PWL	Normalement pas besoin de régler.
Délai de luminance	14	LUMA DELAY	Réglage distinct pour Vidéo, PAL BG, PAL DK/I et Secam L.

Réglages de service

O Bloc d'alimentation

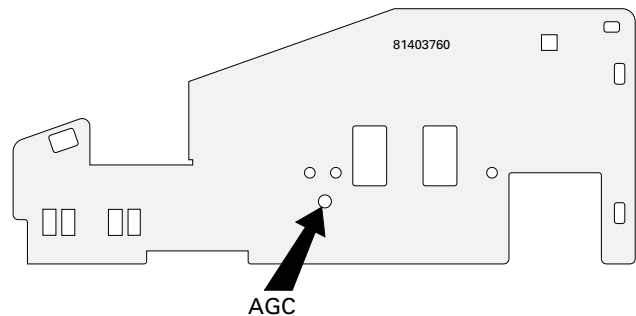
Tension d'alimentation et circuit de protection

1. Réglez la luminosité et le contraste à un niveau normal. Branchez un voltmètre universel à la cathode Do11.
2. Réglez la tension U1 avec Ro45. La tension dépend du type de tube image du téléviseur ; reportez-vous à la section "Composants variables".
3. Contrôlez le dispositif de protection contre les surcharges après toute opération de maintenance dans le circuit principal de l'alimentation. Activez le mode maintenance, puis mettez le téléviseur en mode mise en veille. Court-circuitez la cathode Do13 à la masse et maintenez le court-circuit connecté. Quand le dispositif de protection contre les surcharges fonctionne correctement, l'alimentation est stoppée définitivement après trois tentatives. Supprimez le court-circuit et allumez le récepteur en appuyant sur le bouton d'alimentation.

SR Tuner/Module IF (Frontend)

Tuner CAG

Le tuner CAG se règle avec un potentiomètre par un trou dans le dissipateur thermique (voir illustration ci-dessous). Appliquez un signal de mesure de 1 mV (60 dBµV) et réglez la netteté de l'image pour qu'elle ne contienne aucun parasite.



K Bloc de déflexion horizontale

Linéarité horizontale

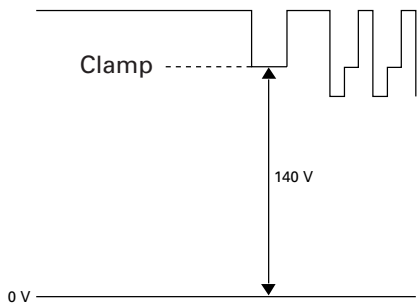
Effectuez le réglage avec Lk2.

Mise au point

Définissez la luminosité et le contraste à un niveau normal. Utilisez la mire de quadrillage et réglez l'image pour une résolution optimale.

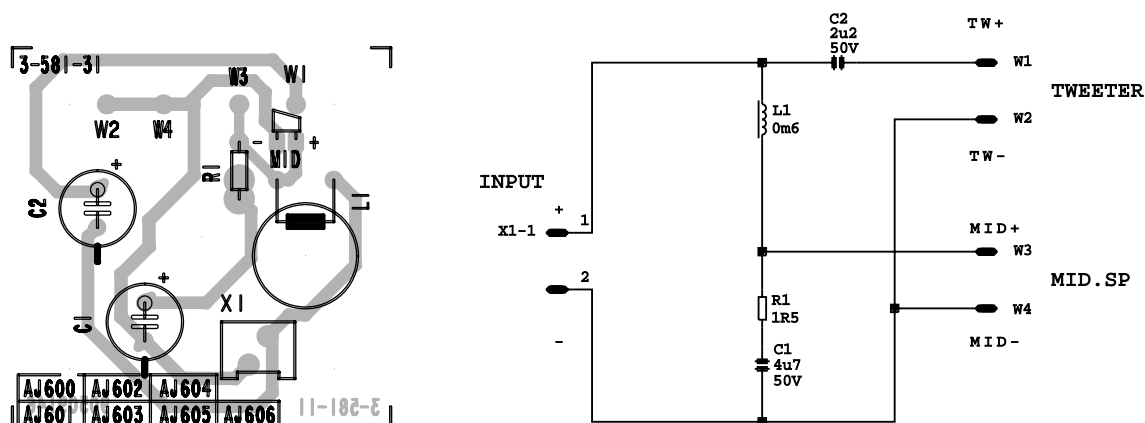
(Tension de la grille-écran) Tension Ug2

1. Définissez la luminosité et la saturation couleur à un niveau normal ainsi que le contraste à un niveau minimum.
2. A la fin de de la suppression de trame, apparaît une impulsion de mesure du niveau de noir à la broche 9 de ICh1, ICh2 et ICh3. Utilisez un oscilloscope pour trouver l'étage de sortie avec la coupure la plus élevée (c'est-à-dire la tension la plus élevée pendant l'impulsion de mesure du niveau de noir).
3. Réglez la tension des Ug2 à +140 V (voir l'illustration).

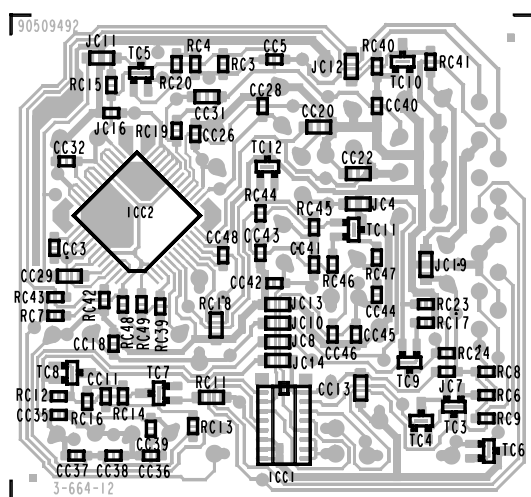
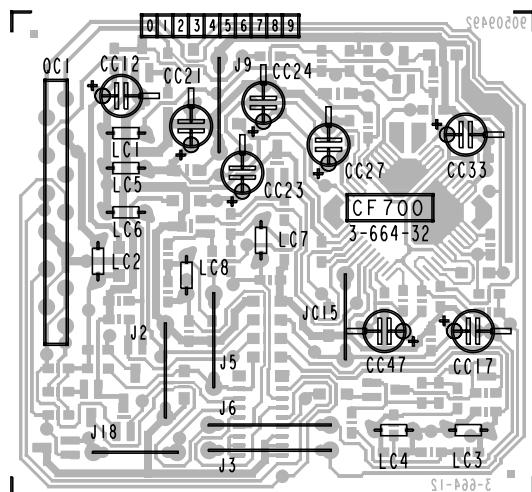


Remarque ! Réglez la tension avec le clamp.

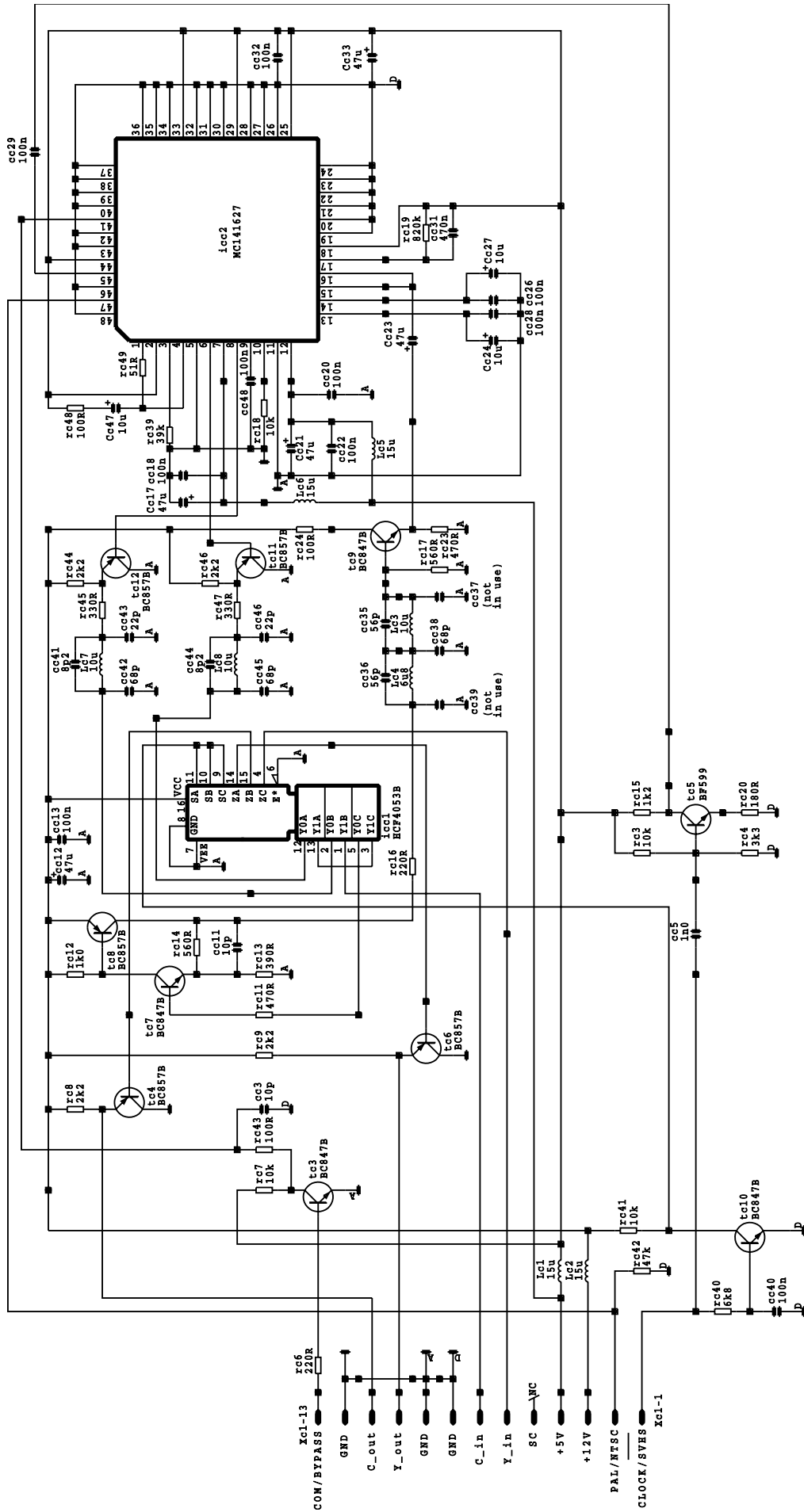
AJ603 Crossover network

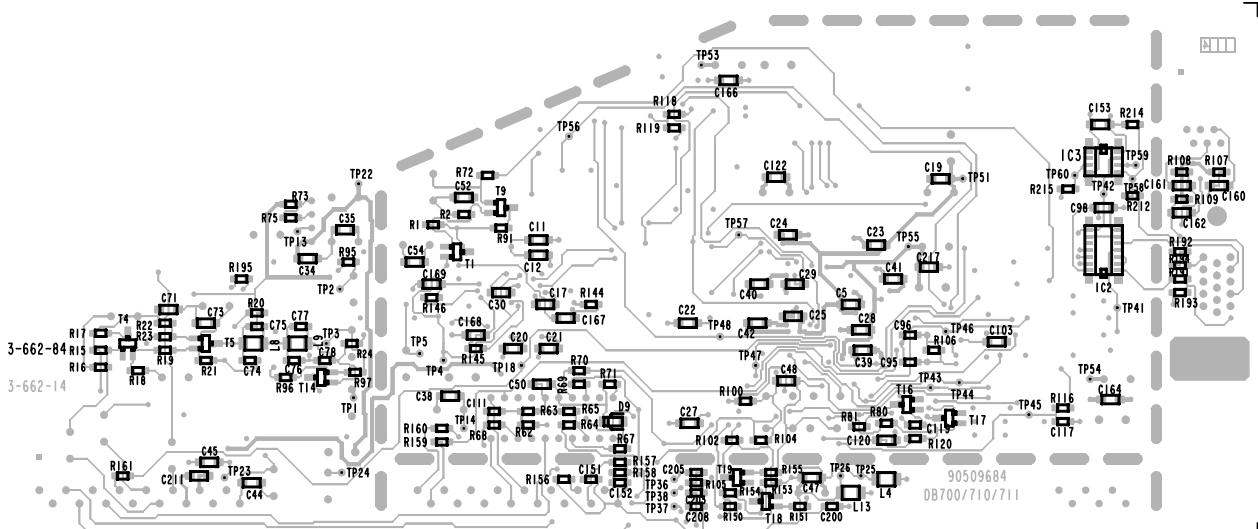


CF700 Comb filter module

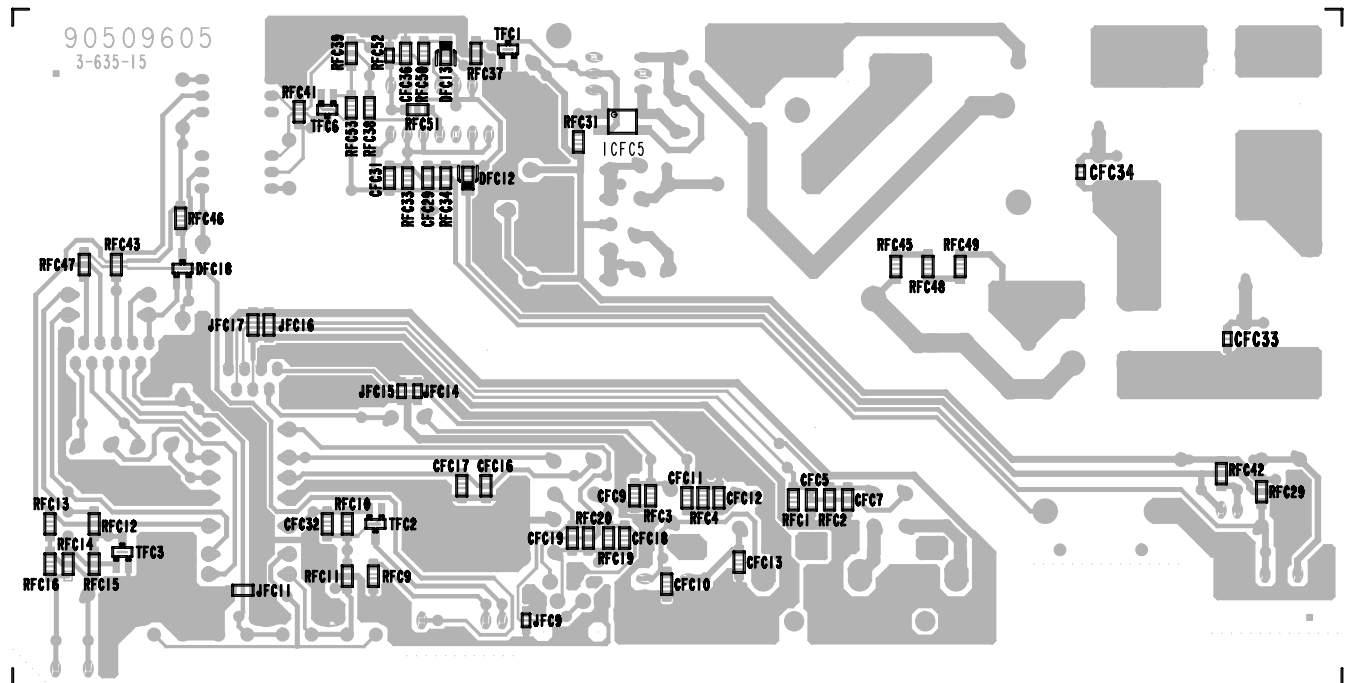
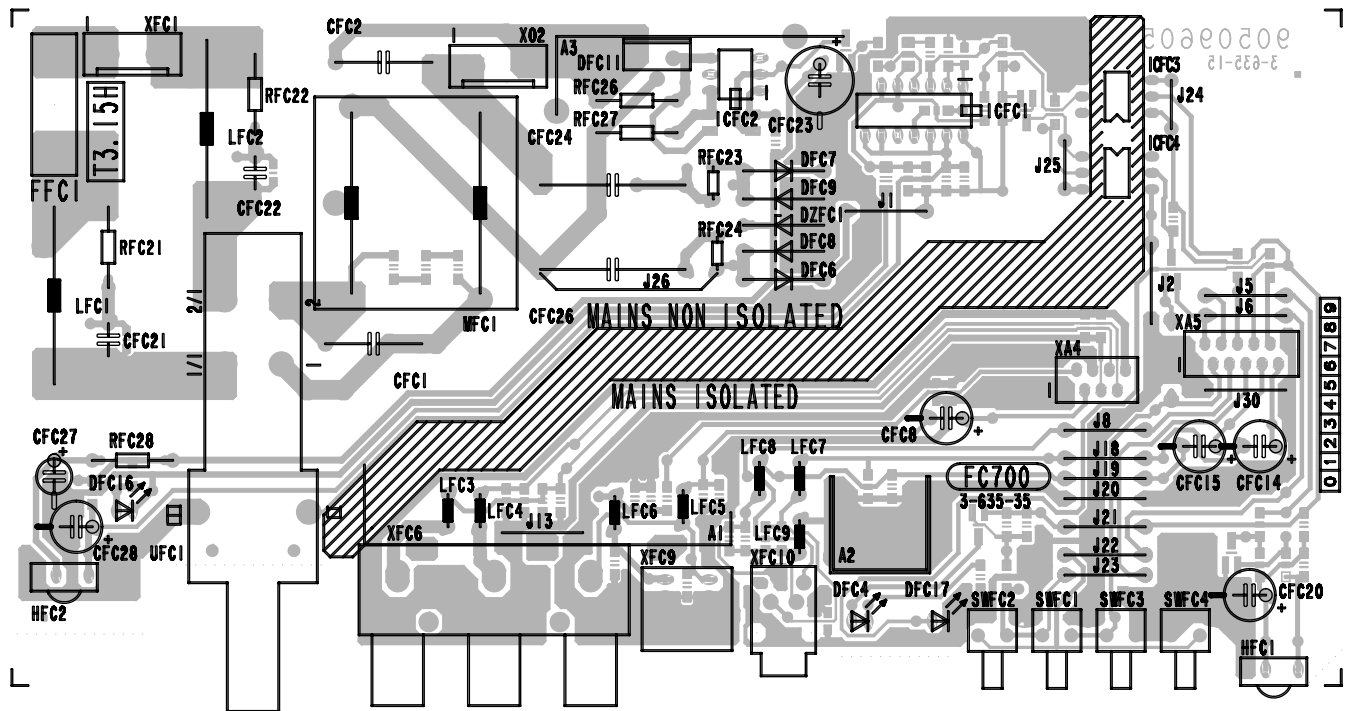


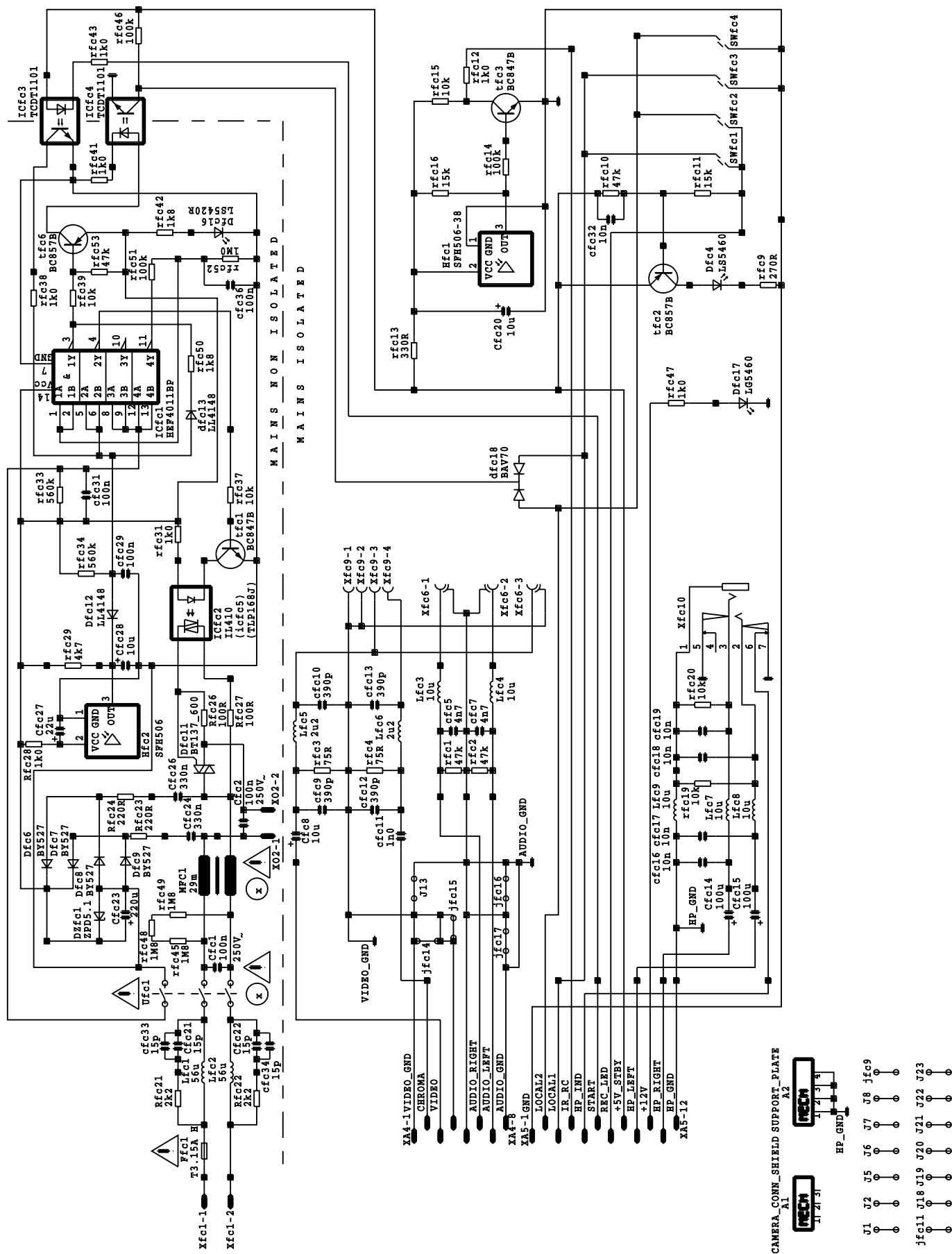
CF700 Comb filter module



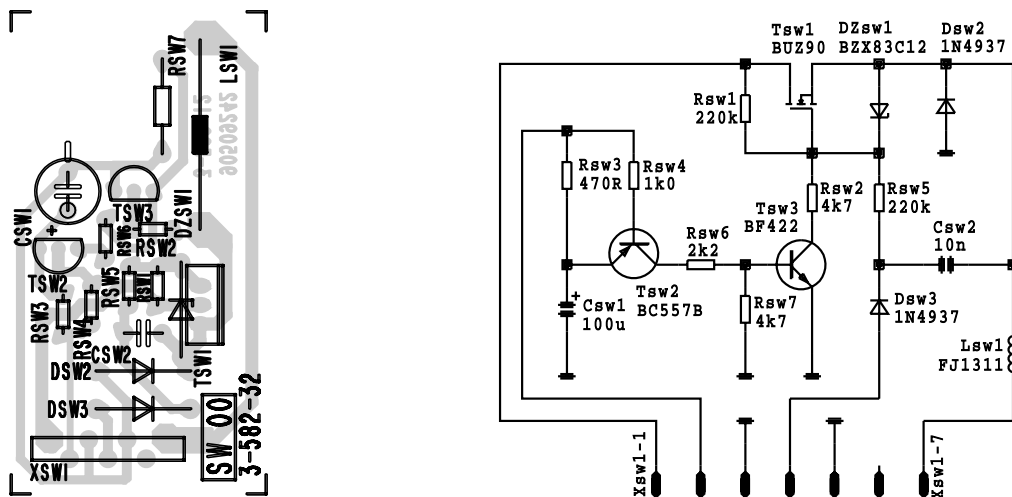


FC700 Control module

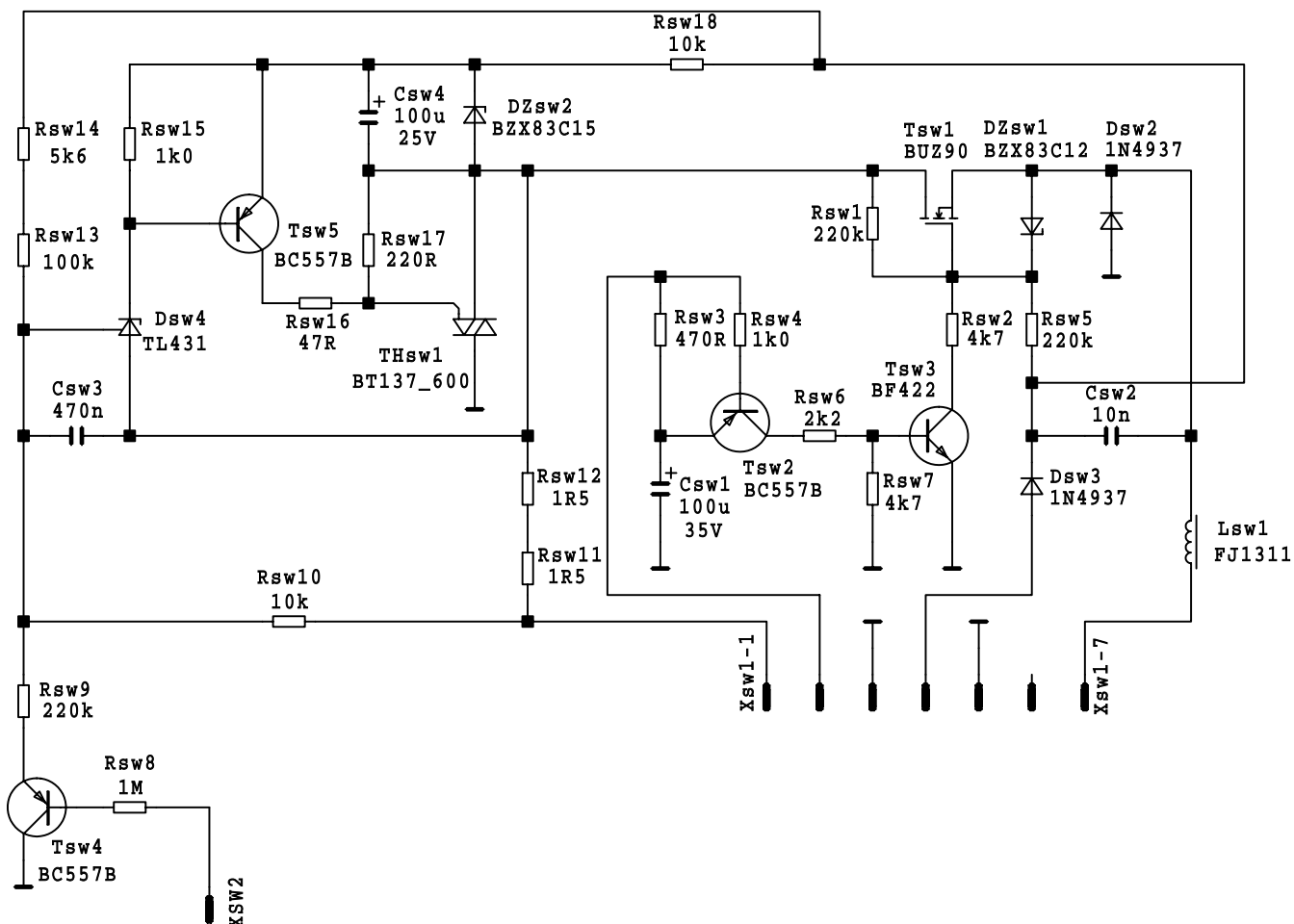
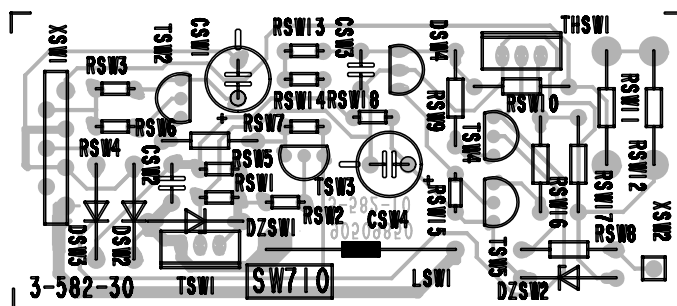




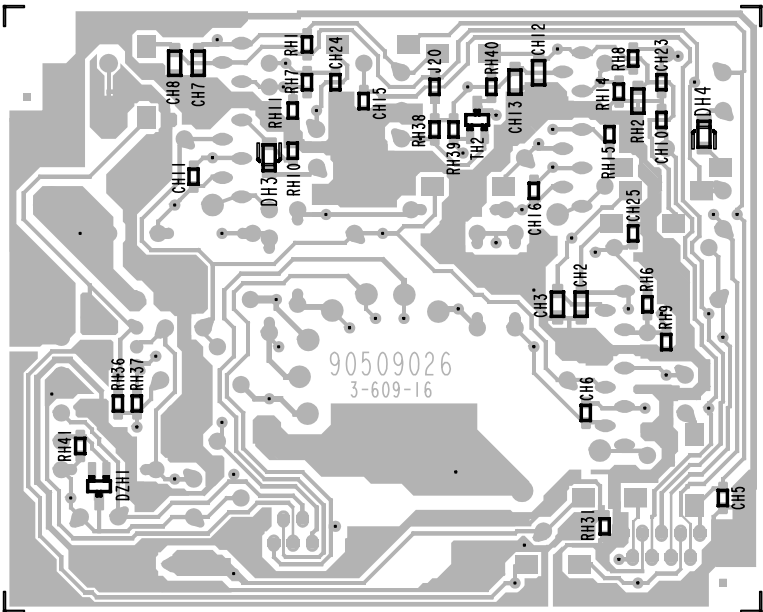
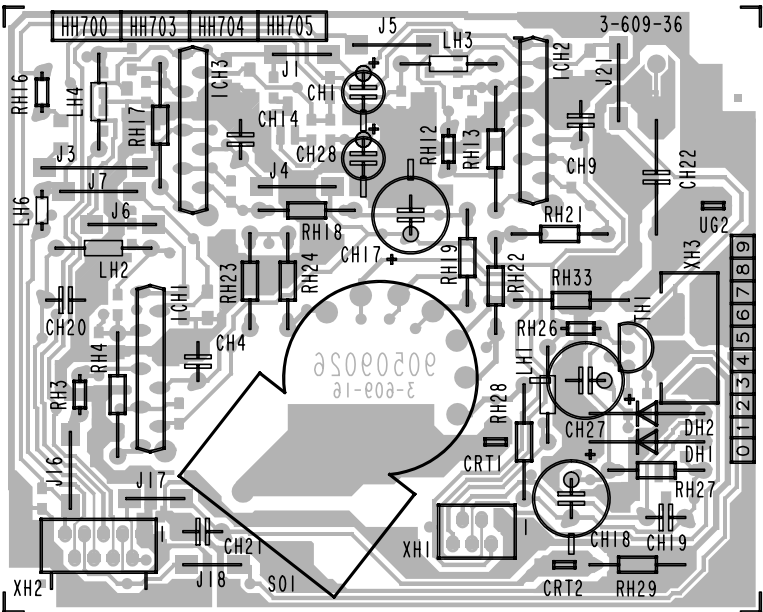
SW700 140V Switch module

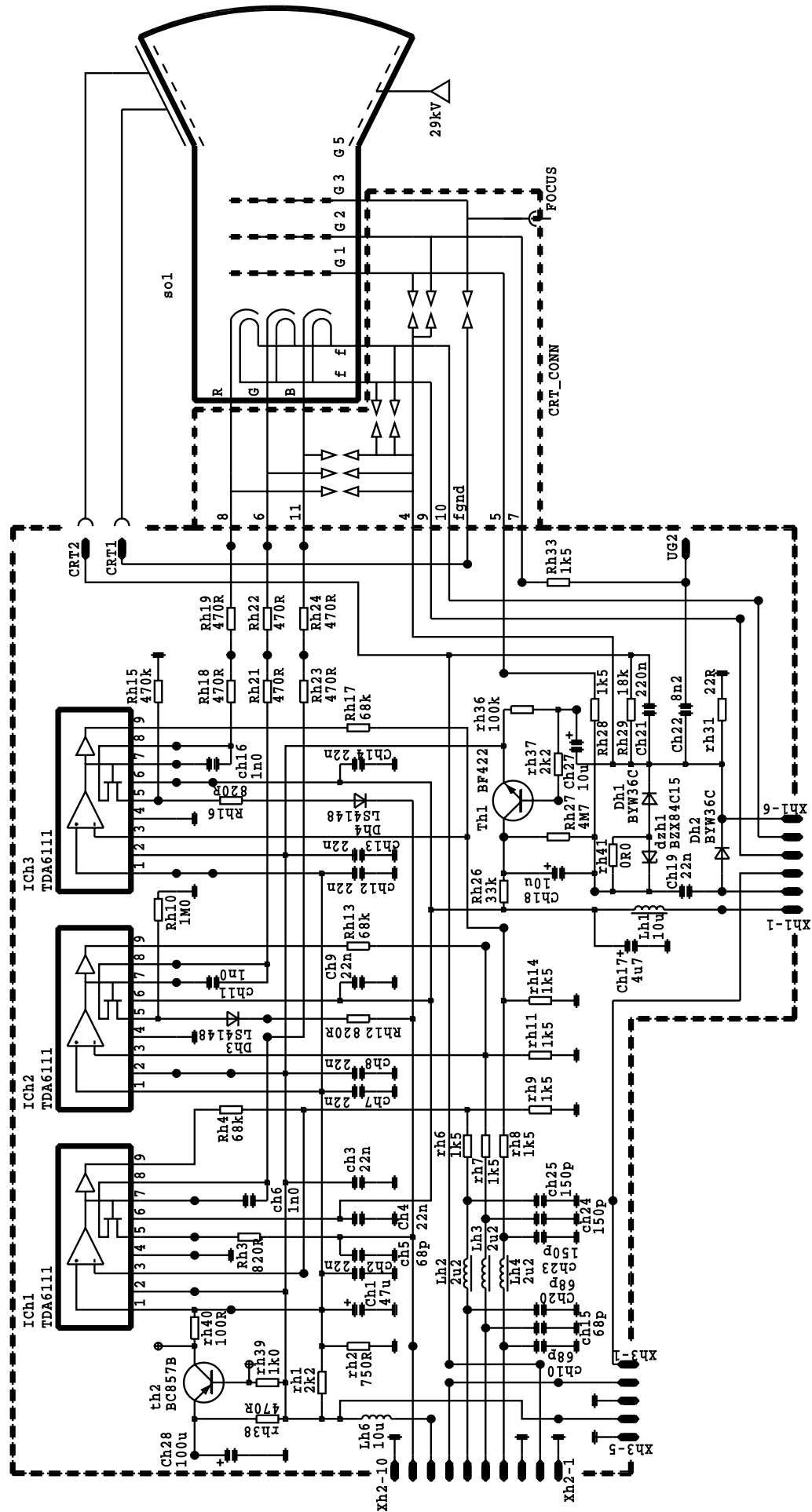


SW710 140V Switch module

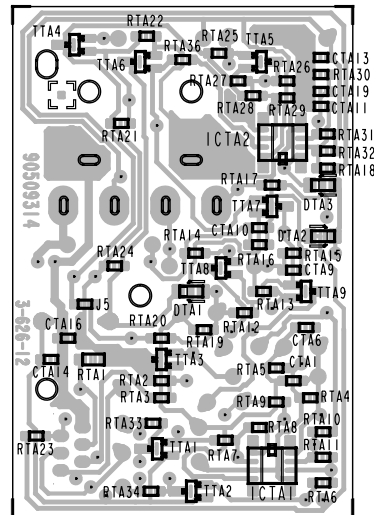
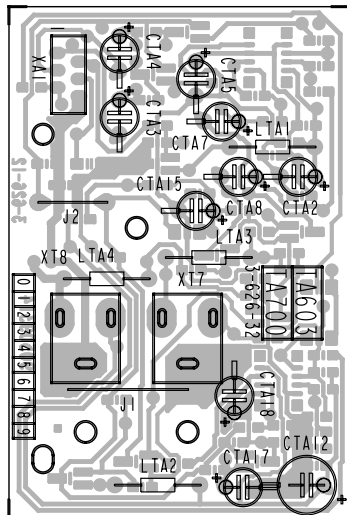


HH703/705 CRT-module

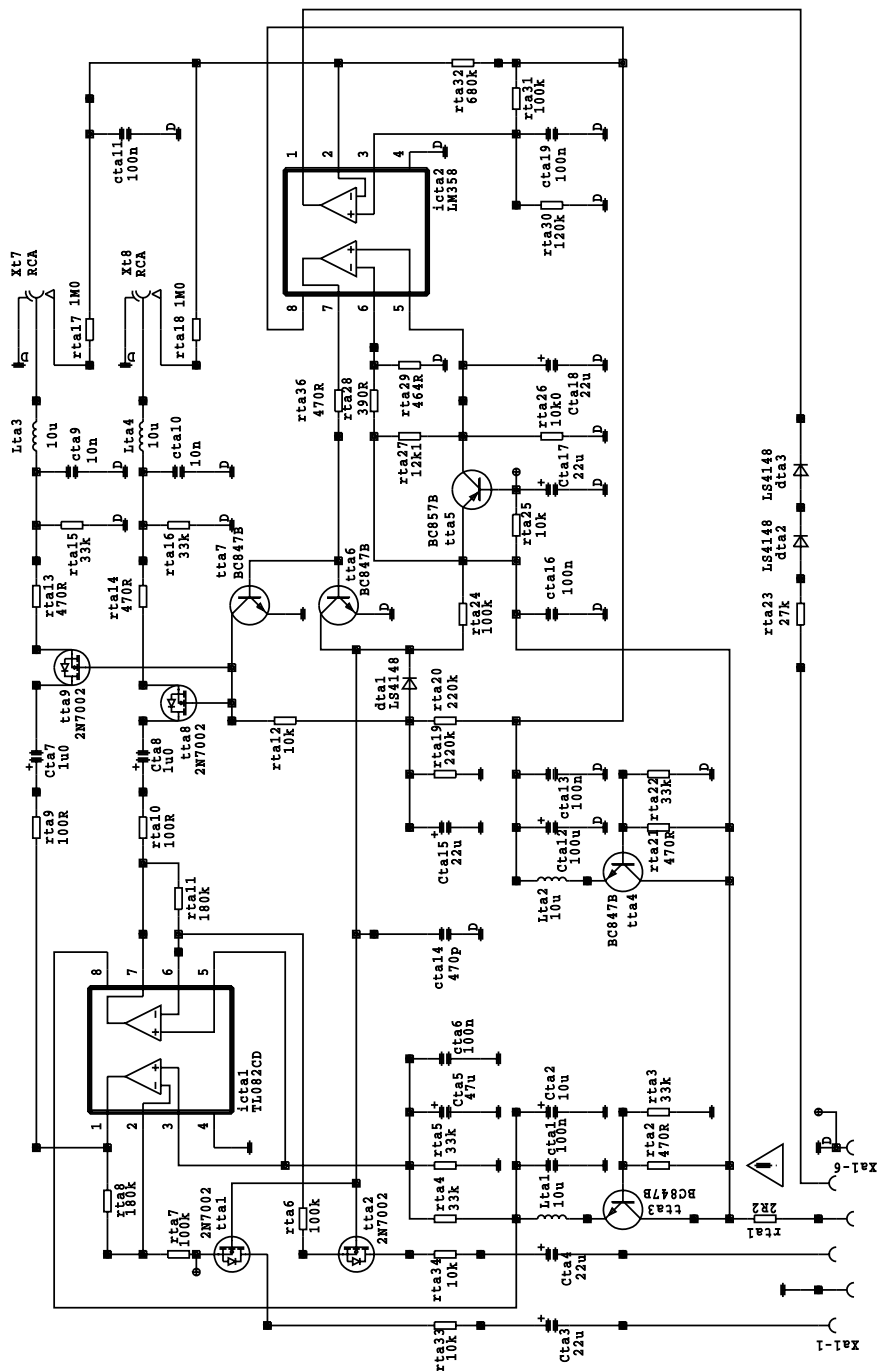




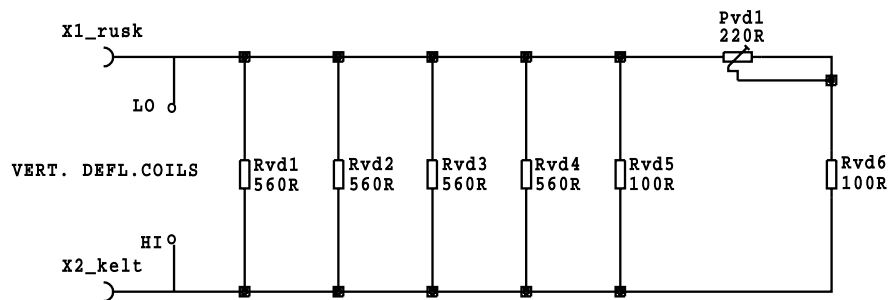
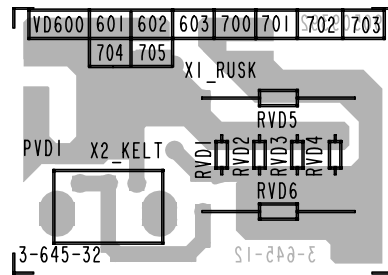
TA700 Audio output module



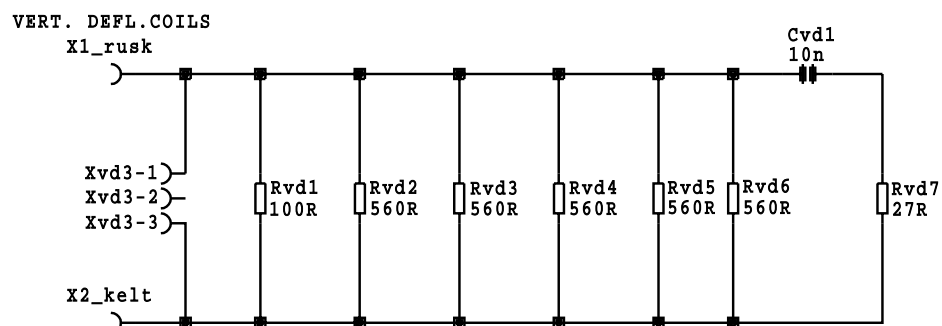
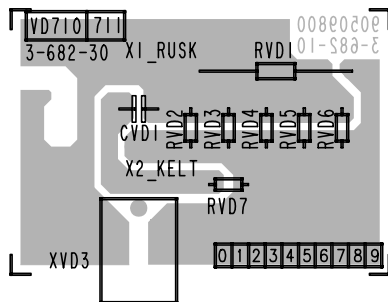
TA700 Audio output module



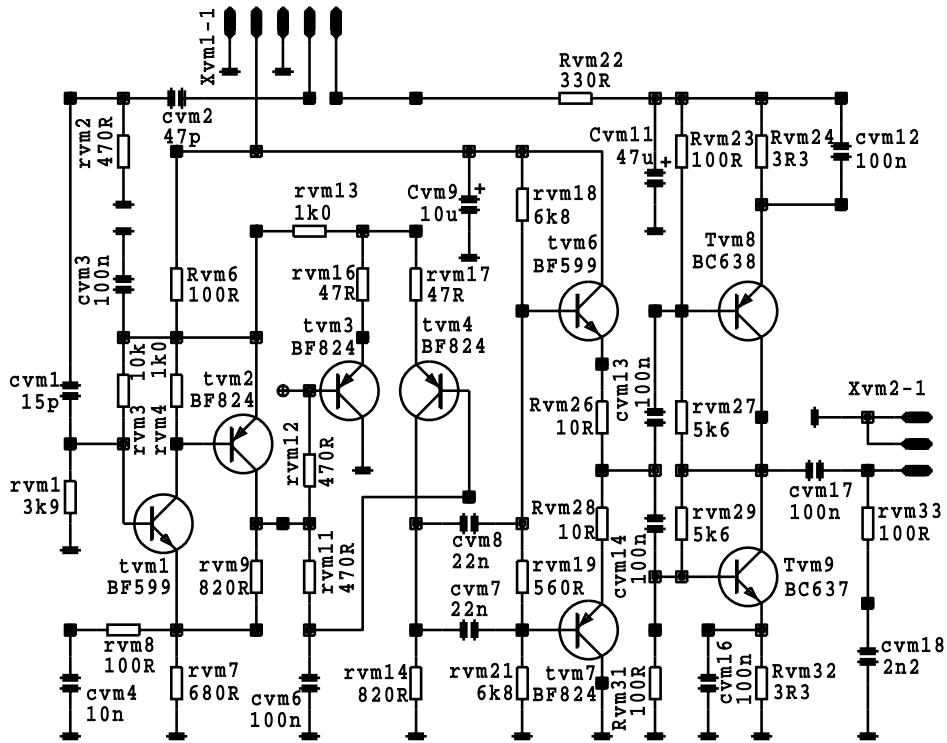
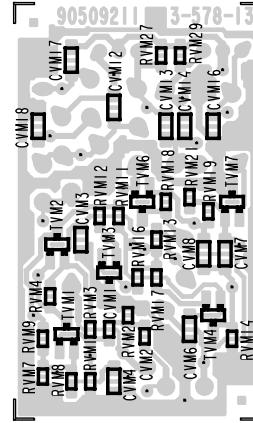
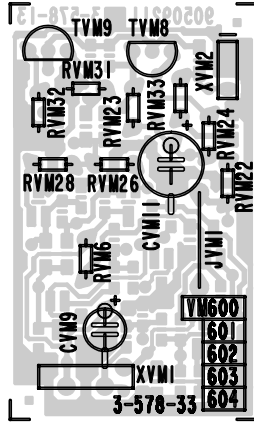
VD705 Vertical dumping module

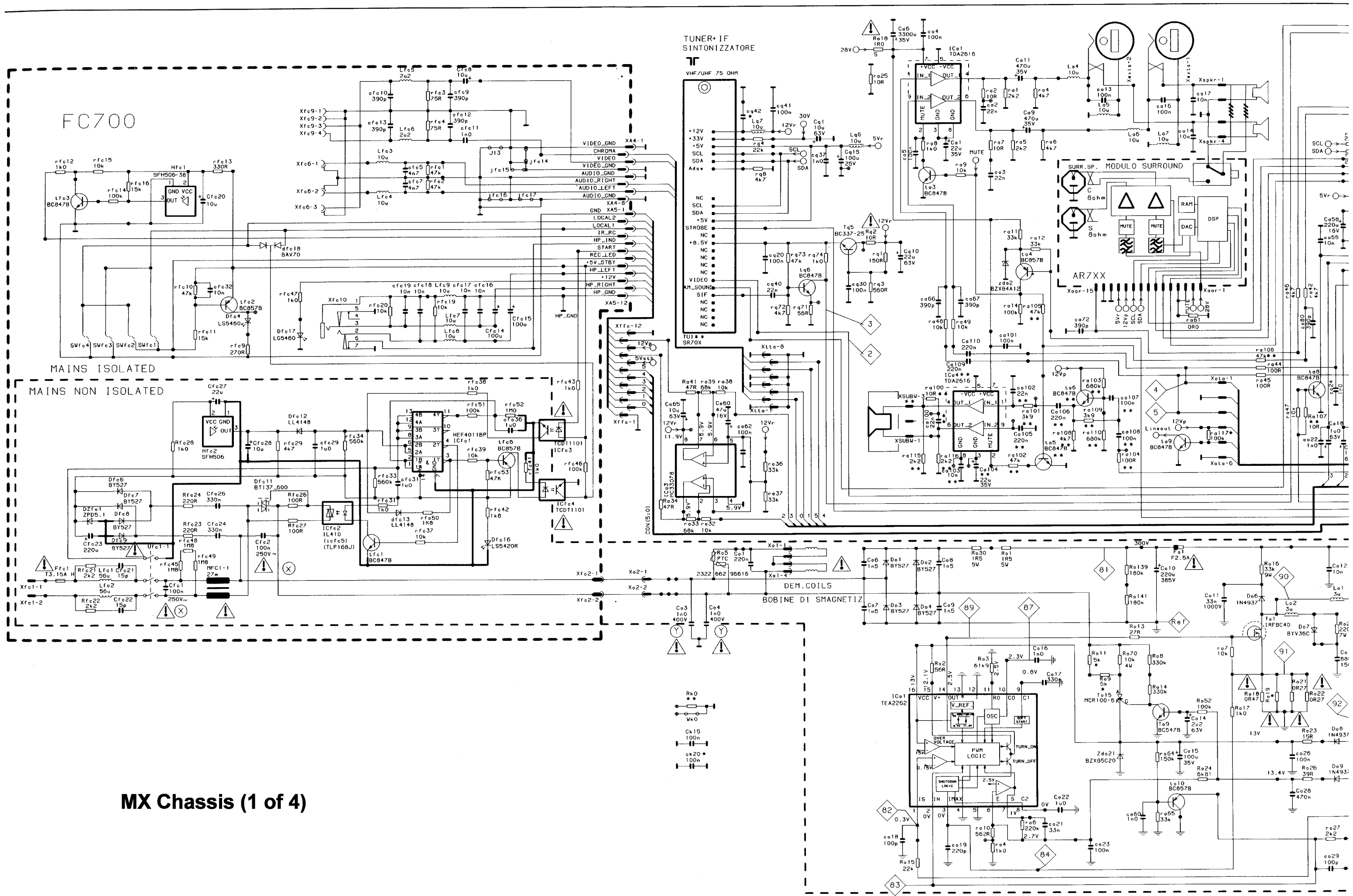


VD710 Vertical dumping module

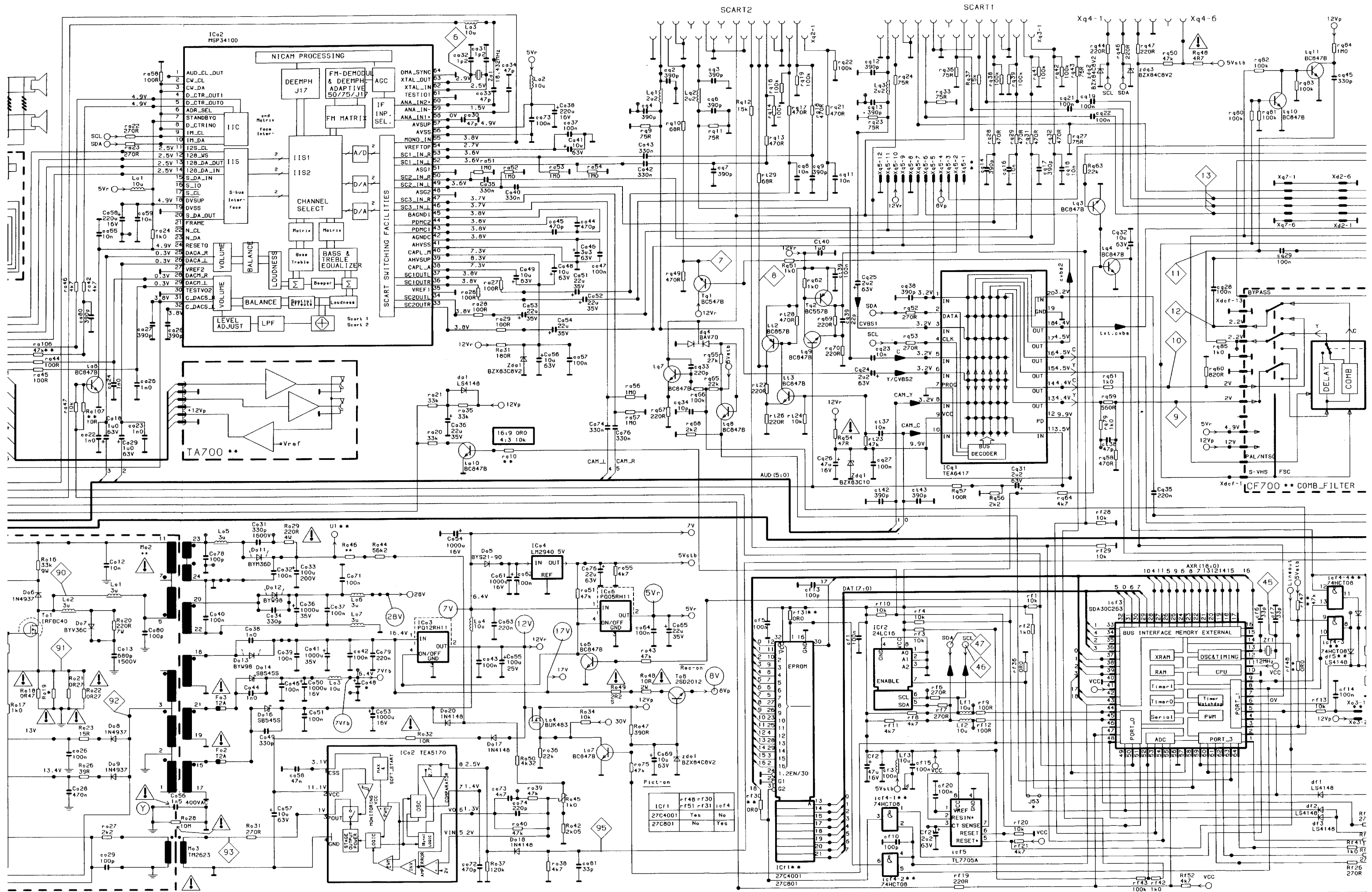


VM600 SVM-module

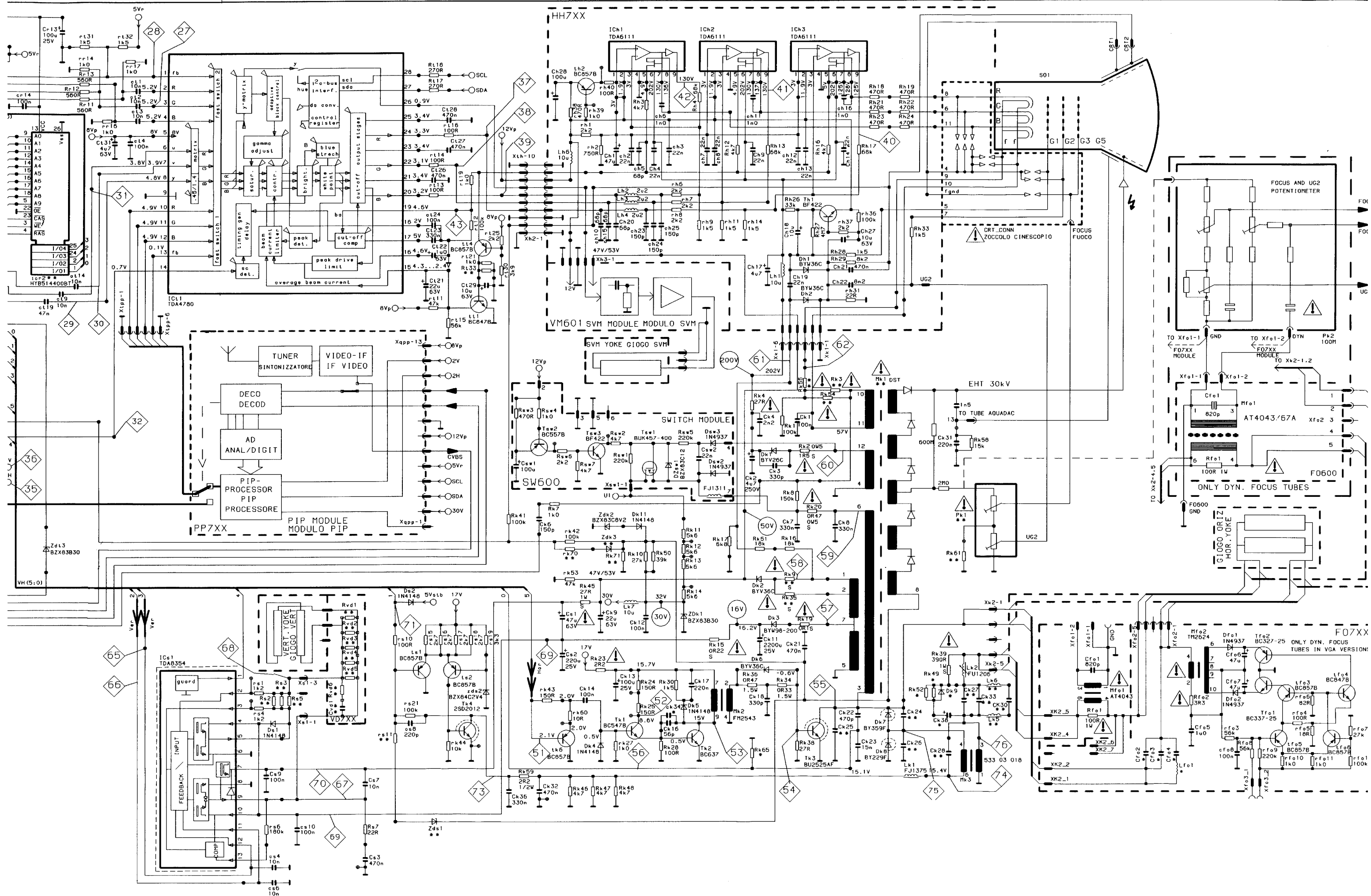


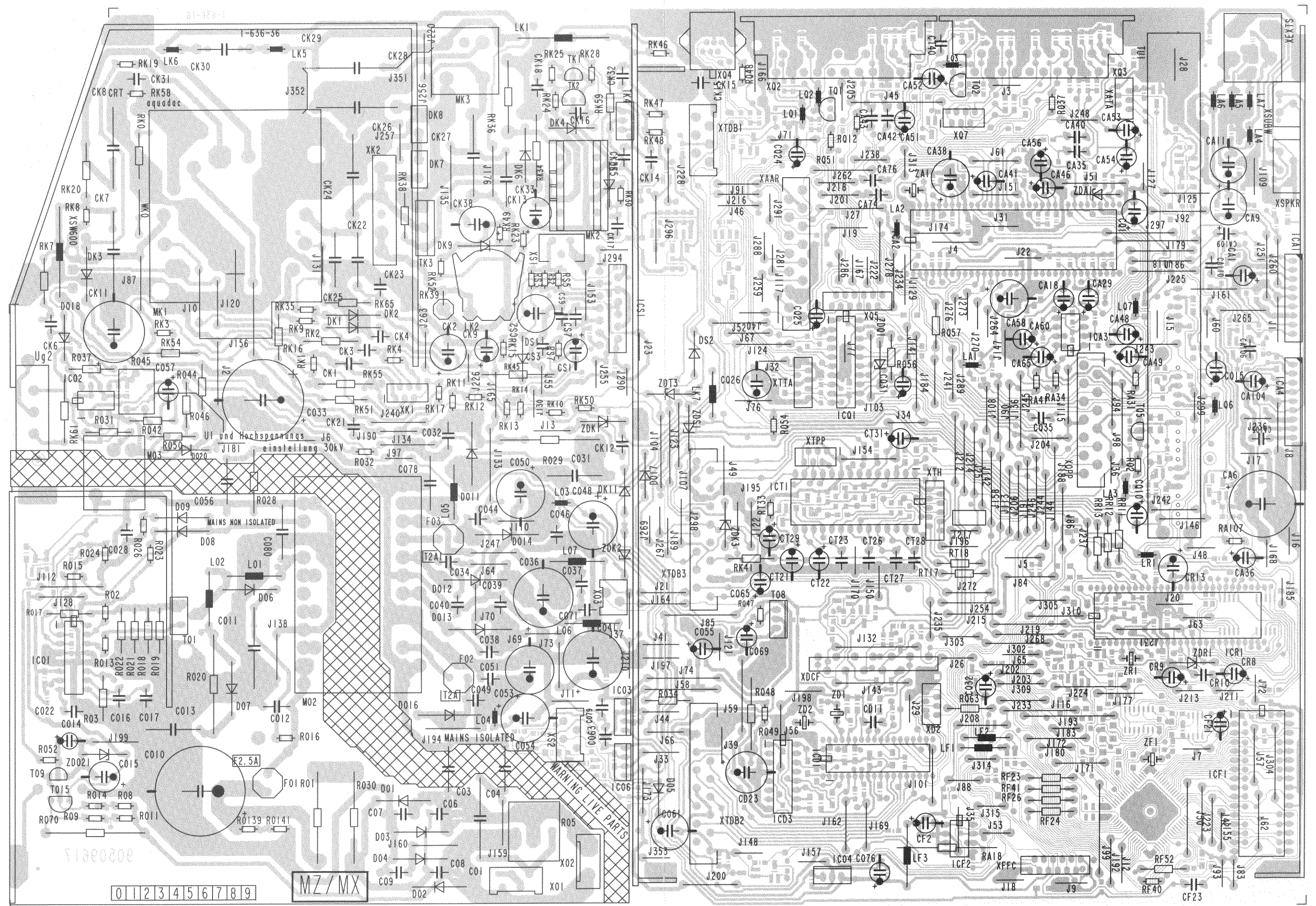


MX Chassis (1 of 4)

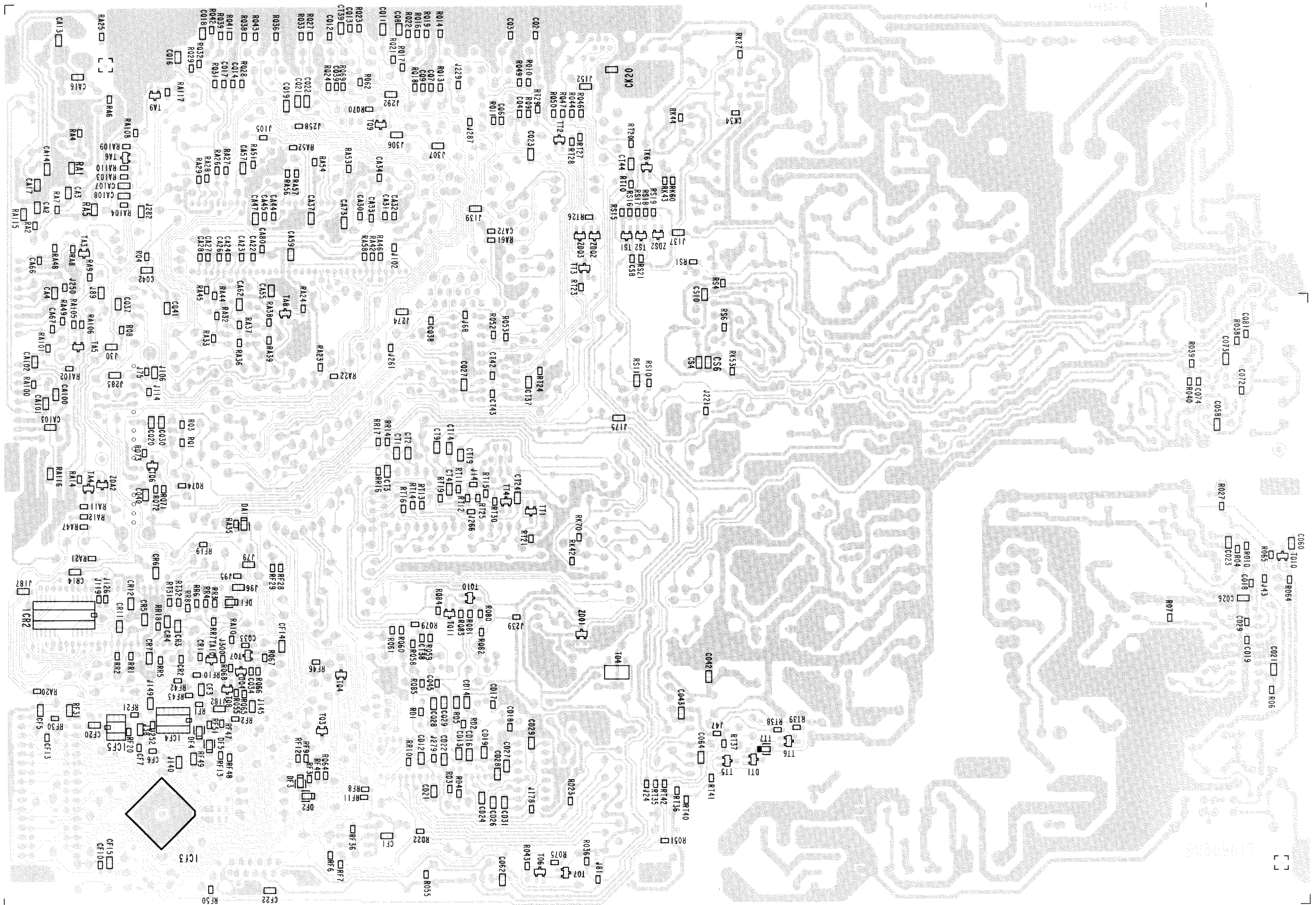






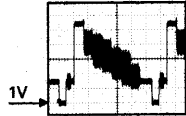


MX Chassis (Component Side)

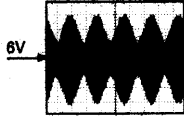


MX Chassis (Solder Side)

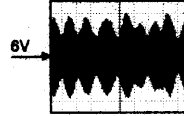
TP02 H
200mV/div 10μs/div



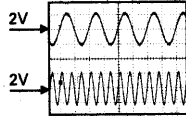
TP03 A2-STEREO
200mV/div 2μs/div



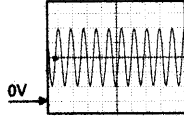
TP03 FM+NICAM
200mV/div 2μs/div



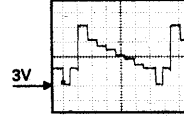
TP04 R 1kHz, TP05 L 3kHz
500mV/div 500μs/div



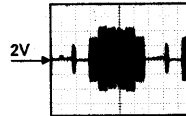
TP06
1V/div 50ns/div



TP07 H
500mV/div 10μs/div



TP08 H
100mV/div 10μs/div



TP09 H
200mV/div 10μs/div



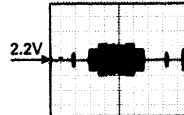
TP10 H
200mV/div 10μs/div



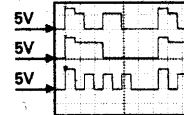
TP11 H
200mV/div 10μs/div



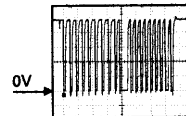
TP12 H
200mV/div 10μs/div



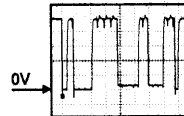
TP13 H
500mV/div 10μs/div



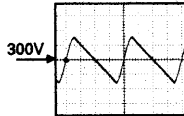
TP46
1V/div 50μs/div



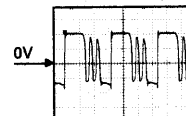
TP47
1V/div 50μs/div



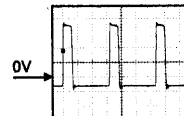
TP81 100 Hz
5V/div 2.5ms/div



TP82 2H
500mV/div 10μs/div



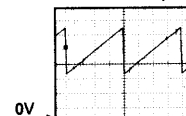
TP83 2H
1V/div 10μs/div



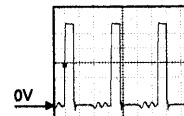
TP84 2H
100mV/div 10μs/div



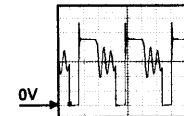
TP87 2H
500mV/div 10μs/div



TP89 2H
2V/div 10μs/div



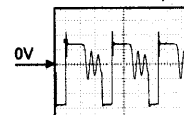
TP90 2H
100V/div 10μs/div



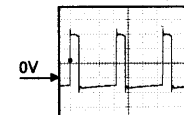
TP91 2H
200mV/div 10μs/div



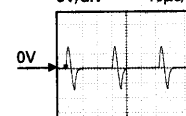
TP92 2H
10V/div 10μs/div

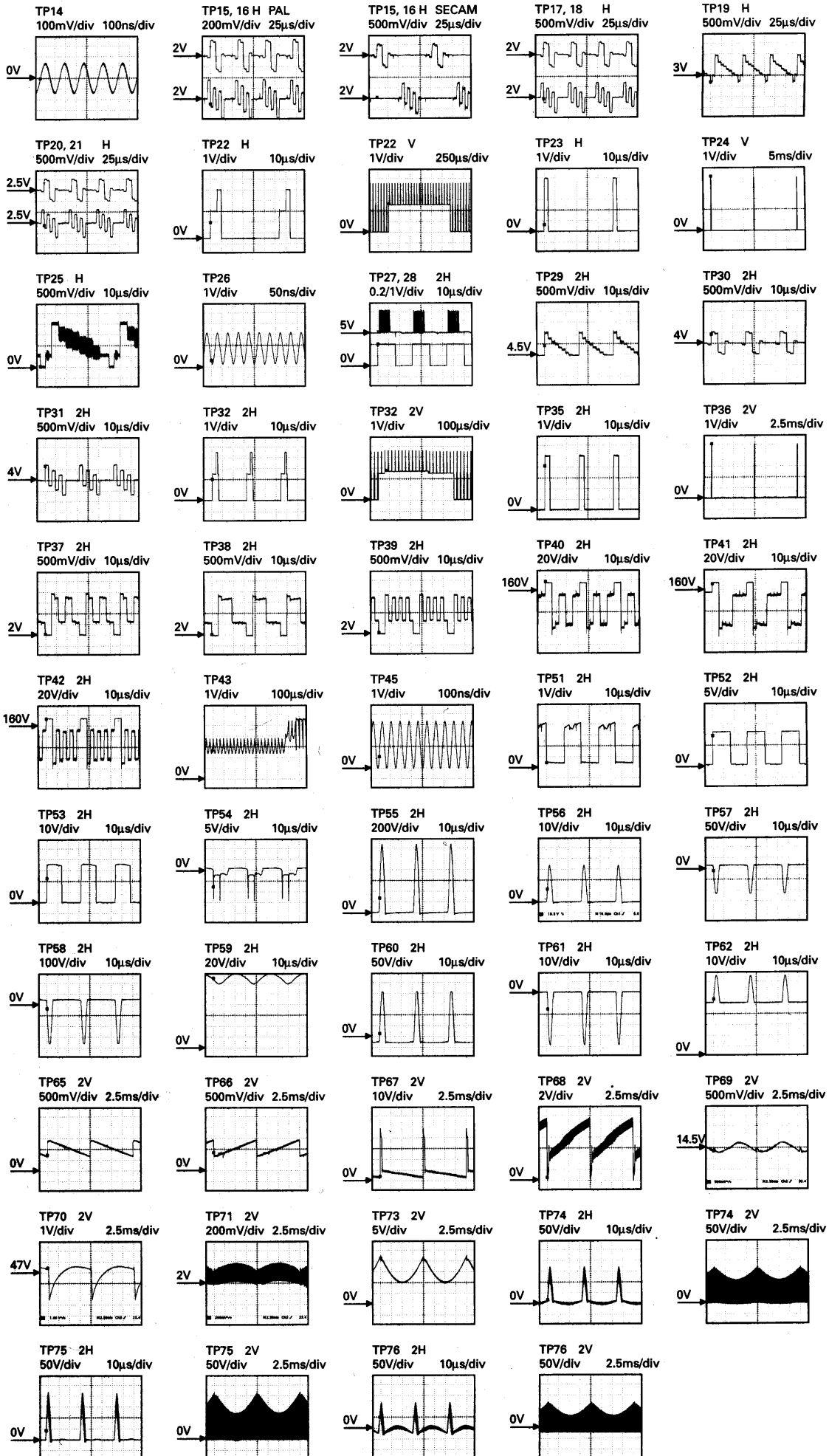


TP93 2H
2V/div 10μs/div



TP95 2H
5V/div 10μs/div





- (GB) **Variable components**
 (D) **Röhrenabhängige Bauteile**
 (F) **Composants variables**

Picture Tube	Vi 29 A68 EGD 038x322		Phi 28 A66 EAK 552x44	
Mainboard	MX***C*		MX***P*	
PW-block	PW700		PW719	
Ck24	13n	SAL3345 0046	11n	SAL3345 0054
Ck25			680p	SAL3345 0053
Ck26	33n	SAL3346 0023	27n	SAL3345 0063
Ck27	330n	SAL3345 0034	390n	SAL3345 0040
Ck28	4u7	SAL3366 0002	470n	SAL3345 0041
Ck30	47n	SAL3345 0036	120n	SAL3324 1026
Rk3	4R7	SAL3186 0002	8R2	SAL3163 0090
Rk54	1R0	SAL3185 0001	8R2	SAL3163 0090
Rk55	1R0	SAL3181 0014	3R0	SAL3185 0007
Zdk3	15V	SAL3677 0017	18V	SAL4100 3183
Rs2	1R21	SAL3145 0008	1R1	SAL3145 0013
Rs3	1R21	SAL3145 0008	1R1	SAL3145 0013
Rs11	390k	SAL3163 0092	680k	SAL3154 8989
Zds1	15V	SAL3677 0017	18V	SAL4100 3183
Ro46	86k6	SAL3144 0051	100k	SAL3144 0014
Lk6	47uH	SAL4562 0035	jumper 5,0	SAL8570 0050
Mk1	1182.9001	SAL4536 0020	1182.9018	SAL4536 0036
CRT-module		HH703		HH705
SW-module		SW700		SW710
Vert.dump.		VD707		VD710
Conn.wire				SAL9601 0134
Xs2	No			
U1	130V		140V	
PWL	No		Yes	
XO3			No	
MO2	FM3604	SAL4532 0026	FM3605	SAL4532 0028

Spare parts


Ersatzteile

Pièces de rechange


Note!	Hinweis!	Remarque !	Item	Description	Order no.
△	Safety components in accordance with existing safety regulations. These components must be replaced only with original parts.		RK 15 △	S RES 022E 0,25W	SAL3151 4506
△	Sicherheitsbauteil im Sinn der Sicherheitsbestimmung. Diese Teile dürfen nur durch Originalteile ersetzt werden.		RK 16, 51	R CARF 18K 5% 0W25	SAL3166 0040
△	Composant de sécurité conformément aux réglementations de sécurité. Ces composants doivent être uniquement remplacés par des pièces d'origines.		RK 17	R CF RD 6K8 J 1/4W	SAL3163 0029
*	Variable components		RK 20 △	R FUS V 0R47 5% 0W5	SAL3185 0004
*	Röhrenabhängige Bauteile		RK 23 △	SRES 2,2E 0,25W	SAL3151 4511
*	Composants variables		RK 24, 25	R CARF 150R 5% 0W25 FP	SAL3163 0025
			RK 27	RES 1 K 0,1W CHIP	SAL3142 5820
			RK 28	SRES 100E 0,25W	SAL3151 4516
			RK 30	RES 1K5 0,25W	SAL3166 0017
			RK 30	FUSE RES 1,5K 0,25W	SAL3151 4523
			RK 34	RES 0,33E 1,5W AX METOX	SAL3143 0010
			RK 36	RES 0,47E 1,5W AX METOX	SAL3143 0011
			RK 38	R CARF 27R 5% 0W25	SAL3166 0007
			RK 39 △	R FUS V 390R 10% 1W0	SAL3185 0002
			RK 41	R CARF 100K 5% 0W25	SAL3166 0030
			RK 42	RES 100K 0,1W CHIP	SAL3142 5844
			RK 43	RES 150E 0,1W CHIP	SAL3142 5812
			RK 44, 70	RES 10K 0,1W CHIP	SAL3142 5833
			RK 45 △	R FUS V 27E K 1W0	SAL3184 0003
			RK 46, 47, 48	SWID 4,7K 0,25W	SAL3151 4522
			RK 50	WID 39K 5% 0,25W	SAL3163 0048
			RK 53	RES 47K 0,1W CHIP	SAL3142 5836
			RK 54 △ *	R FUS V 1R0 5% 0W5	SAL3185 0001
			RK 55 △ *	SWID 3,0 E 0W50	SAL3185 0007
			RK 55 △ *	SRES 1 R 0,7W	SAL3181 0014
			RK 58	R CF RD 15K J 1/4W	SAL3163 0033
			RK 59	SRES 2R2 0W5	SAL3185 0056
			RK 60	RES 10E 0,1W CHIP	SAL3142 5810
			RK 70	R CARF 10K 5% 0W25 FP	SAL3163 0031
			RO 1, 30	R WRLAC 1E5 5% 5W0	SAL3136 0004
			RO 2	R CARF 56E 5% 0W25 FP	SAL3163 0046
			RO 3	R METF 61K9 1% 0W6	SAL3144 0013
			RO 4	R SMD 1K00 1% 0W1	SAL3149 0056
			RO 5	R PTC RS=24OHM FOR DEGA	SAL3194 0001
			RO 6	RES 220K 0,1W CHIP	SAL3142 5847
			RO 7, 39	RES 10K 0,1W CHIP	SAL3142 5833
			RO 8, 14	RES 330K 0,25W 5% FP	SAL3151 8658
			RO 10	R SMD 562R F 0W10	SAL3149 0081
			RO 13	CARBON RE 27R 5% 0,25W F	SAL3163 0021
			RO 15	WID 22K 5% 0W25	SAL3163 0034
			RO 16	R WRLAC 33K 10% 9W0	SAL3135 0002
			RO 17	R CARF 1K0 5% 0W25	SAL3166 0016
			RO 18 △	WID 0,47 0,6 W	SAL3144 0019
			RO 20	RES 220R 7W	SAL3135 0013
			RO 21 △, 22 △	R METF 0R27 5% 0W6	SAL3144 0029
			RO 23	R CARF 15R 5% 0W25 FP	SAL3163 0020
			RO 24	RES 6,81K 0,6 W F METF	SAL3145 0015
			RO 26	R CARF 39R 5% 0W25 FP	SAL3163 0023
			RO 27	RES 2,2K 0,1W CHIP	SAL3142 5828
			RO 28 △	R COMP HV 10M 5% 0W5	SAL3146 0001
			RO 29 △	R METOX 220R 5% 4W0	SAL3143 0004
			RO 31	R CARF 270R 5% 0W25	SAL3166 0011
			RO 32 △	S RES 10 E 0,25W	SAL3151 4513
			RO 34	0W25 C F RES 10K 5%	SAL3166 0022
			RO 36	RES 22K 0,1W CHIP	SAL3142 5837
			RO 37	R METF 120K 1% 0W6	SAL3144 0016
			RO 38, 55	RES 4,7K 0,1W CHIP	SAL3142 5824
			RO 39, 43, 51, 75	RES 47K 0,1W CHIP	SAL3142 5836
			RO 42	R METF 2K05 1% 0W6	SAL3144 0020
			RO 44	RES 56,2K 0,6 W 1%	SAL3144 0033
			RO 45	R TRIM HOR 1K0 20% 0W1	SAL3123 0005
			RO 46 *	R METF 100K 1% 0W6	SAL3144 0014
			RO 46 *	R METF 86K6 F 0W60	SAL3144 0051
			RO 47	R CARF 390R 5% 0W25 FP	SAL3163 0041
			RO 48 △	R METOX 10R 5% 2W0	SAL3143 0001
			RO 49 △	R FUS V 2R2 5% 0W25	SAL3186 0003
			RO 50	R METF 4K32 1% 0W6	SAL3144 0026
			RO 52	RES FUS 100K 1/4W	SAL3163 0037
			RO 64	RES 150K 0,1W CHIP	SAL3142 5846
			RO 65	RES 33K 0,1W CHIP	SAL3142 5840
			RO 70	RES 10K 4W0 METOX	SAL3144 0060






Main board

28"	Chassis MXEABP1 *	SAL5863 1453
29"	Chassis MXEABC2 *	SAL5863 1415

Item	Description	Order no.
RESISTORS 		
RA 1, 5	RES 2,2 K 0,125W CHIP	SAL3142 5625
RA 2, 7, 25	RES 10E 0,1W CHIP	SAL3142 5810
RA 4, 6, 42, 46	RES 4,7K 0,1W CHIP	SAL3142 5824
RA 8, 24	RES 1 K 0,1W CHIP	SAL3142 5820
RA 9, 10, 32,		
38, 47, 48, 49	RES 10K 0,1W CHIP	SAL3142 5833
RA 11, 12, 20,		
21, 35, 36, 37	RES 33K 0,1W CHIP	SAL3142 5840
RA 14	RES 100K 0,1W CHIP	SAL3142 5844
RA 18 △	RES 1 R 4W	SAL3143 0013
RA 22, 23	RES 270 E 0,065W CHIP	SAL3142 5855
RA 31	R CARF 180 5% 0W25 FP	SAL3163 0026
RA 33, 39	R SMD 68K 5% 0W1	SAL3142 5838
RA 34, 41	R CARF 47R 5% 0W25 FP	SAL3151 4525
RA 51, 52, 53,		
54, 56, 57	RES 1M 0,1W CHIP	SAL3142 5801
RA 58, 44, 45,		
26, 27, 28, 29	RES 100E 0,1W CHIP	SAL3142 5852
RA 61	RES 0,0E 0,1W JUMPER	SAL3142 5802
RD 1	RES 15K 0,1W CHIP	SAL3142 5835
RD 2	R SMD 82K 5% 0W1	SAL3142 5843
RD 3, 4	RES 270 E 0,065W CHIP	SAL3142 5855
RD 22, 23	RES 1 K 0,1W CHIP	SAL3142 5820
RF 1, 3, 4, 10,		
13, 20, 28, 29	RES 10K 0,1W CHIP	SAL3142 5833
RF 2, 42	RES 1 K 0,1W CHIP	SAL3142 5820
RF 6, 7	RES 270 E 0,065W CHIP	SAL3142 5855
RF 8, 11, 21	RES 4,7K 0,1W CHIP	SAL3142 5824
RF 9, 12	RES 100E 0,1W CHIP	SAL3142 5852
RF 19	RES 220E 0,1W SMD	SAL3142 5815
RF 30, 36, 48, 51	RES 0,0E 0,1W JUMPER	SAL3142 5802
RF 31	WID 0 E 0,125W CHIP JUMP	SAL3142 5601
RF 23, 41	R CARF 1K0 5% 0W25	SAL3166 0016
RF 24, 26	R CARF 270R 5% 0W25	SAL3166 0011
RF 40	RES 270R0,25W FP	SAL3163 0027
RF 43	RES 100K 0,1W CHIP	SAL3142 5844
RF 52	R CARF 4K7 5% 0W25	SAL3166 0031
RK 1	RES FUS 100K 1/4W	SAL3163 0037
RK 2 △	WID 1R5 5% 0W5 FP	SAL3163 0014
RK 3 △ *	R FUS V 4R7 5% 0W25	SAL3186 0002
RK 3 △ *, 54 △ *	RES 8R2 0W25 FP	SAL3163 0090
RK 4 △	SRES 27 E 0,25W	SAL3186 0001
RK 7	R CARF 1K0 5% 0W25	SAL3166 0016
RK 8	R CF RD 150K J 1/4W	SAL3163 0038
RK 9 △, 19 △	R FUS I 0R1 10% 0W4	SAL3182 0003
RK 10	R CF RD 27K J 1/4W	SAL3163 0035
RK 11, 12, 13, 14	R CF RD 5K6 J 1/4W	SAL3163 0028

Item	Description	Order no.
RO 139, 141	R CF RD 180K J 1/4W	SAL3163 0039
RQ 1	RES 150E 0,1W CHIP	SAL3142 5812
RQ 2 Δ	S RES 10 E 0,25W	SAL3151 4513
RQ 3, 59	RES 560 E CHIP	SAL3142 5818
RQ 4, 65	RES 22K 0,1W CHIP	SAL3142 5837
RQ 8, 64, 72	RES 4,7K 0,1W CHIP	SAL3142 5824
RQ 9, 11, 43, 33,		
36, 23, 24, 27	RES 75E 0,1W CHIP	SAL3142 5861
RQ 10	RES 68E 5% CHIP	SAL3142 5876
RQ 12, 37	R CF RD 15K J 1/4W	SAL3163 0033
RQ 13, 21, 17,		
18, 49, 58,		
28, 29, 31, 32	RES 470 E 0,1W SMD	SAL3142 5817
RQ 19, 22, 14,		
16, 66, 38,		
39, 41, 42,		
80, 81, 82, 83	RES 100K 0,1W CHIP	SAL3142 5844
RQ 48 Δ	R FUS V 4R7 5% 0W25	SAL3186 0002
RQ 50, 73	RES 47K 0,1W CHIP	SAL3142 5836
RQ 51	SRES 1 K 0,25WW	SAL3151 4519
RQ 52, 53	RES 270 E 0,065W CHIP	SAL3142 5855
RQ 54 Δ	R CARF 47R 5% 0W25 FP	SAL3151 4525
RQ 55	RES 27K 0,1 W CHIP	SAL3142 5839
RQ 56	R CARF 2K2 5% 0W25	SAL3166 0037
RQ 57	R CARF AX 100R 0W25 AMMO	SAL3166 0049
RQ 60	RES 820E 0,1W CHIP	SAL3142 5819
RQ 63	R CARF 22K 5% 0W25	SAL3166 0025
RQ 67, 44, 46,		
47, 69, 70	RES 220E 0,1W SMD	SAL3142 5815
RQ 68	RES 2,2K 0,1W CHIP	SAL3142 5828
RQ 71	RES 56E 5% CHIP	SAL3142 5865
RQ 84	RES 1M 0,1W CHIP	SAL3142 5801
RQ 85, 61,		
62, 74, 79	RES 1 K 0,1W CHIP	SAL3142 5820
RR 1	RES 10K 0,1W CHIP	SAL3142 5833
RR 2, 14, 16, 17	RES 1 K 0,1W CHIP	SAL3142 5820
RR 5	RES 100E 0,1W CHIP	SAL3142 5852
RR 6, 3, 4	RES 3,9K 0,1W CHIP	SAL3142 5830
RR 7	RES 470 E 0,1W SMD	SAL3142 5817
RR 8	RES 4,7K 0,1W CHIP	SAL3142 5824
RR 10	RES 33K 0,1W CHIP	SAL3142 5840
RR 11, 12, 13	RES 560R 0W25	SAL3166 0050
RR 18	RES 0,0E 0,1W JUMPER	SAL3142 5802
RS 1, 4	RES 1,2K 0,125W	SAL3142 5822
RS 2 *, 3 *	R METF 1R21 1% 0W6	SAL3145 0008
RS 2 *, 3 *, 5	R METF 1R10 F 0W60	SAL3145 0013
RS 6	R SMD 180K 5% 0W1	SAL3149 0012
RS 7	SWID 22 E 0,25 W	SAL3151 4527
RS 10	RES 100E 0,1W CHIP	SAL3142 5852
RS 11 *	R SMD 680K 5% 0W1	SAL3149 0059
RS 11 *	RES 390K 0,25W	SAL3163 0092
RS 15, 16, 17, 18	RES 2,7K 0,125W	SAL3142 5821
RS 19	RES 3,3K 0,1W CHIP	SAL3142 5829
RS 21	RES 100K 0,1W CHIP	SAL3142 5844
RT 10, 19, 20, 21	RES 1 K 0,1W CHIP	SAL3142 5820
RT 11, 23	RES 47K 0,1W CHIP	SAL3142 5836
RT 12	RES 100K 0,1W CHIP	SAL3142 5844
RT 15	RES 56K 0,1W CHIP	SAL3142 5842
RT 16, 13, 14	RES 100E 0,1W CHIP	SAL3142 5852
RT 17, 18	R CARF 270R 5% 0W25	SAL3166 0011
RT 24	RES 10K 0,1W CHIP	SAL3142 5833
RT 25	RES 2,2K 0,1W CHIP	SAL3142 5828
RT 28	RES 470 E 0,1W SMD	SAL3142 5817
RT 29	RES 68E 5% CHIP	SAL3142 5876
RT 30	RES 3,9K 0,1W CHIP	SAL3142 5830
RT 33 *	R CF RD 560R J 1/4W	SAL3163 0047
RT 33 *	RES 1K2 0,25W FP	SAL3151 8510
RT 26, 27	RES 220E 0,1W SMD	SAL3142 5815
RT 31, 32	RES 1,5 K 5% SMD	SAL3142 5826

Item	Description	Order no.
CAPACITORS 		
CA 1, 36, 51,		
52, 53, 54	C ELYT 22U 20% 35V	SAL3454 0021
CA 2, 3	C CER SMD 22N 10% 50V	SAL3253 5914
CA 4, 5, 13,		
16, 37, 47, 57,		
62, 73, 101	CAP 100NF 50V CER	SAL3253 5920
CA 6	C ELYT 3300U 20% 35V	SAL3451 0009
CA 9, 11	ECAP 470MF 35 V	SAL3422 0648
CA 14, 17, 55, 59	CAP 10NF 50V CHIP	SAL3253 5918
CA 18, 29	EL, CAP, 1UF 63V	SAL3454 0022
CA 22, 23, 24, 26	CAP 1NF 50V	SAL3253 6203
CA 27, 28, 80,		
66, 67, 72	C CER SMD 390P 5% 50V	SAL3219 0012
CA 30, 33, 34	CAP 47PF 50V CHIP	SAL3212 5508
CA 31, 32	C CER SMD 1P2 5% 50V	SAL3218 0008
CA 35, 40, 42,		
43, 74, 76	POLYESTER 330N 63V PAN 2	SAL3312 7113
CA 38, 58	EL,CAP, 220UF 16V 13X17	SAL3451 0003
CA 41, 56,		
65, 48, 49	C ELYT 10U 20% 63V	SAL3454 0025
CA 44, 45	C CER SMD 470P 5% 50V	SAL3219 0013
CA 46	C ELYT 3U3 20% 63V	SAL3454 0029
CA 60	C ELYT 47U 20% 16V	SAL3454 0019
CA 109, 110	C MKT 220N 10% 63V	SAL3312 7108
CD 11	POLYESTER 470N 10% 63V	SAL3312 7123
CD 12, 16	C CER SMD 3N3 10% 50V	SAL3253 5908
CD 13, 14, 19,		
21, 22, 24, 26,		
27, 28, 29, 31	CAP 100NF 50V CER	SAL3253 5920
CD 17, 18	CAP 18 PF 50V CHIP	SAL3212 5520
CD 23	C EL RD 100U M 25V	SAL3454 0020
CF 1, 3, 5,		
14, 15, 20	CAP 100NF 50V CER	SAL3253 5920
CF 2	C ELYT 47U 20% 16V	SAL3454 0019
CF 6, 7	CAP 33PF 50V CHIP	SAL3212 5507
CF 10, 13	CAP 100PF 50V	SAL3212 5515
CF 21	C ELYT 2U2 20% 63V	SAL3454 0023
CK 1	C MKT 100N 10% 250V	SAL3336 0003
CK 2	C ELYT 4U7 250V 11x13 HV	SAL3461 0001
CK 3, 18	C CER 330P 10% 500V	SAL3278 0002
CK 4	C CER 2N2 20% 500V	SAL3278 0003
CK 6	C CER 150P 10% 500V	SAL3278 0001
CK 7, 8	C MKC 330N 10% 250V	SAL3366 0001
CK 9	EL, CAP, 22U 63V PAR	SAL3454 0026
CK 11	C ELYT 2200U 20% 25V	SAL3451 0005
CK 12, 14, 15	POLYESTER 100n 10% 63V	SAL3312 7106
CK 13	C EL RD 100U M 25V	SAL3454 0020
CK 16	C CER 56P 5% 50V	SAL3218 0001
CK 17, 31	C MKT 220N 10% 63V	SAL3312 7108
CK 21, 32	POLYESTER 470N 10% 63V	SAL3312 7123
CK 22	C MKP 470P 2,5% 1K6V	SAL3346 0011
CK 23	C (M)KP 15N 2,5% 100V	SAL3346 0003
CK 24 *	CAP 13NF	SAL3345 0046
CK 24 *	CAP 11NF	SAL3345 0054
CK 25 *	CAP 680PF	SAL3345 0053
CK 26 *	COND 15NF 2,5% 630V	SAL3346 0023
CK 27 *	C MKP 330N J 250V	SAL3345 0034
CK 27 *	C 390NF 250V	SAL3345 0040
CK 28 *	C MKC 4U7 10% 63V	SAL3366 0002
CK 28 *	C 470NF 250V	SAL3345 0041
CK 30 *	C MKP 47N 3,5% 400V	SAL3345 0036
CK 30 *	SCAP 0,12MF400V	SAL3324 1026
CK 36	POLYESTER 330N 63V PAN 2	SAL3312 7113
CO 1	C MKT 220N 10% 400V	SAL3336 0002
CO 3 Δ , 4 Δ	SCAP 1 NF 4KV	SAL3261 0931
CO 6, 7, 8, 9	SCAP 1,5 NF 2KV	SAL3267 0976
CO 10	C ELYT 220U 20% 385V	SAL3426 0826
CO 11	C MKP 33N 5% 1KV	SAL3346 0016
CO 12	C MKT 10N 5% 400V	SAL3336 0006
CO 13	CAP 680PF	SAL3345 0053
CO 14	C ELYT 2U2 20% 63V	SAL3454 0023
CO 15	EL,CAP, 100u 35V 13x21 R	SAL3451 0006
CO 16	KON 1NO 5% 63V	SAL3348 0010

Item	Description	Order no.	Item	Description	Order no.	
CO 17	POLYESTER 330N 63V PAN 2	SAL3312 7113	TRANSISTORS 			
CO 18, 29	CAP 100PF 50V	SAL3212 5515				
CO 19, 74	CAP 220 PF 50V	SAL3212 5513				
CO 21	C CER SMD 33N 20% 50V	SAL3279 0010		TA 3, 8, 9, 10	TRANS BC 847B	SAL3614 5312
CO 22	C MKT 1U0 10% 63V	SAL3312 4758		TA 4	TRANS BC 857B CHI	SAL3614 5412
CO 23, 26, 62, 64, 42, 43	CAP 100NF 50V CER	SAL3253 5920		TK 1	TRANS BC 547B 45V 10	SAL3622 0002
CO 28	POLYESTER 470N 10% 63V	SAL3312 7123		TK 2	TRANS BC637 60V 1a	SAL3622 0003
CO 31	C (M)KP 330P 10% 1K6V	SAL3346 0017		TK 3	TRANS BU2525AF 1K5V	SAL3627 0003
CO 32	C MKT 100N 10% 250V	SAL3336 0003		TK 3	CLIP	SAL8681 7341
CO 33	C ELYT 100U 20% 200V	SAL3461 0006		TK 4	TRANS 2SD2012 60v	SAL3627 0004
CO 34, 38, 44	C CER 1N0 10% 500V	SAL3278 0004		TK 4	FASTENING SPRING DN74009	SAL7358 4994
CO 34, 49	C CER 330P 10% 500V	SAL3278 0002		TK 6	TRANS BC 857B CHI	SAL3614 5412
CO 36, 41	C ELYT 1000U 20% 35V	SAL3451 0013		TO 1	CLIP	SAL8681 7341
CO 37, 46, 51, 71, 39, 40	POLYESTER 100n 10% 63V	SAL3312 7106		TO 1	TRANS IRFBC40 600V	SAL3637 0001
CO 50, 61, 53, 54	C ELYT 1000U 20% 16V	SAL3451 0004		TO 1	ISOLATOR TO-220	SAL8231 8802
CO 55	C EL RD 100U M 25V	SAL3454 0020		TO 4	TRANS BUK483 60A 60V	SAL3638 0001
CO 56 	C CER 1N5 20% 400VAC	SAL3296 0002		TO 6, 7	TRANS BC 847B	SAL3614 5312
CO 57, 69	C ELYT 10U 20% 63V	SAL3454 0025		TO 8	TRANS 2SD2012 60v	SAL3627 0004
CO 58	C CER SMD 47N 10% 50V	SAL3279 0008		TO 9	TRANS BC 547B 45V 10	SAL3622 0002
CO 60	CAP 1NF 50V	SAL3253 6203		TO 10	TRANS BC 857B CHI	SAL3614 5412
CO 63, 79	C MKT 220N 10% 63V	SAL3312 7108		TO 15	THYRISTOR MCR100-6 400V	SAL3610 0001
CO 65	C ELYT 22U 20% 35V	SAL3454 0021		TQ 1	TRANS BC 547B 45V 10	SAL3622 0002
CO 72	C CER SMD 470P 5% 50V	SAL3219 0013		TQ 2	TRANS BC 557B	SAL3614 6424
CO 73	C CER SMD 4N7 10% 50V	SAL3279 0007		TQ 3, 4, 6, 7, 8, 9, 10, 11	TRANS BC 847B	SAL3614 5312
CO 76	EL, CAP, 22U 63V PAR	SAL3454 0026		TQ 5	TRANS BC 337-25	SAL3614 7138
CO 81	CAP 33PF 50V CHIP	SAL3212 5507		TS 1, 2	TRANS BC 858C	SAL3614 5423
CQ 1, 32	C ELYT 10U 20% 63V	SAL3454 0025		TT 1, 3	TRANS BC 847B	SAL3614 5312
CQ 8, 11, 16, 18, 23	CAP 10NF 50V CHIP	SAL3253 5918	TT 2, 4	TRANS BC 857B CHI	SAL3614 5412	
CQ 9, 17, 2, 3, 4, 6, 7, 38, 12, 13, 14	C CER SMD 390P 5% 50V	SAL3219 0012	DIODES 			
CQ 10	EL, CAP, 22U 63V PAR	SAL3454 0026	DA 1	DI SMD LS4148 75V 200MA	SAL3649 0002	
CQ 15	C EL RD 100U M 25V	SAL3454 0020	DF 1, 2, 3	DI SMD LS4148 75V 200MA	SAL3649 0002	
CQ 26	C ELYT 47U 20% 16V	SAL3454 0019	DK 1	DIODE BYV26C 600V 1	SAL3661 0005	
CQ 31, 24, 25	C ELYT 2U2 20% 63V	SAL3454 0023	DK 2, 6	DIODE BYV36C 600V 1	SAL3657 5452	
CQ 33	CAP 220 PF 50V	SAL3212 5513	DK 3	DIODE BYW 98-200	SAL3657 5470	
CQ 34	CAP 10PF 50V SMD	SAL3212 5506	DK 4, 5, 11	DI 1N4148 75V 200MA DO35	SAL3642 0002	
CQ 35	C MKT 220N 10% 63V	SAL3312 7108	DK 7	DIODE BY359F 1K5V 5	SAL3657 1465	
CQ 37	CAP 1 NF 50V CHIP	SAL3253 5901	DK 8	DIODE BY229F 800V 7	SAL3661 0004	
CQ 39	CAP 22PF 50V	SAL3212 5521	DK 7, 8	CLIP	SAL8681 7341	
CQ 40	C CER SMD 22N 10% 50V	SAL3253 5914	DO 5	DIODE BYS21-90V 1,0A	SAL3662 1556	
CQ 41, 19, 20, 21, 22, 27, 28, 29, 30	CAP 100NF 50V CER	SAL3253 5920	DO 7	DIODE BYV36C 600V 1	SAL3657 5452	
CQ 45	CAP 330PF 50V	SAL3212 5517	DO 1, 2, 3, 4	DIODE BY527 1K25V 2	SAL3661 0001	
CR 1, 2	CAP 33PF 50V CHIP	SAL3212 5507	DO 6, 8, 9	DIODE 1N4937	SAL3657 5353	
CR 8	C ELYT 10U 20% 63V	SAL3454 0025	DO 11	DI RECT BYM36D 800V 2,9A	SAL3662 1551	
CR 9	C ELYT 22U 20% 35V	SAL3454 0021	DO 12, 13	DIODE BYW 98-200	SAL3657 5470	
CR 10	POLYESTER 470N 10% 63V	SAL3312 7123	DO 14, 16	DIODE SB545S 45V 5A	SAL3642 0003	
CR 13	C EL RD 100U M 25V	SAL3454 0020	DO 17, 18, 20	DI 1N4148 75V 200MA DO35	SAL3642 0002	
CR 14, 11, 12, 3, 4, 5, 6, 7	CAP 100NF 50V CER	SAL3253 5920	DQ 4	DIODE BAV 70 SMD	SAL3656 1954	
CS 1	C ELYT 47UF M 63V	SAL3454 0053	DS 1, 2	DI 1N4148 75V 200MA DO35	SAL3642 0002	
CS 2	ECAP 220MF 25V	SAL3422 9784	ZENERS 			
CS 3	POLYESTER 470N 10% 63V	SAL3312 7123	ZDA 1	Z DI BZX83B 8V2 2% DO35	SAL3677 0009	
CS 4, 6	CAP 10 NF 50V CHIP	SAL3253 6213	ZDA 2	ZDIODE BZX84A 12V 1%	SAL3677 0019	
CS 7	CAP 10N 250V	SAL3345 0057	ZDK 1	DIODE BZX83B 30V	SAL3677 0005	
CS 8	CAP 220 PF 50V	SAL3212 5513	ZDK 2	DIOSDE BZX83C 8V2	SAL3677 0003	
CS 9	POLYESTER 100n 10% 63V	SAL3312 7106	ZDK 3 *	DIODE BZX83C 15V	SAL3677 0017	
CS 10	CAP 100NF 50V CER	SAL3253 5920	ZDK 3 *	DIODE BZX79C18 5% 400MW	SAL3656 3947	
CT 1, 2, 3, 9, 14, 37, 44	CAP 10NF 50V CHIP	SAL3253 5918	ZDO 1	DIODE BZX84C 8SMD	SAL3678 0003	
CT 4, 24, 39	CAP 100NF 50V CER	SAL3253 5920	ZDO 21	DIODE BZX85C 20V	SAL3677 0006	
CT 19	C CER SMD 47N 10% 50V	SAL3279 0008	ZDQ 1	Z DI BZX83C 10V 5% DO35	SAL3677 0002	
CT 21	EL, CAP, 22U 63V PAR	SAL3454 0026	ZDQ 2, 3	DIODE BZX84C 8SMD	SAL3678 0003	
CT 22	EL, CAP, 1UF 63V	SAL3454 0022	ZDR 1	Z DI BZX83C 3V3 5% DO35	SAL3677 0001	
CT 23	POLYESTER 330N 63V PAN 2	SAL3312 7113	ZDS 1 *	DIODE BZX83C 15V	SAL3677 0017	
CT 26, 27, 28	POLYESTER 470N 10% 63V	SAL3312 7123	ZDS 1 *	DIODE BZX79C18 5% 400MW	SAL3656 3947	
CT 29	C ELYT 10U 20% 63V	SAL3454 0025	ZDS 2	DIODE BZX84C2V4	SAL3678 0005	
CT 31	C ELYT 4U7 20% 63V	SAL3454 0024	ZDT 3	DIODE BZX83B 30V	SAL3677 0005	
CT 38	CAP 47PF 50V CHIP	SAL3212 5508	INTEGRATED CIRCUITS 			
CT 40	C MKT 1U0 10% 63V	SAL3312 4758	ICA 1	IC TDA 2616A	SAL3763 1259	
CT 42, 43	C CER SMD 390P 5% 50V	SAL3219 0012	ICA 1	CLIP	SAL8681 7341	
			ICA 2	IC MSP3410D-B3	SAL3743 0023	
			ICA 3	IC MC 33078N	SAL3747 0006	
			ICD 1	IC TDA9143-N2	SAL3744 0056	

Item	Description	Order no.
ICD 3	IC TDA4665	SAL3741 0008
ICF 1	IC SOCKET DIL32	SAL4152 0751
ICF 1	IC EPROM MCAA08,0	SAL3779 2353
ICF 2	IC X24C16P EEPROM 8X256X	SAL3786 0015
ICF 3	IC SDA30C264M2 SMD	SAL3785 7014
ICF 5	IC TL7705A	SAL3746 0011
ICO 1	CI TEA2262 PWR	SAL3745 0002
ICO 2	IC TEA 5170	SAL3766 1173
ICO 3	IC PQ12RH11 12V	SAL3746 0007
ICO 3, 6	FASTENING SPRING DN74009	SAL7358 4994
ICO 4	IC LM2940 CTV	SAL3768 1840
ICO 6	IC PQ05RH11 5V	SAL3746 0008
ICQ 1	IC TEA6417 DIL20	SAL3744 0012
ICR 1	IC SDA5273S/C 134	SAL3785 7004
ICS 1	IC TDA8354Q N11 N1ES1	SAL3745 0017
ICS 1	IC TDA8354-N1E	SAL3745 0016
ICS 1	TENSION SPRING	SAL7368 7012
ICT 1	IC TDA4780 V1C DIL	SAL3744 0003

FUSES

FO 1	FUSE F2,5A MINIATURE D=8	SAL4377 0004
FO 2 , 3	FUSE T2,0A MINIATURE D=8	SAL4377 0005

TRANSFORMERS

MK 1	TRANSFORMER 1182.9001	SAL4536 0020
MK 1	DST TRAF0 ELDOR 1182,901	SAL4536 0036
MK 2	Trafo FH2543	SAL4538 0013
MK 3	COIL 68UH 15%	SAL4538 0024
MO 2	MAINS TRAF0 FM3604 FZ/10	SAL4532 0026
MO 2	TRAF0 MAINS FM3605	SAL4532 0028
MO 3	TRAF0 TM2633 PULSE	SAL4532 0035

COILS

LA 1, 2, 4, 5, 6, 7	CHOKE 10 UH	SAL4557 1699
LA 3	COIL 10UH 10% 230MA	SAL4563 0002
LF 1, 2	COIL 10UH 10% 230MA	SAL4562 0003
LF 3	CHOKE 10 UH	SAL4557 1698
LK 1	COIL 1,9MH	SAL4561 0018
LK 2	COIL FU 1206	SAL4538 0010
LK 5, 6 *	CHOKE 47 UH 7% 2A	SAL4562 0035
LK 6 *	JUMPER R=5,0MM TL0,6	SAL4131 4440
LK 7	COIL 10UH 10% 230MA	SAL4562 0003
LO 1, 2, 5, 6, 7	EMI SUPPRES BEAD 3,5X9	SAL4562 0007
LO 3, 4	CHOKE 10 UH	SAL4557 1699
LQ 1, 2, 3	COIL 2,2UH 10% 520MA	SAL4563 0003
LQ 6, 7	CHOKE 10 UH	SAL4557 1699
LR 1	CHOKE 10 UH	SAL4557 1699

CHRYSTALS

ZA 1	QURATZ 18,432MHZ HC-49/U	SAL4571 0011
ZD 1	QUARZ 4433,619KHZ	SAL4573 0002
ZD 2	QUARZ 3,57954MHZ	SAL4573 0001
ZF 1	CRYSTAL 12,0MHZ	SAL4573 0005
ZR 1	QUARTZ 20,48MHZ	SAL4573 0004

OTHERS

PK 1	VRES FOCUS 59M 2W0	SAL3128 0007
TU 1	TUNER MODULE SR702	SAL5825 8842
UG 2	SCREEN CABLE 460MM	SAL4131 4341
XATA	CABLESET 6-N L=75	SAL4758 5005

Item	Description	Order no.
XEXTS	SOCKET-LP	SAL4145 0612
XQ 2	SCART CONNECTOR BLUE	SAL4191 0004
XQ 3	SCART-SOCKET	SAL4145 0292
XQ 7, 7, 7, 7	HOLDER CABLE MWSEA1-1-01	SAL8448 6030
XQ 7, 7, 7, 7	WIRE BUNDLE 6-PIN 200MM	SAL4889 9808
	GROUNDING SPRING FOR DB	SAL8488 0172

AJ603 Crossover network



R 1	RES 1R5 5% 1W5 METOX	SAL3145 0003
C 1	C ELYT 4U7 20% 50V	SAL3454 0034
C 2	C ELYT 2U2 20% 50V	SAL3454 0052
	CROSSOVER COIL 36-18	SAL4543 4221
	ROW CONNECTOR 2-PIN	SAL7319 1101






CF700 Comb filter module**RESISTORS**














RC 3, 7, 41	RES 10K 0,1W CHIP	SAL3142 5833
RC 4	RES 3,3K 0,1W CHIP	SAL3142 5829
RC 6, 16	RES 220E 0,1W SMD	SAL3142 5815
RC 8, 9, 44, 46	RES 2,2K 0,1W CHIP	SAL3142 5828
RC 11	RES 47 K 0,125W CHIP	SAL3142 5615
RC 12	RES 1 K 0,1W CHIP	SAL3142 5820
RC 13	RES 390E 0,1W CHIP	SAL3142 5816
RC 14, 17	RES 560 E CHIP	SAL3142 5818
RC 15	RES 1,2K 0,125W	SAL3142 5822
RC 18	RES 10K 0,125W	SAL3142 5635
RC 19	RES 820K 0,1W	SAL3142 5885
RC 20	RES 180E 0,1W CHIP	SAL3142 5854
RC 23	RES 470 E 0,1W SMD	SAL3142 5817
RC 24, 43, 48	RES 100E 0,1W CHIP	SAL3142 5852
RC 39	RES 39K 0,1W CHIP	SAL3142 5841
RC 40	RES 6,8K 0,1W CHIP	SAL3142 5831
RC 42	RES 47K 0,1W CHIP	SAL3142 5836
RC 45, 47	RES 330E 0,1W 5% CHIP	SAL3142 5857
RC 49	R SMD 47R 5% 0W1	SAL3142 5809



CAPACITORS

CC 3, 11, 41, 44	CAP 10PF 50V SMD	SAL3212 5506
CC 5	C CER SMD 1N0 2% 50V	SAL3219 0023
CC 12, 17,		
21, 23, 33	C ELYT 47U 20% 50V	SAL3454 0028
CC 13, 20, 22, 29	CAP 100NF 50V CER	SAL3253 5920
CC 18, 26, 28,		
32, 40, 48	C CER SMD 100N K 25V	SAL3279 0018
CC 24, 27, 47	C ELYT 10U 20% 63V	SAL3454 0025
CC 31	C CER SMD 470N 80/20% 50	SAL3279 0012
CC 35, 36	C CER SMD 56P 5% 50V	SAL3212 5526
CC 38, 42, 45	C CER SMD 68P 5% 50V	SAL3212 5516
CC 43, 46	CAP 22PF 50V	SAL3212 5521
TC 3, 7, 9, 10	TRANS BC 847B	SAL3614 5312
TC 4, 6, 8, 11, 12	TRANS BC 857B CHI	SAL3614 5412
TC 5	TR NPN SMD BF599 25V 25M	SAL3628 0003
IC 1	IC HEF 4053BT MOS	SAL3771 5194
IC 2	IC MC141627 QFP48	SAL3744 0054
LC 1, 5, 6	CHOKE 10 UH	SAL4557 1699
LC 2	COIL 15UH 10% 610MA	SAL4563 0004
LC 3, 7, 8	COIL 10UH 10% 230MA	SAL4563 0002
LC 4	COIL 6,8 UH K 250MA RAD	SAL4562 0017



Item	Description	Order no.
DB710 Feature module		
RESISTORS 		
RDB 1, 2, 71, 91	RES 820R 0,1W CHIP	SAL3142 5819
RDB 3, 107,		
108, 109	RES 75R 0,1W CHIP	SAL3142 5861
RDB 4, 103	RES 10R 0,1W CHIP	SAL3142 5810
RDB 5, 12, 15, 22,		
25, 32,66,		
144, 145, 146	RES 15K 0,1W CHIP	SAL3142 5835
RDB 6,13,16,		
23,73,75	RES 4K7 0,1W CHIP	SAL3142 5824
RDB 7, 17, 27, 155	R SMD 22R 5% 0W1	SAL3142 5849
RDB 8, 10, 14, 18, 20,		
24, 28, 30	RES 470R 0,1W SMD	SAL3142 5817
RDB 9, 21, 29	RES 180R 0,1W CHIP	SAL3142 5854
RDB 19	R SMD 240R 5% 0,065W	SAL3149 0085
RDB 31,102,		
11,113,118	RES 220R 0,1W SMD	SAL3142 5815
RDB 33, 177, 26	RES 3K9 0,1W CHIP	SAL3142 5830
RDB 34	RES 560R CHIP	SAL3142 5818
RDB 62, 157, 158	RES 2K2 0,1W CHIP	SAL3142 5828
RDB 63	RES 39K 0,1W CHIP	SAL3142 5841
RDB 64	RES 33K 0,1W CHIP	SAL3142 5840
RDB 68	RES 39K 0,1 W 2% SMD	SAL3149 0005
RDB 69,70,80,81,		
153,154,178,		
179,212,213	RES 100R 0,1W CHIP	SAL3142 5852
RDB 72	RES 100K 0,1W CHIP	SAL3142 5844
RDB 84, 86, 195,		
209,210, 211	RES 0R0 0,1W JUMPER	SAL3142 5802
RDB 94,95,96,		
97,98,99	R SMD 200R 5% 0W1	SAL3149 0067
RDB 100, 101, 104	RES 150R 0,1W CHIP	SAL3142 5812
RDB 105, 115,		
116, 117	RES 33R 0,1W CHIP	SAL3142 5808
RDB 106	RES 1M 0,1W CHIP	SAL3142 5801
RDB 114, 119	RES 330R 0,1W 5% CHIP	SAL3142 5857
RDB 120, 214,		
215, 67	RES 10K 0,1W CHIP	SAL3142 5833
RDB 150, 152,		
156, 159,		
160, 161, 191,		
192,193, 194	RES 1 K 0,1W CHIP	SAL3142 5820
RDB 151, 65	RES 3K3 0,1W CHIP	SAL3142 5829
CAPACITORS 		
C 212	ECAP 10MF 16V	SAL3422 3249
C 214	C ELYT 4U7 20% 63V	SAL3454 0024
CDB 3, 5, 8, 11, 12,		
14,17, 19, 20,		
21, 22, 23, 24,		
25, 27, 28,29,		
30, 34, 35, 38,		
39, 40, 41, 42,		
44, 45, 47, 48,		
50, 52, 54, 56,		
63, 73, 83, 91,		
98, 101, 102, 103,		
104, 105, 112,		
120, 122, 153,		
164,166,217	CAP 100NF 50V CER	SAL3253 5920
CDB 18, 36, 37, 49, 62,		
72, 80, 82, 121,		
163, 165, 216	C EL RD 100U M 25V	SAL3454 0020
CDB 43, 46,		
60, 70, 90	C ELYT 22U 20% 16V	SAL3454 0009
CDB 51	C ELYT 47U 20% 50V	SAL3454 0028
CDB 53, 55, 69, 79,		
89, 213, 215	C ELYT 1UF 63V	SAL3454 0022
CDB 57, 58, 59	CAP 1NF 50V	SAL3253 6203
CDB 61, 71,		
81, 210, 211	CAP 10NF 50V CHIP	SAL3253 5918

Item	Description	Order no.
CDB 64, 74,		
86, 151	CAP 82PF 50V CHIP	SAL3212 5531
CDB 65, 75	CAP 6,8PF 50V SMD	SAL3219 0009
CDB 66, 76	CAP 180P 50V 2% SMD	SAL3219 0019
CDB 67, 77, 95, 96,		
115, 203	CAP 22PF 50V	SAL3212 5521
CDB 68, 78, 88	C CER SMD 68P 5% 50V	SAL3212 5516
CDB 84	CAP 33PF 50V CHIP	SAL3212 5507
CDB 85	C CER SMD 5P6 5% 50V	SAL3219 0017
CDB 111, 119,		
150, 204	CAP 100PF 50V	SAL3212 5515
CDB 114	CAP 18 PF 50V CHIP	SAL3212 5520
CDB 116, 117, 118	C CER SMD 3P9 5% 50V	SAL3219 0015
CDB 139	CAP330NF 25V SMD	SAL3279 0002
CDB 152	C CER SMD 120P 5% 50V	SAL3212 5523
CDB 167, 168, 169	CAP 2N2 50V 2% SMD	SAL3219 0026
CDB 202	C CER SMD 12P 5% 50V	SAL3212 4707
CDB 205, 209	CAP 39PF 50V	SAL3212 5512
CDB 206	CAP 10PF 50V SMD	SAL3212 5506
CDB 207	CAP 15 PF 50V	SAL3212 5510
CDB 208, 87	CAP 27PF 50V CHIP	SAL3212 5509
TRANSISTORS 		
T 16, 17	N-FET SMD 2N7002 60V 180	SAL3638 0002
TDB 1, 9,		
13, 14, 15	BC847B	SAL3614 5312
TDB 2, 3, 4, 5, 6, 7	BFS20 R	SAL3612 0719
TDB 18	NPN SMD BF599 25V 25M	SAL3628 0003
TDB 19	BF824 CHI	SAL3612 0751
DIODES 		
DDB 9	DIODE LS4148 75V 200MA	SAL3649 0002
INTEGRATED CIRCUITS 		
CDB 1	PQ05RH11 5V	SAL3746 0008
ICDB 2	LOGIG SMD 74F14 SO14	SAL3781 0005
ICDB 3	EEPROM 24LCS21A SMD	SAL3786 6003
ICDB 4	LD1117DT33 3V3 SMD	SAL3746 0023
ICDB 9	TLC5733	SAL3788 0013
ICDB 10	IQT V2.1 SMD	SAL3787 7005
ICDB 11	DPLL1.02 SMD	SAL3787 7004
ICDB 14, 24	TMS YC2972	SAL3786 2003
ICDB 17	TDA9151 N3 DIL20	SAL3745 0001
ICDB 28	74F30 SO14 SMD	SAL3781 0021
COILS 		
LDB 1, 2,		
14, 15, 16	CHOKE 10 UH	SAL4557 1699
LDB 3, 4, 5, 13, 17	COIL SMD 10UH 10% 180MA	SAL4564 0002
LDB 6, 8	COIL 33UH 5MA SMD	SAL4562 0041
LDB 7, 9	COIL 27UH 5MA SMD	SAL4562 0040
LDB 10, 11, 12	COIL SMD 12UH 10% 15MA	SAL4564 0005
LDB 26	COIL 1.5UH SMD	SAL4564 0018
LDB 27	COIL 3,3 UH	SAL4543 4016
LDB 28, 29	COIL 2,2UH 10% 270MA SM	SAL4564 0001
LDB 30	CHOKE 10 UH	SAL4557 1699
OTHERS 		
ZDB 1	QUARTZ 27.000MHZ	SAL4573 0007
QB 101, 102	CONNECTEUR FEM 16C	SAL4145 8102
QB 104	CONN D-TYPE 15-N VGA	SAL4172 0017
QB 105	CABLE ASS 6-P 230mm	SAL4758 0085
	FRONT PANEL-2 FEAT. BOX	SAL8357 8805
	BOTTOM FEATURE BOX	SAL8357 8807
	COVER FEATURE BOX	SAL8681 7492


Item	Description	Order no.
FC700 Control module		
RESISTORS 		
RFC 1, 2, 10, 32	RES 47K 0,125W CHIP	SAL3142 5639
RFC 3, 4	RES 75R 0.25W CHIP	SAL3142 5669
RFC 9	R SMD 270R J 0W25	SAL3142 5613
RFC 11, 16	RES 15K 0,125W CHIP	SAL3142 5637
RFC 12, 31, 38, 41, 43, 47	RES 1K 0,125W SMD	SAL3142 5622
RFC 13	R SMD 330R J 0W25	SAL3142 5614
RFC 14, 46	RES 100K 0,125W CHIP	SAL3142 5646
RFC 15, 19, 20, 37, 39	RES 10K 0,125W	SAL3142 5635
RFC 21, 22	R CARF 2K2 5% 0W25	SAL3166 0037
RFC 23, 24	RES 220R	SAL3163 0051
RFC 26, 27	R CARF AX 100R 0W25	SAL3166 0049
RFC 28	0W25 330R 5% R CARF	SAL3166 0012
RFC 29	RES 4K7 0,125W CHIP	SAL3142 5629
RFC 33, 34	RES 560K 0W25 SMD	SAL3142 5683
RFC 45, 48, 49	R SMD 1M8 J 0W25	SAL3142 6238
RFC 42	RES 1K8 0W25 SMD	SAL3142 5620
CAPACITORS 		
CFC 1  , 2 	C MP/P 100N M 275VAC	SAL3326 0003
CFC 5, 7	C CER SMD 4N7 10% 50V	SAL3279 0007
CFC 8, 20, 28	C ELYT 10U 20% 35V	SAL3454 0027
CFC 9, 10, 12, 13	CAP 390P 5% 50V SMD CER	SAL3212 5646
CFC 11, 16, 17, 18, 19, 32	CAP 10NF 50V CHIP	SAL3253 5918
CFC 14, 15	C EL RD 100U M 25V	SAL3454 0020
CFC 21, 22	C CER 15P 5% 50V	SAL3218 0003
CFC 23	C ELYT 220UF 16V 13X17	SAL3451 0003
CFC 24, 26	CAPACITOR 0,33MF 250V	SAL3324 0928
CFC 27	C ELYT 22U 20% 35V	SAL3454 0021
CFC 29, 31	C ELYT 1UF 63V	SAL3454 0022
CFC 35	ECAP 470MF 10V	SAL3422 1242
TRANSISTORS 		
TFC 1, 2	BC857B	SAL3614 5412
TFC 3, 6	BC847B	SAL3614 5312
DIODES 		
DFC 4	LED LS5460HL	SAL3691 0004
DFC 6, 7, 8, 9	BY527 1K25V 2	SAL3661 0001
DFC 11	TRC BT137 600V 8A	SAL3610 4002
DFC 12, 13	SMD LS4148 75V 200MA	SAL3649 0002
DFC 16	LED TLDR4900 RED 3MM	SAL3691 0014
DFC 17	LED LG5460GK	SAL3691 0005
DFC 18	BAV 70 SMD	SAL3656 1954
HFC 1, 2	IR RECEIVER SFH506 38	SAL3694 0001
INTEGRATED CIRCUITS 		
ICFC 1	HEF4011BP MOS	SAL3771 0240
ICFC 3  , 4 	OPTO COUPL TCDT1101G	SAL3695 0003
ICFC 5	TLP168J 11-4C3	SAL3695 0006
COILS 		
LFC 1, 2	SPULE 39UH M 2500MA	SAL4562 0044
LFC 3, 4, 7, 8, 9	COIL 10UH 10% 230MA	SAL4563 0002
LFC 5, 6	COIL 2.2UH 10% 520MA	SAL4563 0003
MFC 1-1 	COIL MAINS TJ1853	SAL4539 0013
FUSES 		
FFC 1 	FUSE T3.15A HIGH BREAK 5	SAL4375 1652
DFC 11	FASTENING SPRING	SAL6157 2387
FFC 1	FUSEHOLDER CLIPS5X20mm	SAL4154 0001


Item	Description	Order no.
OTHERS 		
DZFC 1	ZDIODE BZX83C 5V1 5% 400	SAL3656 3937
SWFC 1, 2, 3, 4	SWITCH, MICRO 4X	SAL4115 0685
UFC 1-1 	MAIN SWITCH	SAL4121 0004
XA 5	WIRE BUNDLE 12PIN	SAL4889 9807
XA 4	WIRE BUNDLE 8-PIN 600mm	SAL4889 9815
XFC 10	CONN. PHONO 3.5mm JACK	SAL4191 0001
XFC 9-4	CONN. S-VHS	SAL4145 2244
XFC 6-3	SOCKET CYNCH 3FOLD	SAL4143 0747
	MODULE SUPPORT	SAL8681 5351
	TOUCH PROTECTION	SAL8448 0160




HH703/705 CRT-module

RESISTORS 		
RH 1, 6, 7, 8, 37	RES 2K2 0,1W CHIP	SAL3142 5828
RH 2	RES 750R 0,125W CHIP	SAL3142 5656
RH 3, 12, 16	RES 820R 0,25W 5% FP	SAL3163 0044
RH 4, 13, 17	RES 68K 1W	SAL3144 0008
RH 9, 11, 14	RES 1K5 5% SMD	SAL3142 5826
RH 10	RES 1M 0,1W CHIP	SAL3142 5801
RH 15	RES 470K 0,1W CHIP	SAL3142 5848
RH 18, 19, 21, 22, 23, 24	0W25 C F RES 470R 5%	SAL3166 0014
RH 26	R CARF 33K 5% 0W25 FP	SAL3163 0036
RH 27	R CARF 4M7 5% 0W25	SAL3166 0029
RH 28, 33	RES 1K5 0,5 W	SAL3159 4639
RH 29	R CARF 18K 5% 0W25	SAL3166 0040
RH 31	R SMD 22R 5% 0W1	SAL3142 5849
RH 36	RES 100K 0,1W CHIP	SAL3142 5844
RH 38	RES 470R 0,1W SMD	SAL3142 5817
RH 39	RES 1K 0,1W CHIP	SAL3142 5820
RH 40	RES 100R 0,1W CHIP	SAL3142 5852
CAPACITORS 		
CH 1	C ELYT 47U 20% 16V	SAL3454 0019
CH 2, 3, 7, 8, 12, 13	C CER SMD 22N 10% 50V	SAL3253 5914
CH 4, 9, 14, 19	C MKT 22N 10% 250V	SAL3338 0002
CH 5, 10, 15	C CER SMD 68P 5% 50V	SAL3212 5516
CH 6, 11, 16	CAP 1NF 50V	SAL3253 6203
CH 17	C ELYT 4U7 250V 11x13 HV	SAL3461 0001
CH 18	C ELYT 10U 20% 250V	SAL3461 0002
CH 20	C CER 68P 5% 50V	SAL3218 0009
CH 21	C MKT 220N 10% 63V	SAL3312 7108
CH 22	C MKT 8N2 10% 1K5V	SAL3336 0007
CH 23, 24, 25	CAP 150PF 50V CHIP	SAL3212 5511
CH 27	C ELYT 10U 20% 63V	SAL3454 0025
CH 28	C EL RD 100U M 25V	SAL3454 0020


TRANSISTORS 		
TH 1	BF422	SAL3612 5217
TH 2	BC857B CHI	SAL3614 5412


DIODES 		
DH 1, 2	BYV36C 600V 1	SAL3657 5452
DH 3, 4	SMD LS4148 75V 200MA	SAL3649 0002
	BZX83C 15V	SAL3677 0017

COILS 		
LH 1, 6	COIL 10UH 10% 230MA	SAL4562 0003
LH 2 *, 3 *, 4 *	CHOKE 2,2 UH	SAL4557 1751
LH 2 *, 3 *, 4 *	CONNECTION WIRE 12,5mm	SAL4131 4404

Item	Description	Order no.
OTHERS 		
	IC TDA6111 N3 DBS9	SAL3744 0004
	PICTURE TUBE SOCKET28	SAL4155 4034
	WIRE BUNDLE 10-PIN 430	SAL4889 9834
XH 1-1	WIRE BUNDLE 6-PIN 370mm	SAL4889 9812
XH 2-1	WIRE BUNDLE 10-PIN 400mm	SAL4889 9811


SW700 140V Switch module

RESISTORS 		
RSW 1, 5	R CARF 220K 5% 0W25 FP	SAL3163 0045
RSW 2	SWID 4K7 0,25W	SAL3151 4522
RSW 3	FUSE RES 0R47 0,25W	SAL3151 4520
RSW 4	SRES 1K 0,25WW	SAL3151 4519
RSW 6	R CARF 2K2 5% 0W25 FP	SAL3163 0050
RSW 7	R CARF 4K7 5% 0W25	SAL3166 0031


CAPACITORS 		
CSW 1	C ELYT RD 100U M 25V	SAL3454 0020
CSW 2	C MKT 22N 10% 250V	SAL3338 0002

TRANSISTORS 		
TSW 1	BUK457 400V	SAL3637 0003
TSW 2	BC557B	SAL3614 6424
TSW 3	BF422	SAL3612 5217

DIODES 		
DSW 2, 3	1N4937	SAL3657 5353
DZSW 1	BZX83C 12	SAL3677 0012


OTHERS 		
LSW 1	COIL 280UH	SAL4561 0004
	F-CONNECTOR 7-PIN	SAL4175 0001
	MODULE SUPPORT	SAL8318 6233


SW710 140V Switch module

RESISTORS 		
RSW 1, 5	R CARF 220K 5% 0W25 FP	SAL3163 0045
RSW 2	R CARF 4K7 5% 0W25 FP	SAL3151 4522
RSW 3	R CARF 470R 5% 0W25 FP	SAL3151 4520
RSW 4,15	R CARF 1K0 5% 0W25 FP	SAL3151 4519
RSW 6	R CARF 2K2 5% 0W25 FP	SAL3163 0050
RSW 7	R CARF 4K7 5% 0W25	SAL3166 0031
RSW 8	R CARF 1M0 5% 0W25	SAL3166 0028
RSW 10	R METF 10K0 F 0W60	SAL3144 0053
RSW 11,12	R WRLAC 1R5 5% 4W0	SAL3136 0002
RSW 13	R METF 100K F 0W60	SAL3142 1248
RSW 14	R CARF 5K6 5% 0W25 FP	SAL3163 0028
RSW 16	R CARF 47R 5% 0W25	SAL3166 0009
RSW 17	R CARF 220R 5% 0W25	SAL3166 0036
RSW 18	R COMP 10K K 0W50 HV	SAL3161 0013


CAPACITORS 		
CSW 1,4	C ELYT 100U M 25V 2R	SAL3454 0020
CSW 2	C (M)KT RAD 22N K 250V 2R	SAL3338 0002
CSW 3	C (M)KT RAD 470N M 63V 2R	SAL3312 4503


TRANSISTORS 		
TSW 1	BUK457 400V	SAL3637 0003
TSW 2,4,5	BC557B	SAL3614 6424
TSW 3	BF422	SAL3612 5217

DIODES 		
THSW 1	BT137 600V 8A	SAL3610 4002
DSW 2,3	1N4937	SAL3657 5353
DZSW 1	BZX83C 12V 5%	SAL3677 0012
DZSW 2	BZX83C 15V 5%	SAL3677 0017

OTHERS 		
DSW 4	TL431CLP	SAL3741 0012
LSW 1	COIL 280uH	SAL4561 0004
XSW 1	F-CONN 7-N	SAL4175 0001
XSW 2	CONNFOR PCB MALE	SAL4193 0001
	PCB HOLDER	SAL8448 1650

TA700 Audio output module


RESISTORS 		
RTA 1	SWID 2R2 J0W125P SMD	SAL3181 0001
RTA 2, 13,		
14, 21, 36	RES 470R 0,1W SMD	SAL3142 5817
RTA 3, 4, 5,		
15, 16, 22	RES 33K 0,1W CHIP	SAL3142 5840
RTA 17, 18	RES 1M 0,1W CHIP	SAL3142 5801
RTA 19, 20	RES 220K 0,1W CHIP	SAL3142 5847
RTA 23	RES 27K 0,1 W CHIP	SAL3142 5839
RTA 24, 31	RES 100K 0,1W CHIP	SAL3142 5844
RTA 25, 33, 34	RES 10K 0,1W CHIP	SAL3142 5833
RTA 26	R SMD 10K0 1% 0W1	SAL3149 0057
RTA 27	R SMD 12K1 1% 0W1	SAL3149 0051
RTA 28	RES 390R 0,1W CHIP	SAL3142 5816
RTA 29	R SMD 464R 1% 0W1	SAL3149 0044
RTA 30	RES 120 K CHIP	SAL3142 5845
RTA 32	R SMD 680K 5% 0W1	SAL3149 0059

CAPACITORS 		
CTA 1, 6, 11,		
13, 16, 19	C CER SMD 100N K 25V	SAL3279 0018
CTA 2	C ELYT 10U 20% 16V	SAL3454 0032
CTA 3, 4,		
15, 17, 18	C ELYT 22U 20% 16V	SAL3454 0009
CTA 5	C ELYT 47U M 16V 2R	SAL3454 0045
CTA 7, 8	C ELYT 1U0 20% 50V	SAL3454 0030
CTA 9, 10	CAP 10 NF 50V CHIP	SAL3253 6213
CTA 12	C ELYT 100MF 16V	SAL3454 0031
CTA 14	C CER SMD 470P 5% 50V	SAL3219 0013

TRANSISTORS 		
TTA 1, 2, 8, 9	N-FET SMD 2N7002 60V 180	SAL3638 0002
TTA 3, 4, 6, 7	BC 847B	SAL3614 5312
TTA 5	BC 857B CHI	SAL3614 5412

DIODES 		
DTA 1	SMD LS4148 75V 200MA	SAL3649 0002
DTA 2, 3	WID 0 E 0,125W CHIP JUMP	SAL3142 5601

INTEGRATED CIRCUITS 		
ICTA 1	TL082CD SO SMD	SAL3747 0003
ICTA 2	LM358 SMD SO8	SAL3747 0008

Item	Description	Order no.
OTHERS 		
LTA 1, 2, 3, 4	COIL 10UH 10% 230MA	SAL4562 0003
XT 7	CONNECTOR RCA RED	SAL4192 0001
XT 8	CONNECTOR RCA WHITE	SAL4192 0002

VD705 Vertical dumping module


PVD 1	CAP 10N 250V	SAL3345 0057
RVD 2, 3, 4	RES 820R 0,25W 5% FP	SAL3163 0044
RVD 5	RES 100RJ 3W0 MET	SAL3144 0043
	SRES 27R 0,25W	SAL3186 0001


VD710 Vertical dumping module

RVD 2, 3, 4, 5, 6	WID 680R 5% 0,25W	SAL3163 0043
RVD 7	SRES 27R 0,25W	SAL3186 0001
CVD 1	CAP 10N 250V	SAL3345 0057

VM600 SVM-module

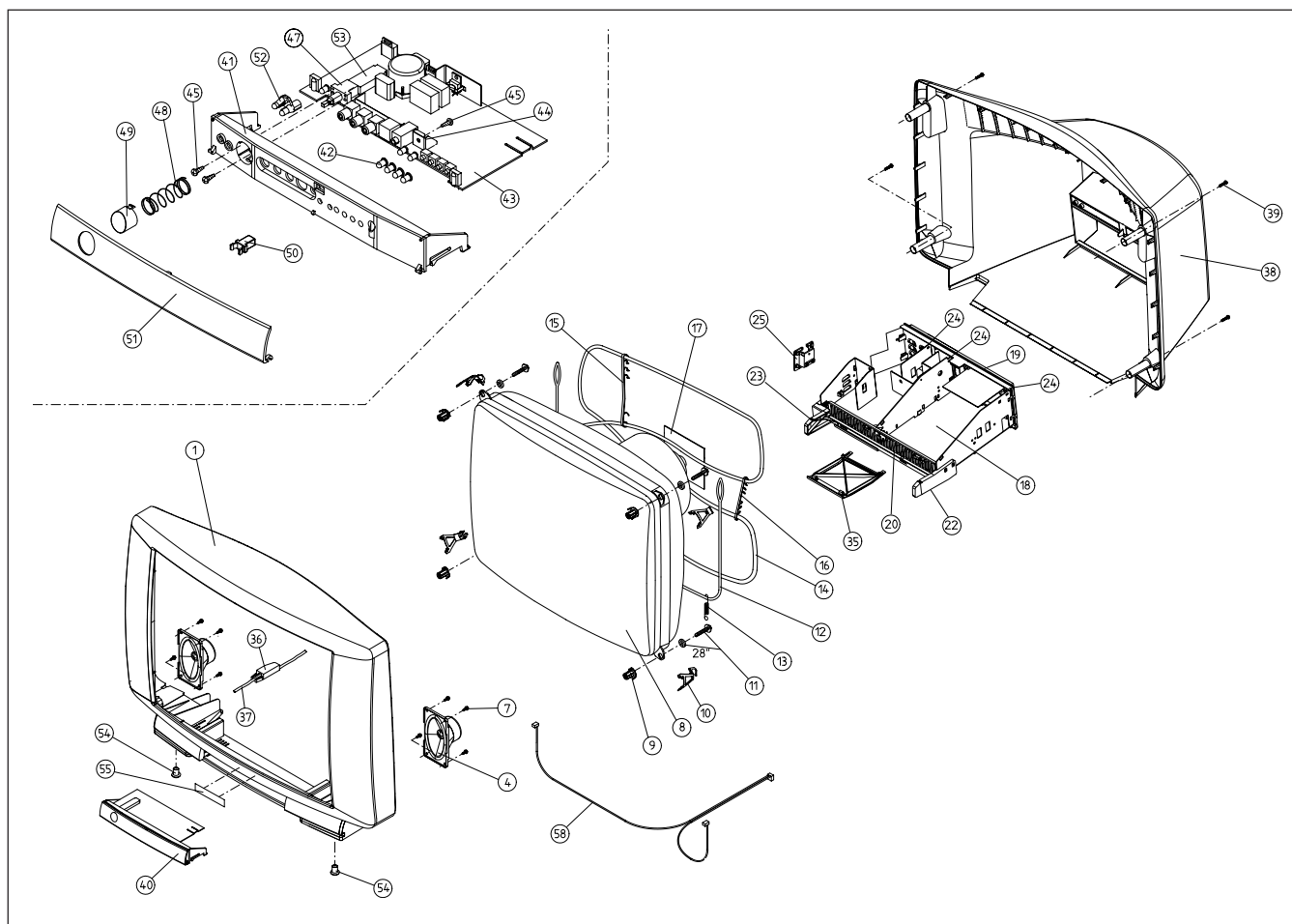
RESISTORS 		
RVM 1	RES 3K9 0,1W CHIP	SAL3142 5830
RVM 2, 11, 12	RES 470R 0,1W SMD	SAL3142 5817
RVM 3	RES 10K 0,1W CHIP	SAL3142 5833
RVM 4, 13	RES 1K 0,1W CHIP	SAL3142 5820
RVM 6, 23, 31	SRES 100R 0,25W	SAL3151 4516
RVM 7	RES 680R 0,1 W CHIP	SAL3142 5860
RVM 8	RES 100R 0,1W CHIP	SAL3142 5852
RVM 9, 14	RES 820R 0,1W CHIP	SAL3142 5819
RVM 16, 17	R SMD 47R 5% 0W1	SAL3142 5809
RVM 18, 21	RES 6K8 0,1W CHIP	SAL3142 5831
RVM 19	RES 560R CHIP	SAL3142 5818
RVM 22	S RES 330R 0,25W	SAL3151 4524
RVM 24, 32	RES 3R3 0,25W	SAL3151 4515
RVM 26, 28	S RES 10R 0,25W	SAL3151 4513
RVM 27, 29	RES 5K6 0,1W CHIP	SAL3142 5825
RVM 33	R METF 100R F 0W60	SAL3145 0016

CAPACITORS 		
CVM 1	CAP 15 PF 50V	SAL3212 5510
CVM 2	CAP 47PF 50V CHIP	SAL3212 5508
CVM 3,6,12, 13,14,16,17	CAP 100NF 50V CER	SAL3253 5920
CVM 4	CAP 10NF 50V CHIP	SAL3253 5918
CVM 7, 8	C CER SMD 22N 10% 50V	SAL3253 5914
CVM 9	C ELYT 10U 20% 63V	SAL3454 0025
CVM 11	C ELYT 47U 20% 50V	SAL3454 0028
CVM 18	C CER SMD 2N2 10% 50V	SAL3253 5904

TRANSISTORS 		
TVM 1, 6	BF599 25V 25M	SAL3628 0003
TVM 2, 3, 4, 7	BF824 CHI	SAL3612 0751
TVM 8	BC638 60V 1A TO92	SAL3622 0004
TVM 9	BC637 60V 1a	SAL3622 0003

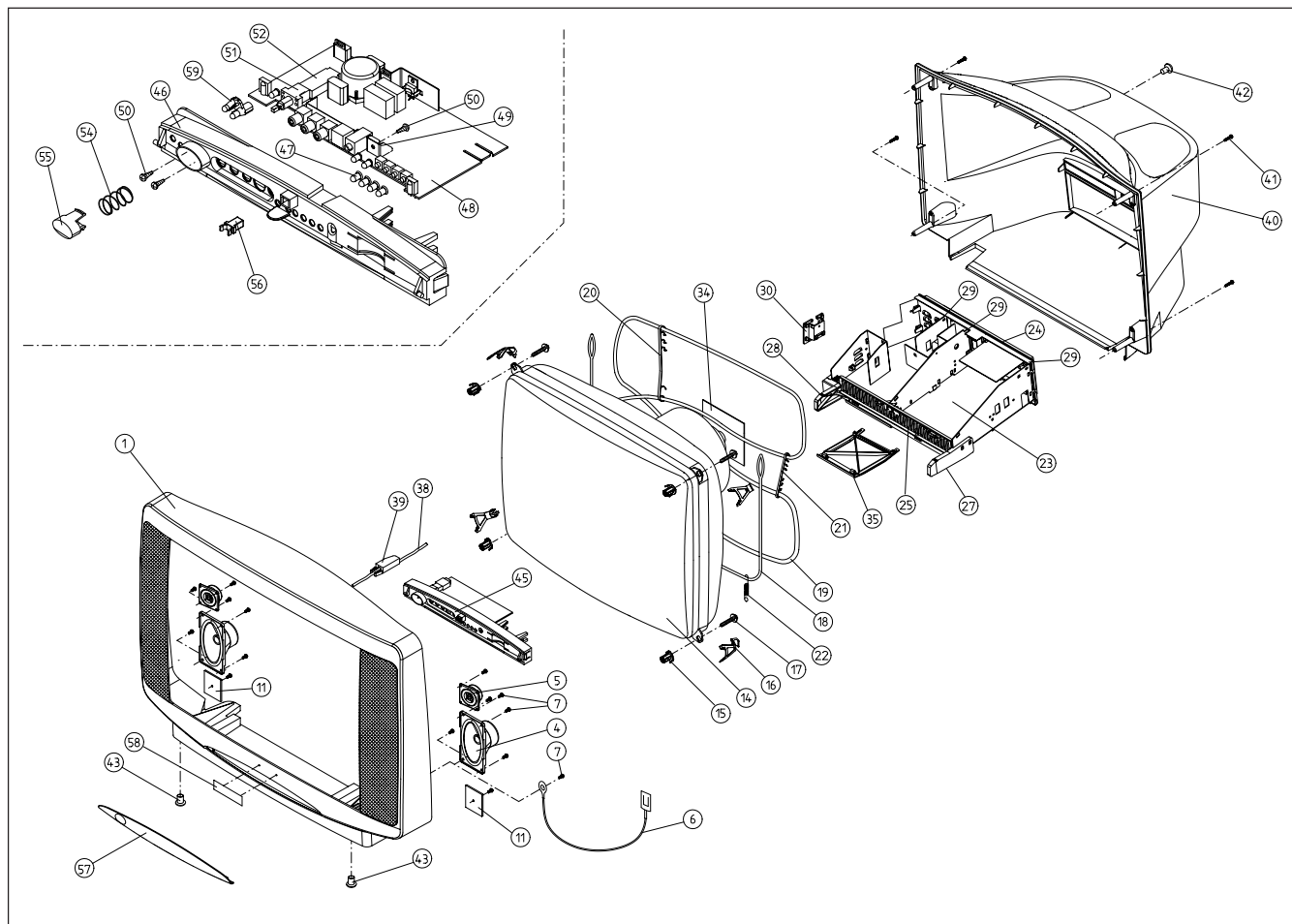
OTHERS 		
XVM 1-1	F-CONNECTOR 4-PIN	SAL4175 0003
	WIRE BUNDLE 3-PIN 150MM	SAL4889 9821

Mechanical parts 28inch TV



Item	Description	Order no.	Item	Description	Order no.
1	CABINET 28Z5 GRAPHITE GREY	SAL8410 7430	52	LIGHT CONDUCTOR MX	SAL8455 2360
4	LOUDSPEAKER 8 OHM 15W	SAL4312 0005	53	TOUCHPROTECTION	
7	PT-SCREW KB40X8 FOR SPEAKER	SAL7828 8809		FOR MAINS SWITCH	SAL8448 0160
8	⚠ PICTURE TUBE 28" PHI A66EAK552X44	SAL4362 9094	54	FOOT PAD	SAL8681 5383
9	PICTURE TUBE HOLDER	SAL8681 5349	55	BADGE HITACHI	SAL8470 1050
10	DEGAUSSING COIL HOLDER	SAL6157 2685	58	LOUDSPEAKER WIRE BUNDLE	SAL4889 9816
11	PT-SCREW K7X30 FOR PICTURE TUBE	SAL7864 0221		WIRE BUNDLE PK/Z	SAL4889 9839
12	GROUNDING WIRE	SAL6141 8807		WIRE BUNDLE PK/Z	SAL4889 9838
13	GROUNDING SPRING	SAL7358 4891	⚠	ANODE CABLE	SAL4131 4357
14	⚠ DEGAUSSING COIL , Orega	SAL4516 8817	⚠	FOCUS CABLE 1,2 410mm	SAL4131 4360
15	DEGAUSSING COIL HOLDER, LONG	SAL8681 5357	⚠	ELDOR DST CABLE 260mm	SAL4131 4361
16	DEGAUSSING COIL HOLDER	SAL8681 5358	⚠	SCREEN CABLE 460mm	SAL4131 4341
17	HH705 CRT- MODULE	SAL6913 7131		REMOTE CONTROL HITACHI RCH701	SAL5652 2587
18	CHASSIS MXEABP1 100HZ	SAL5863 1453		SLIDE COVER FOR RCH701	SAL8443 2500
19	REAR PLATE 4, VERSION C	SAL8681 7461		BATTERY COVER FOR RCH701	SAL8681 7504
20	TOUCH PROTECTION	SAL8448 8460		VD710 VERTICAL DUMPING MODULE	SAL6913 7130
22	CHASSIS HOLDER LEFT	SAL8681 5359		DB710 FEATURE MODULE IQTV2	SAL6913 7074
23	CHASSIS HOLDER RIGHT	SAL8681 5360		SW710 140V SWITCH MODULE	SAL6913 7158
24	CONNECTING PIECE 1-3	SAL8681 7349		SR702 HF-IF MODULE	SAL5825 8842
25	CONNECTING PLATE	SAL8448 8470		TA700 ADJ. AUDIO OUTPUT MODULE	SAL6913 7076
35	PROTECTION MAINBOARD	SAL8681 5353			
36	PULL RELIEF	SAL8681 7343			
37	⚠ MAINS CORD	SAL4131 4336			
38	BACK COVER 28Z5 GRAPHITE GREY	SAL6135 5246			
39	PT-SCREW KB 40X20 FOR BACK COVER	SAL6157 2700			
40	SY740 CONTROL UNIT	SAL5883 8853			
41	CONTROL UNIT FRAME	SAL8446 0900			
42	PUSH BUTTON	SAL6315 7040			
43	CONTROL MODULE FC700	SAL6913 7077			
44	MODULE SUPPORT	SAL8681 5351			
45	PT-SCREW 30X8	SAL6157 0310			
47	⚠ MAINS SWITCH	SAL4121 0004			
48	COMPRESSION SPRING	SAL7352 5407			
49	MAINS BUTTON	SAL6328 0303			
50	LOCK	SAL8448 0370			
51	CONTROL PANEL FLAP, HITACHI	SAL8450 1160			

Mechanical parts 29inch TV



Item	Description	Order no.	Item	Description	Order no.
1	CABINET 29F1 MATT DIGI BLACK	SAL6131 9115	51	⚠ MAINS SWITCH	SAL4121 0004
4	LOUDSPEAKER 8 15W	SAL4312 0005	52	TOUCH PROTECTION	
5	TWEETER 8	SAL4311 9567		FOR MAINS SWITCH	SAL8448 0160
6	GROUNDING WIRE	SAL8681 5378	54	COMPRESSION SPRING	SAL7352 5407
7	PT-SCREW KB40X10 FOR SPEAKER	SAL6157 2699	55	MAINS BUTTON	SAL6318 4711
11	AJ603 GROSSOVER NETWORK	SAL6913 4784	56	LOCK	SAL8681 5361
14	⚠ PICTURE TUBE 29" A68EGD038X322	SAL4364 2907	57	FLAP F1 HITACHI 100Hz	SAL8450 0930
15	PICTURE TUBE HOLDER	SAL8681 5349	58	BADGE HITACHI	SAL8470 1050
16	DEGAUSSING COIL HOLDER	SAL8681 5381	59	LIGHT CONDUCTOR MX	SAL8455 2360
17	PT-SCREW K70X30 FOR PICTURE TUBE	SAL7864 0221		LOUDSPEAKER WIRE BUNDLE	SAL4131 4384
18	GROUNDING WIRE	SAL6141 8812		WIRE BUNDLE PK/Z	SAL4889 9817
19	⚠ DEGAUSSING COIL, Orega	SAL4516 8817		WIRE BUNDLE PK/K	SAL4889 9837
20	DEGAUSSING COIL HOLDER, LONG	SAL8681 5357	⚠	ANODE CABLE	SAL4131 4357
21	DEGAUSSING COIL HOLDER	SAL8681 5358	⚠	FOCUS CABLE 1,2 410mm	SAL4131 4360
22	GROUNDING SPRING	SAL7358 4891	⚠	ELDOR DST CABLE 260mm	SAL4131 4361
23	CHASSIS MXEABC2	SAL5863 1415	⚠	SCREEN CABLE 460mm	SAL4131 4341
24	REAR PLATE 4, VERSION C	SAL8681 7461		REMOTE CONTROL HITACHI RCH701	SAL5652 2587
25	TOUCH PROTECTION	SAL8448 8460		BATTERY COVER FOR RCH701	SAL8681 7504
27	CHASSIS HOLDER LEFT	SAL8681 5359		SLIDE COVER FOR RCH701	SAL8443 2500
28	CHASSIS HOLDER RIGHT	SAL8681 5360		VD705 VERTICAL DUMPING MODULE	SAL6913 7111
29	CONNECTING PIECE 1-3	SAL8681 7349		DB710 FEATURE MODULE IQTV2	SAL6913 7074
30	CONNECTING PLATE	SAL8448 8470		VM600 SVM-MODULE	SAL6913 4737
34	HH703 CRT-MODULE	SAL6913 7113		CF700 COMB FILTER MODULE	SAL6913 7107
35	PROTECTION MAINBOARD	SAL8681 5353		SW700 140V SWITCH MODULE	SAL6913 7119
38	⚠ MAINS CORD	SAL4131 4336		SR702 HF-IF MODULE	SAL5825 8842
39	PULL RELIEF	SAL8681 7343		TA700 ADJ. AUDIO OUTPUT MODULE	SAL6913 7076
40	BACK COVER 29F1 MATT DIGI BLACK	SAL6135 5242			
41	PT-SCREW KB 40X20 FOR BACK COVER	SAL6157 2700			
42	BLUG FOR BACK COVER	SAL8681 7379			
43	FOOT PAD	SAL8681 5383			
45	SY700 CONTROL UNIT	SAL5883 8848			
46	CONTROL UNIT FRAME	SAL8446 0790			
47	PUSH BUTTON	SAL6315 7040			
48	CONTROL MODULE FC700	SAL6913 7077			
49	MODULE SUPPORT	SAL8681 5351			
50	PT-SCREW 30X8	SAL6157 0310			

HITACHI

Hitachi, Ltd. Tokyo, Japan

International Sales Division
THE HITACHI ATAGO BUILDING,
No. 15 – 12 Nishi Shinbashi, 2 – Chome,
Minato – Ku, Tokyo 105-8430, Japan.
Tel: 03 35022111

HITACHI HOME ELECTRONICS (EUROPE) LTD.

Dukes Meadow
Millboard Road
Bourne End
Buckinghamshire
SL8 5XF

UNITED KINGDOM
Tel: 01628 643000
Fax: 01628 643400

Email: consumer-service@hitachi-eu.com

HITACHI HOME ELECTRONICS (HELLAS) S. A.

Faliroy 91
11741
Athens

GREECE

Tel: 01-9242620

Fax: 01-9240789

Email: dimitra.vlachou@hitachi-eu.com

HITACHI SALES EUROPA GmbH.

Am Seesterns 18
40547 Dusseldorf

GERMANY

Tel: 02 11 – 5 29 15 – 0

Fax: 02 11 – 5 29 15 – 190

Email: HSE-DUS.Service@Hitachi-eu.com

HITACHI SALES IBERICA, S. A

Gran Via Carlos III., 101 - 1
08028 Barcelona

SPAIN

Tel: 093 409 2550

Fax: 093 491 3513

Email: rplan@hitachi-eu.com

HITACHI SALES ITALIANA SPA

Via Gulli n.39
20147 MILAN

ITALY

Tel: 02 38073415

Fax: 02 48786381/2

Email: customerservice.italy@hitachi-eu.com

HITACHI HOME ELECTRONICS (NORDIC) AB

Box 77
S-164 94 KISTA

SWEDEN

Tel: 08 562 711 00

Fax: 08 562 711 11

Email: csgswe@hitachi-eu.com

HITACHI FRANCE S.A.

BP 45, 69671 Bron Cedex
FRANCE

Tel: 04 -72.14.29.70

Fax: 04 -72.14.29.99

Email: conso-hitachi@compuserve.com

HITACHI HOME ELECTRONICS NORWAY

Brugata 14

N-0186

OSLO

NORWAY

Tel: 02205 9060

Fax: 02205 9061

Email: csgnor@hitachi-eu.com

ITEM N.V./S.A. (INTERNATIONAL TRADE FOR ELECTRONIC MATERIAL & MEDIA N.V./S.A)

UCO Tower – Bellevue,
17 – B – 9050 GENT

BELGIUM (for BENELUX)

Tel: 02 9 230 4801

Fax: 02 9 230 9680

Email: hitachi.item@skynet.be

No. 0103
DECEMBER 1998

HITACHI

CP2896TA / CP2996TA

BEDIENUNGSANLEITUNG

USER MANUAL

ISTRUZIONI PER L'USO

GEBRUIKSAANWIJZING

KULLANMA KILAVUZU

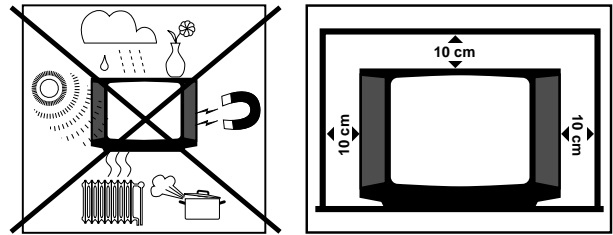


HITACHI

Before installation

Your TV set is designed to give you the highest performance combined with real ease of use - it's easy to set up, easy to use, and easy to combine with other devices. This booklet will guide you through the set-up procedure, acquaint you with the many features, provide tips on how to use the set, and tell you how to connect external devices to it.

We wish you many pleasant hours with your new TV.



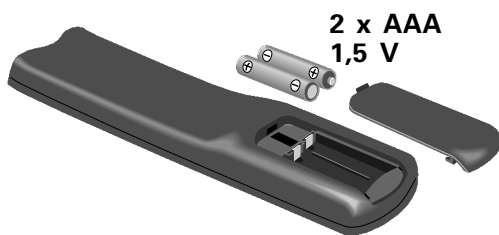
Contents

Installation, remote control unit	18
Daily use	20
Teletext	22
Timers and locks	24
Sound, picture, and display set-up	25
Tuning in programme channels	27
External devices	28
Technical data	32

Fitting and changing batteries

Remove the battery cover on the underside of the remote control unit. Insert the batteries taking care to observe the + and - markings indicated inside, then close the cover.

Note! Do not throw the batteries away with the household garbage, but take them to a special waste disposal site.



For your safety

- Locate the TV on a firm, flat and stable surface (not on carpeting).
- Do not lift the TV set by the frame around the picture tube.
- Allow space for air to pass freely through ventilation holes on the top, sides and bottom of the TV.
- Make sure the TV is at room temperature before switching it on.
- Check that your mains electricity supply is suitable for the TV, 210-240V at 50Hz.
- Unplug the receiver from the wall sockets during thunderstorms or when the TV will not be used for a long time.
- This TV is for indoor use only. Do not expose it to rain or excessive moisture.
- Before cleaning your TV, switch it off and unplug it from the wall sockets. Use a soft damp cloth and a mild solution of washing-up liquid to clean the cabinet and screen.
- Do not use petrol, thinners, alcohol, wax remover or other solvents on the TV.
- Do not place anything on top of the TV.
- Do not place anything with liquid in it above or near the TV - it could spill and cause electric shock or damage to the TV.
- Do not allow any objects, such as hairpins or coins, to get inside the TV.
- If liquid is spilt, or any objects get inside the TV, disconnect it from the wall socket and have it checked by authorised service personnel.
- Do not subject the mains lead to sharp bends, heat or chemicals. If the mains lead is damaged, disconnect it from the wall socket and have it checked by authorised service personnel.
- Do not remove the back cover of the TV. This TV has no user serviceable parts inside. Refer all servicing to authorised service personnel.
- Some radio transmitters like GSM-phones can cause a malfunction. Example: The receiver does not respond to the remote control commands. Switch off the receiver by using the mains switch, wait for about 10 seconds and switch the receiver on again.
- Do not remove the guarantee sticker from the back cover of the receiver.

Installation

Connections

Connecting the aerial cable

Connect the aerial cable to the aerial connector on the rear panel of the TV set. Use a high quality outdoor aerial to obtain the best programme reception.

Connecting a video recorder to the TV set

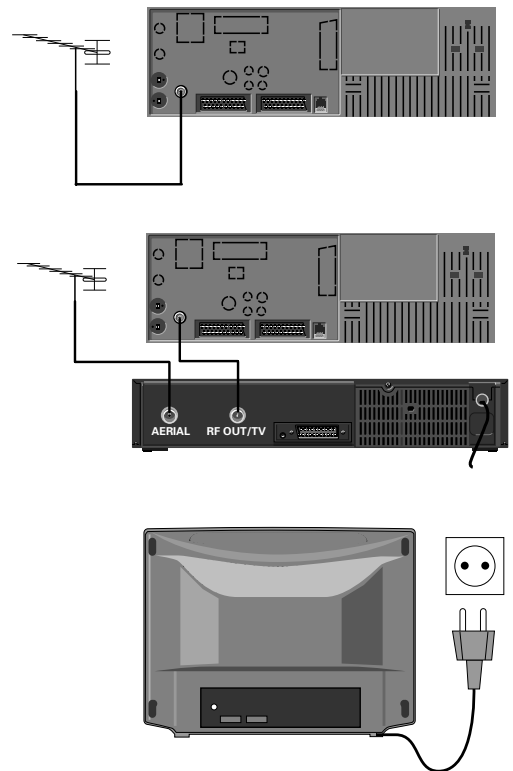
If you are connecting a video recorder as well, connect the aerial cable plug into the video recorder aerial input. Using the aerial cable supplied with the video recorder, connect the recorder aerial output to the TV set aerial input. Always follow the connections and operating instructions provided with the video recorder.

If the TV set is supplied with an additional aerial cable, use this cable between the TV set and the outdoor aerial socket. If you are connecting a VCR to the TV set, use this cable between video recorder and the TV set.

Connecting the mains plug

Connect the mains plug of the TV set to the electrical outlet after all other installation connections have been done. The required AC mains supply is 210-240 V (50Hz).

For more information on connections, see the section "External devices"



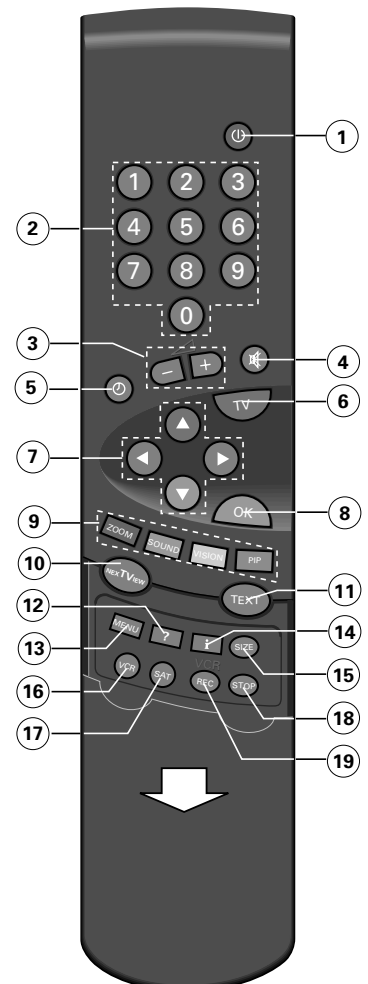
Remote control hand unit

1. Standby button - to switch off the TV set temporarily
2. Number buttons - to select a TV programme
3. Sound volume control
4. Sound mute button - to turn the sound on or off
5. Clock button - to display the current time (if a teletext service is available)
6. TV button - to switch the TV set on from the stand-by mode or to exit menus
7. Cursor buttons
 - up/down - step forward/backward
 - left/right - sound volume control
8. OK button - to store changes
9. Colour buttons
 - ZOOM (red) - to change picture format
 - SOUND (green) - to display sound controls
 - VISION (yellow) - to display picture controls
 - PIP (blue) - no function
- Colour buttons are also used to make selections in the menus
10. NexTVView - no function
11. TEXT button - to select teletext mode

Buttons located under the lid

(open the lid by pulling it down)

12. ? button - no function
13. MENU button - to display the main menu
14. i button - to select the programme list
15. SIZE button - to change teletext size
16. VCR button - see the section "Remote control of external devices"
17. SAT button - see the section "Remote control of external devices"
18. STOP button - to freeze the picture temporarily
19. REC button - to lock a programme for recording to the video recorder



First time installation

The Automatic Programming System (APSi) will automatically search for and store TV programme channels. After the search, the TV set will sort the programme channels into a factory preset order.

! First check that the aerial cable is properly connected.

1 Press the mains switch on the front panel.

2 Select the on screen language by pressing the cursor button (up or down).



Confirm the selection by pressing the OK button.



3 Select the country in which the TV set is to be used by pressing the cursor buttons.

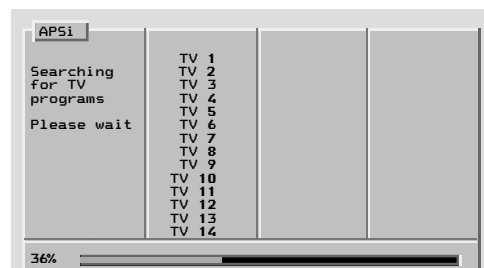


Confirm the selection by pressing the OK button.



4 WAIT! The Tv set will show the tuning scale and channel numbers which have been found. Leave the TV set to complete tuning before continuing. When the tuning scale shows 100%, all channels have been located and stored in the preset order and the TV set will display a new APSi menu.

In certain countries, (e.g. in Belgium and Netherlands) the Automatic Channel Installation function (ACI) is used on cable networks to enable fully automatic installation of programme channels including priority and names. When the ACI function occurs an information menu will be shown. If necessary, an additional menu, which includes a list of preferences e.g. living area, will appear on the screen. To continue the ACI function, enter the two digit code number which corresponds to your preferences and press the OK button.



5 To view a TV programme, press the TV button.



You can sort, name, and delete the programme list by following the instructions given in the section "Editing the programme list". If you want to tune and store more TV channels at a later date using the APSi feature, see the section "Tuning in programme channels".

Daily use

Switching on or off

To switch on

Press the mains switch on the front of the TV set. To switch on from the stand-by mode, hold the TV button down until the TV switches on or enter a number to select a programme directly.

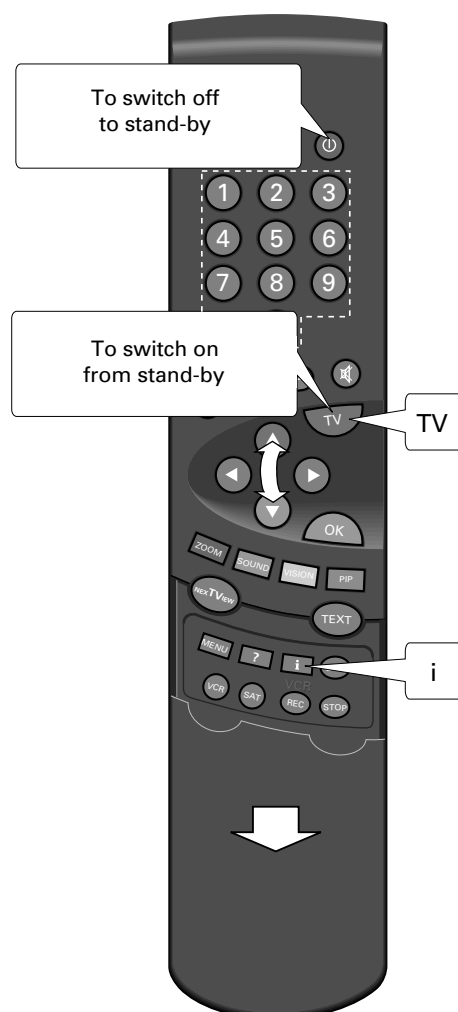
To put on stand-by

Press the stand-by button to switch off the TV set to the stand-by mode. *The TV set will switch to the stand-by mode automatically if no transmission is received for five minutes. For further information, see the section "Switching the TV set to stand-by with a timer".*

To switch off

Press the mains switch on the front panel to turn the TV set off.

If the TV set is not be used for a longer period of time, eg. overnight or during the day, switch it off by pressing the mains switch. If the TV set will not be used for an extended period of time, disconnect the mains plug and the aerial cable from the wall socket.



Selecting a TV programme

There are four alternative ways of selecting a TV programme.

A By entering a programme number

Enter a programme number with the number buttons.

B By stepping up and down

While you are watching a TV programme, select another programme by pressing the cursor button up or down.

C By scrolling the programme list

When you keep the cursor button (up or down) depressed, a programme list will appear on the screen. Let the list scroll until the programme you want is selected.

D By choosing a programme from the Information menu

Select the Information menu by pressing the i button (under the lid) and follow instructions given in the menu. To view the selected TV programme, press the TV button.

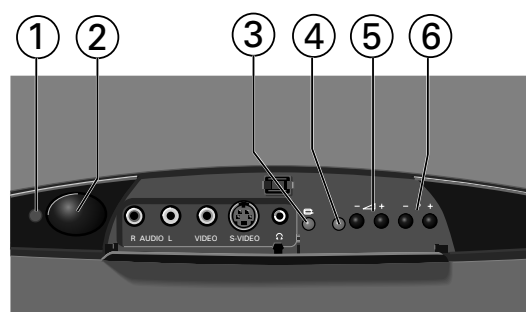
Front panel controls

The local control unit is situated behind a flap on the lower edge of the TV. The flap is opened by first pressing its top edge inwards and then by tilting it down.

Local control push buttons and indicator lights are as follows:

1. Indicates power is switched on
2. Mains switch, to turn the TV set on or off
3. Lights up when remote control is being used or copy function is activated
4. Indicates TV is switched on
5. Volume controls
6. Programme selection

The shape of the front panel may vary according to the model. However, the functions remain the same. For information on front panel connectors, see the section "External devices".



Sound controls

Volume

Use the -/+ buttons or the cursor buttons (left and right).

Sound mute button (M)

Press once to turn off the sound.

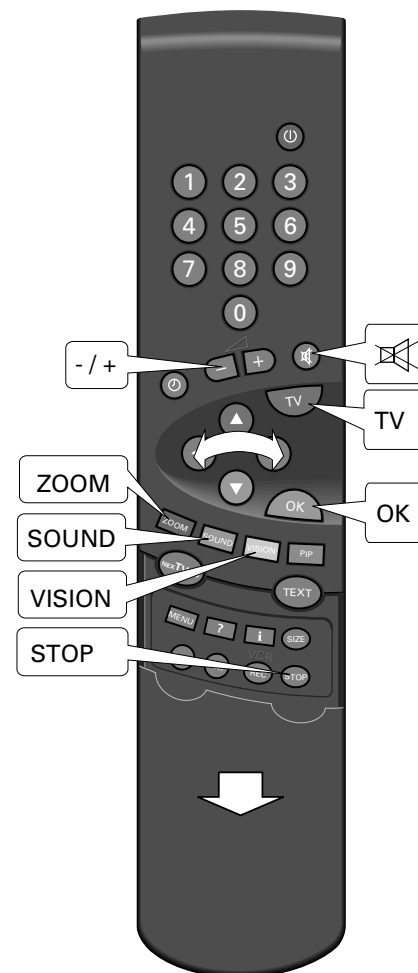
Press a second time to turn on all speakers.

If the audio out connectors (not in all models, see the section "External devices") are in use, the second press turns on the sound from the audio out connectors, and a third press turns on all speakers.

Selecting the preset sound settings

There are four preset sound settings available in the Sound menu: MUSIC, SPEECH, FLAT, and PREFERRED (adjustable).

- 1 Press the green button to select the Sound menu.
 - 2 On the menu line "Tone" select the required setting by using the cursor buttons (left or right).
 - 3 Return to TV programme reception by pressing the TV button.
- For further information, see the section "Sound and picture controls".



Picture controls

Selecting the preset picture settings

There are three preset picture settings available in the Vision menu: EVENING, DAYLIGHT, and PREFERRED (adjustable).

- 1 Press the yellow button to select the Vision menu.
 - 2 Select the required setting by pressing the cursor buttons (left or right).
 - 3 Return to TV programme reception by pressing the TV button.
- For further information, see the section "Sound and picture controls".

When the TV is switched on using the mains switch on the TV set front panel, automatic degaussing (demagnetising) is done to maintain colour purity.

Still picture

You can freeze and unfreeze the action in the picture by pressing the STOP button (under the lid).

Picture format

Picture format (the width and height ratio) selection is done automatically.

Manual picture format selection (Zoom)

Manual selection may be necessary, for example, if you are using a VCR without automatic picture format switching.

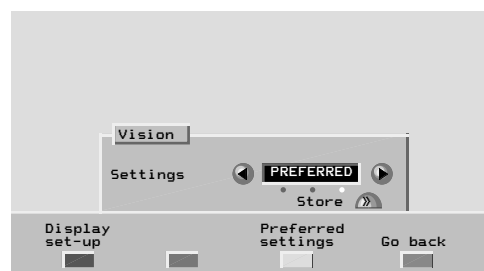
- 1 Press the red button.
- 2 Change the picture format by using the cursor button (left or right).

When the LIFT display appears on the screen you can raise or lower the picture by pressing the cursor button up or down (not in all models).

- 3 Return to TV programme reception by pressing the TV button.

Storing new picture format

If you want to store the changed picture format for the selected programme channel, press the OK button.



Additional features

Teletext

In addition to actual programmes, many TV channels offer a teletext service. Teletext contents vary from one channel to another, and a service typically covers news, weather reports, sport etc.

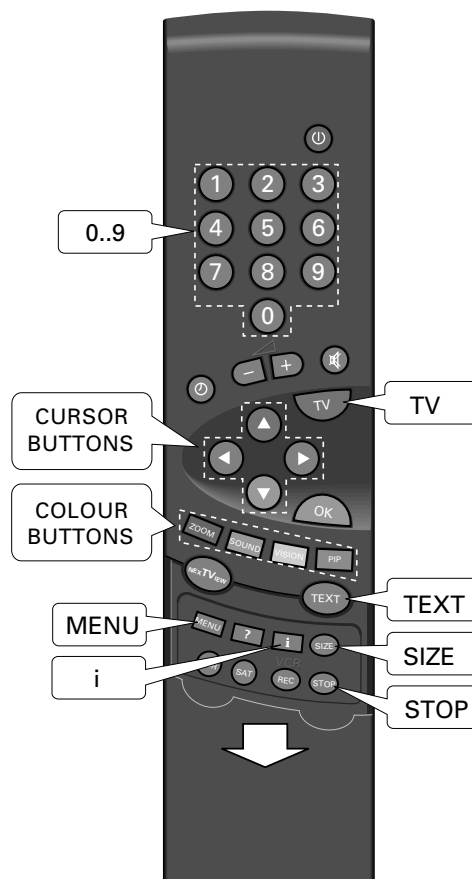
Functions on the remote **control unit**

Cursor	up/down	To step through the teletext pages
	left/right	To step through the sub-pages *)
Coloured buttons		To select favourite pages
0..9		To enter a teletext page number
TV		To return to TV programme reception
TEXT		To change to teletext reception / to show favourite page options in teletext mode

Buttons located under the lid:
(The lid is opened by pulling it down)

MENU	To display UPDATE, REVEAL, MIX and STORE options
i	To select teletext index page
SIZE	Enlargement of text to double height
	• 1st push shows the top half of the page
	• 2nd push shows the bottom half of the page
	• 3rd push returns the picture to normal size
STOP	Keeps the page on the screen

*) not available in all models, see "Sub-pages"



Reading teletext pages

- 1 Press the TEXT button to enter the teletext mode.

If the programme does not have a teletext transmission, the message "No teletext transmission" will be displayed on-screen.

- 2 Select the desired 3-digit teletext page number by using the number buttons, e.g. 123.
- 3 Select a new page by pressing the cursor button (up or down) or by entering a new page number.
- 4 Return to TV programme reception by pressing the TV button.

Selecting favourite pages

You can store your preferred teletext pages as favourite pages under up to 60 programme numbers. The stored favourite pages can be selected directly using the coloured buttons when the numbers of favourite pages are shown on the bottom of the screen. When entering the teletext mode, the teletext pages stored by the red button will be recalled instantly (see "Storing favourite pages").

Storing favourite pages

- 1 Select the programme number under which you want to store favourite pages.
- 2 Press the TEXT button to enter the teletext mode.
- 3 Select a teletext page which you want to store as a favourite page by using the number buttons.
- 4 Press the MENU button (located under the lid).
- 5 Press the blue button. The coloured fields on screen begin to flash.
- 6 Store the selected teletext page by pressing one of the coloured buttons.
- 7 You can programme a teletext page for each coloured button by repeating steps 3 to 6.
- 8 Return to TV programme reception by pressing the TV button.

Cancelling favourite pages

You can cancel a stored favourite page by storing the page number 100 instead. If you don't want to use favourite pages at all on some programme numbers, remove the favourite page function by storing the page number 100 on each coloured button.

Sub-pages

Some teletext pages consist of several sub-pages. The sub-pages are denoted for example by 123/02, which means the second sub-page of the page 123.

Sub-pages are scrolled automatically at an interval set by the TV station. You can keep the page on the screen by pressing the STOP button.

In models with 512 page memory, you can select sub-pages also by pressing the cursor button (left or right). If the sub-page number displayed on the screen is red, either the sub-page is empty or the TV is waiting for the transmission that includes that particular sub-page.

MIX function

When in the teletext reception mode, press the MENU button (under the lid) followed by the yellow button. Now a teletext page and a TV programme will be displayed simultaneously (MIX). Return to normal teletext reception by pressing the TEXT button, or to TV programme reception by pressing the TV button.

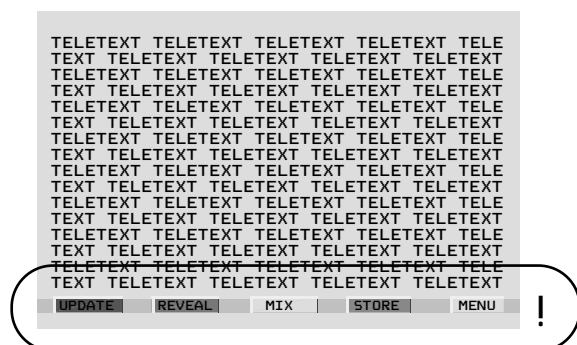
Update reception

When in teletext mode, select the required teletext page and press the MENU button (under the lid) followed by the red button. Now you can continue watching the TV programme and when the page is updated, the title line will appear on the screen. Press the TEXT button to view the received page, and after reading press the red button again to continue programme reception. Return to normal TV reception by pressing the TV button.

Note! During update reception it is not possible to select another TV programme.

Hidden information

Hidden information (e.g. answers to quizzes) can be revealed by pressing the MENU button (under the lid) and then green button. The text disappears when the green button is pressed again.



TOP teletext (available in Germany)

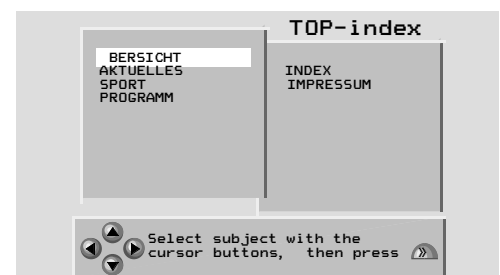
The TOP system provides menu-prompted guidance to enable you to select text pages quickly and easily.

Using the TOP index page

During teletext reception select the TOP index page by pressing the i button (under the lid). Select the required subject area (in the left hand text field) or individual subject (in the right hand text field) by using the cursor buttons and confirm by pressing the OK button.

Using the coloured buttons

Use the blue button to select subject areas and the yellow button to select individual subjects. You can move forwards in the individual pages of a subject using the green button and backwards with the red button.

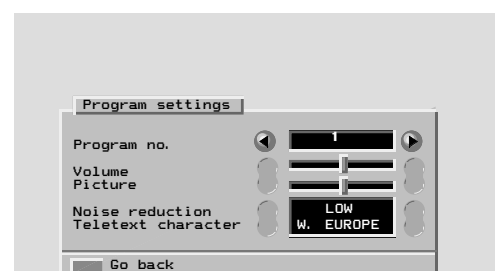


Selecting teletext programme settings

- 1 Press the MENU button (under the lid).
- 2 Select the option "Program settings" and confirm with the OK button.
- 3 Select the required programme.
- 4 Follow instructions on the screen.
 - Teletext character - To select the correct character set.
 - Teletext subpages (only in models with 512 page memory) - Select COLLECT to scroll sub-pages with the cursor buttons. Select ROLLING to scroll sub-pages automatically.

For information on other functions in this menu, see the section "Programme settings".

These adjustments only affect the selected programme number.



Switching the TV set to stand-by with a timer

- 1 Press the MENU button (located under the lid).
- 2 Select the option "Timers" and confirm with the OK button.
- 3 Select the required timer function and follow instructions on the screen.

Sleep Timer

You can select the time after which the TV set will switch off to stand-by. If you want to cancel the timer, select OFF.

Off timer

Off timer switches the TV set off to the stand-by mode if no remote control button has been pressed for 3 hours. If you select ON, "Off timer" is activated every time you switch the TV set on. If you don't want to use this function at all, select OFF and press the OK button.



Front panel lock

When the front panel buttons are locked, the TV set can only be operated using the remote control.

- 1 Press the MENU button (under the lid).
- 2 Select the option "Front panel lock" and press the OK button.
- 3 Press the cursor button to right to set the lock ON or OFF.
- 4 Store by pressing the OK button.



Parental lock

When a programme is locked, it cannot be viewed without entering a code. The code is a 4-digit number, selected by the user when locking the programme. Also access to the menus is denied when one of the programmes is locked.

Locking a programme

- 1 Press the MENU button (under the lid).
- 2 Select the option "Locking" and press the OK button.
- 3 Select the required programme from the list with the cursor buttons. Then follow the instructions on the screen.

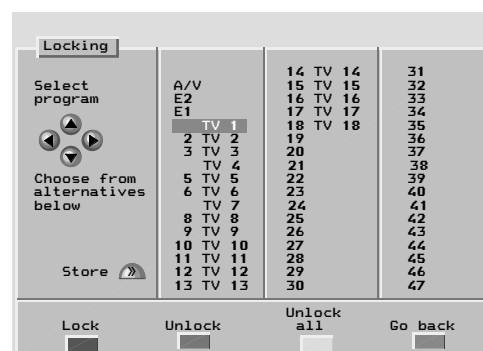
After switching off, a locked programme cannot be selected without entering the number code.

Viewing a locked programme

When you select a locked programme the TV set asks you to enter the 4-digit code number to view it.

Cancelling the parental lock

Repeat the procedure described under the section "Locking a programme". Select "Unlock" to cancel locking of selected programme or select "Unlock all" to cancel all programme lockings. Store in memory with the OK button.



Sound and picture controls

Sound set-up

Storing new sound settings

- 1** Press the green button to select the Sound menu.
- 2** Select the required option with the cursor buttons (up or down).
 - Audio - Standard setting is STEREO. If there is noise, or the transmission is weak, select MONO to improve sound quality.
 - Sound channel - In case of a bilingual transmission select the sound channel you require.
 - Tone - See the section "Sound controls".
 - Separation - To turn on or off the wider sound reproduction.



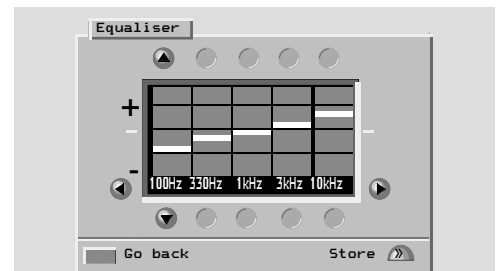
- 3** If you want to store the changed values in the memory, press the OK button.

Adjustments in the options Audio, Sound channel and Tone only affect the selected programme channel. Separation and Equaliser affect all programme channels.

Adjusting bass and treble

- 1** Press the green button twice.
- 2** Use the cursor buttons to adjust sound tone.

The lowest tones are adjusted in the the left columns and the higher tones in the right columns. In each column, when the bar is below the centre line, the selected tone is de-emphasized. The higher above the centre line you move the bar, the more emphasis is given to that particular tone.

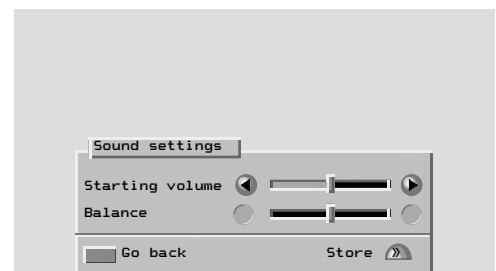


- 3** If you want to store the changed values in the memory, press the OK button.

Sound settings

- 1** Press the green button to select the Sound menu.
- 2** Press the red button to show the Sound settings menu.
- 3** Use the cursor buttons to adjust start-up volume or balance.
- 4** If you want to store the changed values in the memory, press the OK button.

These adjustments affect all programme channels.

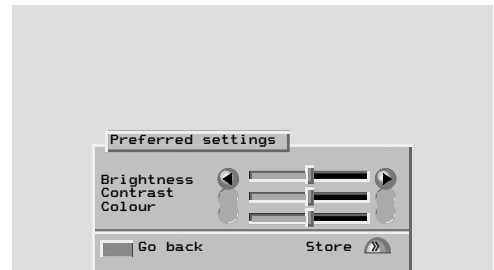


Picture set-up

Storing new preferred settings

Stored picture adjustments affect all programme channels.

- 1 Press the yellow button twice.
- 2 Adjust the required setting with the cursor buttons.
- 3 If you want to store the changes, press the OK button.



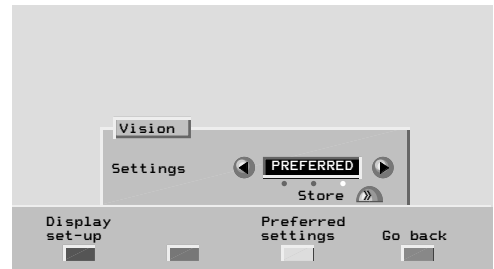
Changing display set-up and the menu language

- 1 Press the yellow button to select the Vision menu.
- 2 Press the red button to select the Display set-up menu.
- 3 Change the settings with the cursor buttons.

Settings available in this menu:

- Program number - Permanent display of programme number.
- Volume bar - Display of volume bar.
- Menu language - Screen display language selection.
- Sharpness - Picture sharpness control.
- Tint - Colour temperature adjustment (red-blue balance).
- Picture tilt (not in all models) - The Earth's magnetic field may influence the image orientation on large screen TV sets. You can compensate for it with this function.

- 4 If you want to store the changes, press the OK button.



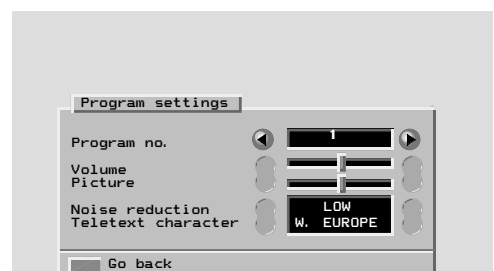
Programme settings

This function allows you to compensate for the difference in sound volume and picture contrast between programme channels. Noise reduction setting (not available in all models) allows individual channel picture noise to be reduced to improve picture quality.

- 1 Press the MENU button (under the lid).
- 2 Select "Program settings" by pressing the cursor button (up or down).
- 3 Press the OK button.
- 4 Select the required programme number by pressing the cursor buttons (left or right) or the number buttons.
- 5 Change the settings with the cursor buttons.
- 6 If you want to store the changes, press the OK button.

Each programme channel must be adjusted separately.

Teletext functions are described in the section "Teletext".



Tuning in programme channels

Displaying the Tuning menu

All tuning options are selected from the Tuning menu.

- 1 Press the MENU button (under the lid).
- 2 Select the option "Tuning" by pressing the cursor buttons (up or down).
- 3 Confirm the selection by pressing the OK button.
- 4 Select the required alternative with the cursor buttons, then follow instructions on the screen.

Automatic retuning

Select this option to delete previously tuned programme channels and replace them with new ones. The TV set will sort programmes into the factory preset order.

Add new programs

Select this option when you want to search for and store programme channels that have not been tuned in previously.

Clear all programs

Select this option when you want to retune the TV set completely. The TV set will repeat the steps described in the section "First time installation".

Manual tuning

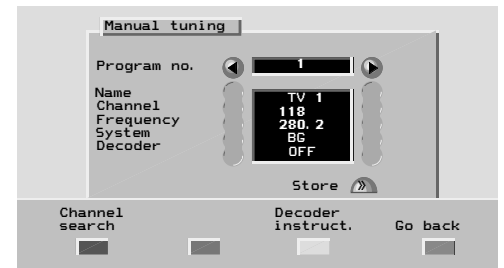
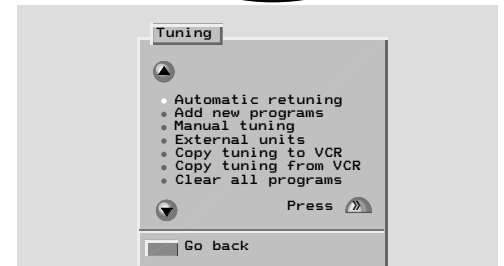
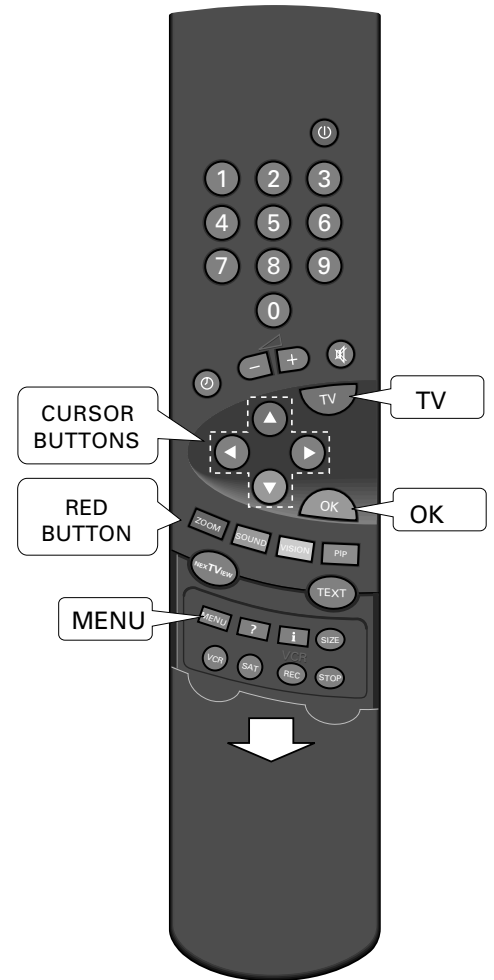
- 1 Repeat steps 1-3 above and select "Manual tuning".
- 2 In the option "Program no.", select the programme number with the cursor buttons (left or right).
- 3 Start the channel search by pressing the red button.
- 4 If the programme is not the one you require, press the red button again.

If the programme is not transmitted using the PAL BG standard (resulting in a picture with no colours or no sound), alter the "System" setting (for multistandard sets only).

The other options available are:

- Name - Direct access to the Name menu.
- Channel - Channel number.
- Frequency - Channel frequency setting (fine tuning).
- System - Sound/colour system selection (for multistandard TV-sets only).
- Decoder - Signal selection for external decoder (optional).

- 5 Store in memory by pressing the OK button.
- 6 Return to TV programme reception by pressing the TV button.



*System selection:
(For multistandard TV sets only)*

BG	Western Europe, Near East, North Africa
DK	Eastern Europe
L	France
UK	The United Kingdom, Ireland, Hong Kong

Programme from a NTSC video recorder can be viewed, if the video recorder is connected to the TV set with a Scart cable.

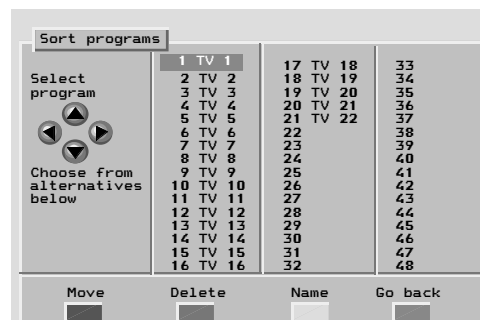
Editing the programme list

The option "Sort programs" allows you to edit the programme list to suit your own viewing preferences. You can also store a broadcast identifier for each programme number to make the identification of an individual programme channel easier, e.g. BBC1.

- 1 Press the MENU button (located under the lid).
- 2 Select the option "Sort programs" and confirm with the OK button.
- 3 Follow the instructions on the screen.

The options available are:

- Move - To reorder the programme channels.
- Delete - To delete a programme channel.
- Name - To give a name to individual programme channels.



External devices

Connectors

On the rear panel

The illustration shows how equipment should be connected to your TV set. For the best sound and picture quality, we recommend that you use the Scart connectors whenever possible.

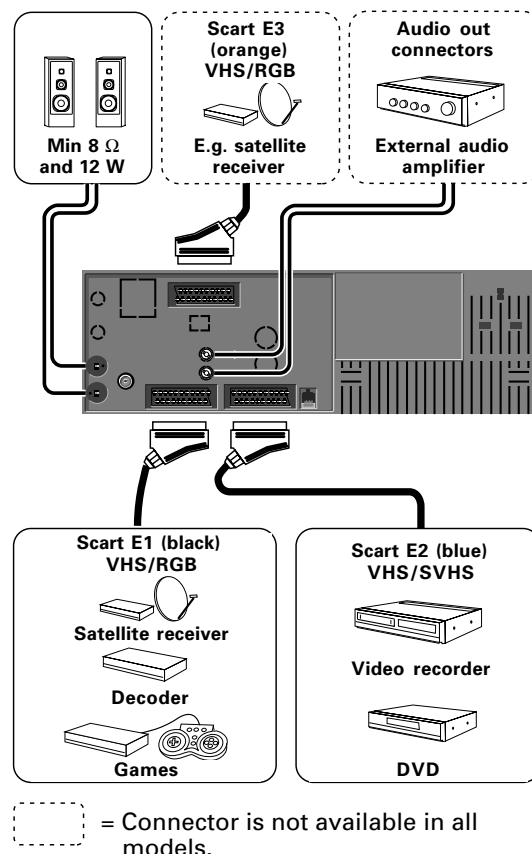
The Scart E2 connector is preset for VCR use. To change E2 settings for use with other equipment, see the section "Setting up external devices".

Viewing a programme from external devices

Select the programme by pressing the 0 button (several times) on the TV remote control.

The programmes, listed below, must be set up before they are available. For information on setting up programmes for external devices, see the section "Setting up external devices".

For connector	Select programme number
Scart E1	E1
Scart E2	E2 (preset for VCR)
Scart E3	E3 (not in all models)
AV	A/V

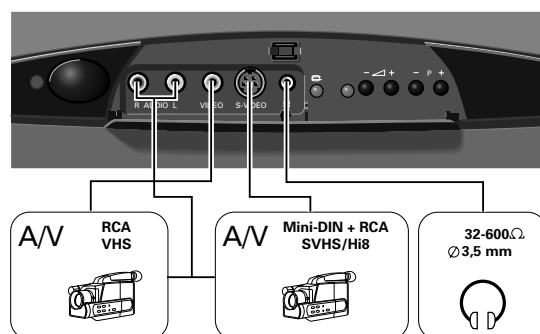


On the front panel

The connectors on the front panel are located behind a flap, which opens by first pressing its upper edge inwards and then tilting it down.

To change the headphone sound volume

When the headphones are connected, you can change headphone sound volume by using the +/- button. You can silence the sound from the loudspeakers by pressing the sound mute button (M).



Setting up external devices

If you are connecting a VHS video recorder to the Scart E2 connector, the VCR is ready for use after connecting the cables.

If you are connecting a decoder, see also instructions in the section "Connecting a decoder".

For other devices, the TV will display settings, which you need to confirm by following the instructions below.

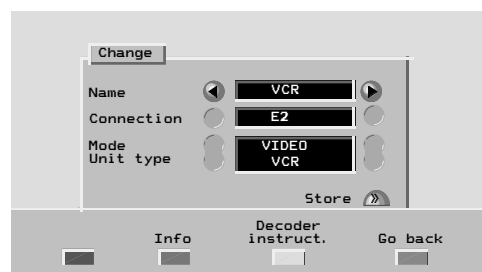
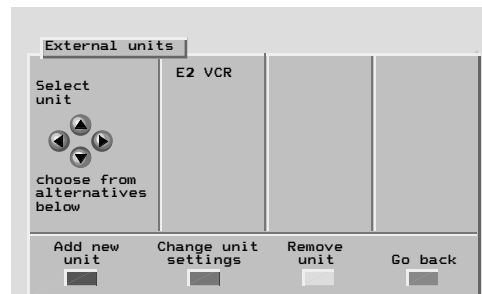
- 1 Connect the cables as shown in the illustrations in the section "Connectors".
- 2 Switch on your TV and the device you are connecting.
- 3 Press the MENU button (located under the lid).
- 4 Select the option "Tuning" and confirm with the OK button.
- 5 Select the option "External units" and confirm with the OK button.
- 6 Press the red button (Add new unit).
- 7 Select the required device from the list and press the OK button.
- 8 Check that the device is connected to the connector that is mentioned in the menu that appears on the screen. Confirm the selection by pressing the OK button.

Your device is now ready for use.

Changing the input settings

You can change the input settings for any connector. This may be necessary, for example, when you are connecting several devices or when the input settings have been changed.

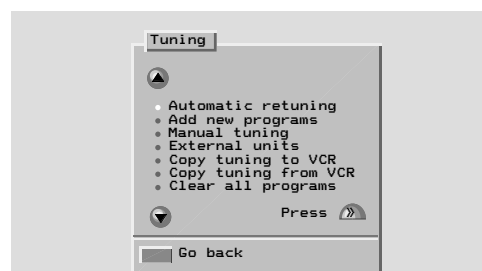
- 1 Repeat steps 1-5 above.
- 2 Select the required device from the list.
- 3 Press the green button to display the Change menu.
- 4 Follow the instructions on the screen.



Copying tuning information to or from a VCR

If your VCR has the nexTVLink-link feature, you can copy tuning information from the VCR to the TV set, or vice versa. The advantage is having the same tuning information both on your TV and your VCR, which reduces mistakes in recording programmes.

- 1 Press the MENU button (located under the lid).
- 2 Select the option "Tuning".
- 3 Select the desired copy function.
- 4 Press the OK button to start copying.



Recording a programme through the TV set

You can record a satellite programme from an external satellite receiver or copy a self made camera recording while watching it. Connect the video recorder to be used for recording to the blue Scart E2 connector. It is not possible to record an SVHS programme through the TV set.

Example: Recording from a VHS video camera

Connect the video camera to the AV connectors on the TV set front panel.

- 1 Turn on the video camera. Select the A/V programme number by pressing the 0 button (see "Setting up external devices").
- 2 When the programme is shown on the TV, press the REC button (located under the lid).

- 3 Activate the copy function by pressing the OK button.

- 4 Switch on the video recorder and turn it to the EXT or AV position (recording from an external device). Start recording on the VCR.

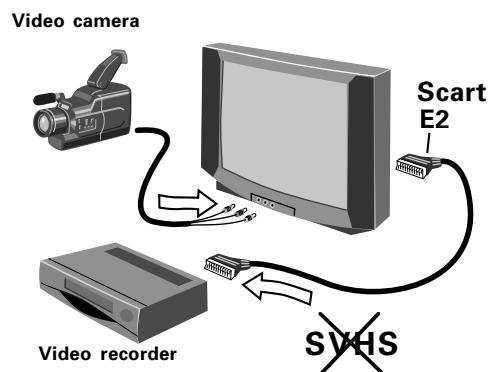
The VCR symbol is shown on the screen during recording.

If you have locked a TV programme number to a video recorder it is not possible to select any other TV programme number.

Cancelling the lock function

After recording, you need to cancel the lock function to be able to view the TV programme.

- 1 Press the REC button (located under the lid).
- 2 Cancel the lock function by pressing the OK button.



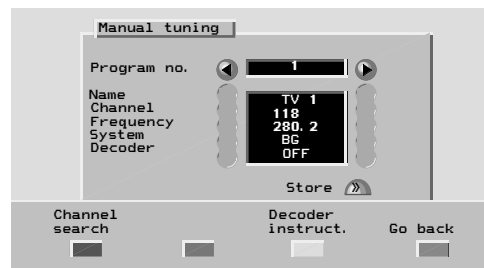
Connecting a decoder

If you have a decoder that has an aerial cable connected to it, follow instructions in the section "Setting up external devices". Select "Decoder" in step 7 (when the "Add new unit" menu is displayed).

If your decoder is connected to the TV set with a Scart cable only, connect the decoder to the Scart E1 (or E3, not in all models) connector. Then follow the steps below.

Connecting a decoder to a Scart connector

- 1 Select the required programme.
- 2 Press the MENU button (located under the lid).
- 3 Select the menu line "Tuning" and confirm with the OK button.
- 4 Select the menu line "Manual tuning" and confirm with the OK button.
- 5 Select the option "Decoder" and change it to D1, D2 (D3, D4) or OFF.
 - If you are connecting to Scart E1:
 - Select D1 if both the picture and sound are scrambled.
 - Select D2 if only the picture is scrambled.
 - If you are connecting to Scart E3 (not in all models):
 - Select D3 if both the picture and sound are scrambled.
 - Select D4 if only the picture is scrambled.
- 6 Store in memory by pressing the OK button.



Remote control of external devices

You can control several types of video recorders and satellite receivers using the TV set remote control hand unit.

Programming the remote control unit

After inserting the batteries, the text "VCR mode not programmed" (or "SAT mode not programmed") appears on the screen when you press the VCR (or SAT) button. Simply follow the instructions on the screen to enter the correct number.

Operating your VCR/DVD

For VCR hold the VCR button (under the lid) down and simultaneously press the required function button. For DVD hold the button which is programmed for DVD use (VCR or SAT) down and simultaneously press the required function button. The list below is meant to be a guideline for the most common functions.

⏻	Switching on/off
0...9	Entering a programme number (VCR)
Cursor up/down	Selecting a programme number (VCR)
Red	Stop
Green	Rewind
Yellow	Fast forward
Blue	Play
REC	Recording (VCR)
STOP	Pause (DVD)

Operating your satellite receiver

Hold the SAT button (under the lid) down and simultaneously press the required function button. The list below is meant to be a guideline for the most common functions

⏻	Switching off (to stand-by)
0...9	Entering a programme number
Cursor up/down	Selecting a programme number

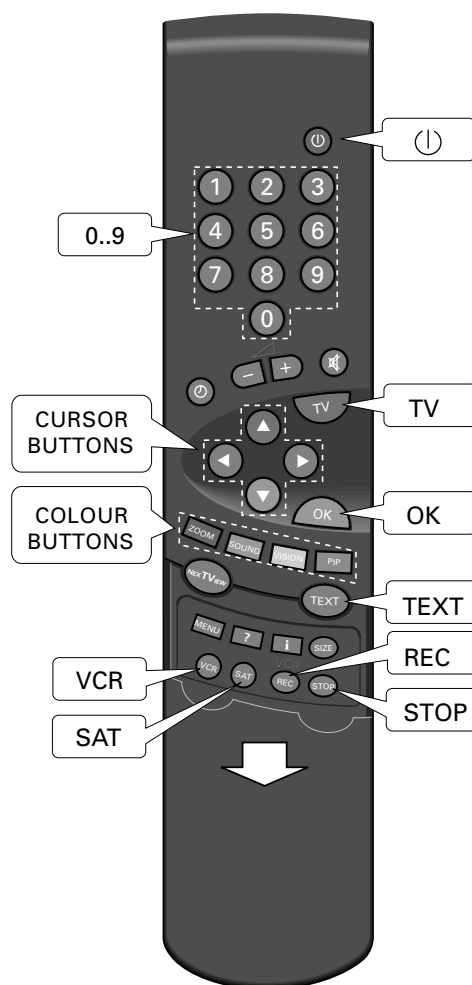
Changing the operating code

You can change the VCR or satellite receiver operating code by following these steps:

1. Remove the remote control batteries and press the TV button.
2. Insert the batteries.
3. Hold the VCR (or SAT) button down and press the ?-button followed by the OK button.
4. Enter the code with the number buttons.
5. Follow instructions on the screen.

Code	VCR
001	Akai
002	Finlux, Hitachi
003	Nokia, Luxor, Salora, Sanyo
004	Nokia, Finlux, Luxor, Salora, Sharp
005	Finlux, Philips
Code	Satellite receiver
001	Nokia, Finlux, Luxor, Salora
002	Finlux SR5800, SR5750
003	Finlux SR4200
004	Nokia, Luxor, Salora
005	Pace
Code	DVD player
006	Akai

If your device does not respond to any of the above code numbers, the remote control unit cannot be used to control your device.



Before you call a serviceman

Problem	Solution
After a power failure, thunderstorm, etc. a malfunction may occur. Example: The receiver does not respond to the remote control commands.	Switch off the receiver by using the mains switch, wait for about 10 seconds and switch the receiver on again.
Regular vertical or diagonal lines are shown on the screen.	Connect a double shielded aerial cable between the aerial connector of the receiver and the aerial wall socket.
The colour purity of the picture tube is poor.	Switch off the TV set by using the mains switch and allow it cool down for about 15 minutes. When the TV set is switched on again, automatic degaussing of the picture tube maintains the colour purity.
Permanent distortion on the screen (on its edges).	Move all devices causing strong magnetic fields, e.g. additional loudspeakers farther away from the TV set. Switch off the TV set by using the mains switch and allow it cool down for about 15 minutes. When the TV set is switched on again, automatic degaussing of the picture tube maintains the picture format and colour purity.
When selecting a programme number (not E programme number), either a programme from a device connected to the Scart E1 connection is shown, or there is no picture at all on the screen.	Check that the Decoder setting in the Manual tuning menu is set to OFF.
Some programme channels or menus cannot be selected, or the message "Enter code number to open lock" appears on the screen.	See instructions in the section "Parental lock". If you have lost the code number, use the sequence 1-5-9-red "ZOOM" button on the remote control unit to open the lock.

Technical data

System

Mains power

Power consumption

Power consumption in stand-by

Picture tube

Frequency range

Programme memory locations

AV memory locations

Sound output

Connections on the front panel

Headphones

Audio/Video

Connections on the rear panel

Audio/Video (Scart)

Audio out

Ext. loudspeakers

Antenna

PAL B, G

NTSC 3.58/4.43 via Scart connector

210-240 V, 50 Hz

135 W (normal)

max. 0,2 W

28"/71 cm, 29"/74 cm

48.25 - 855.25 MHz

99

3

2 x 10 W_{RMS}/8 Ω

32...600 Ω, 3,5 mm

Audio in: 0 - 2 V_{RMS}/1 kΩ

Video in: 1 V/75 Ω

Y/C in (SVHS)

Audio in: 0 - 2 V_{RMS} /1 kΩ

Audio out: 0 - 2 V_{RMS} /10 kΩ

Video in/out: 1 V/75 Ω

RGB in: 0,7 V/75 Ω (E1)

Y/C in (SVHS) (E2)

0 - 2 V_{RMS}/10 kΩ (RCA)

min. 10 W_{RMS}/8 Ω

75 Ω, coaxial cable

Specifications are subject to change.

HITACHI HOME ELECTRONICS (EUROPE) Ltd.
Hitachi House, Station Road, Hayes,
Middlesex. UB3 4DR,
UNITED KINGDOM
Tel. 0181 849 2000

HITACHI HOME ELECTRONICS (HELLAS) S.A.
91, Falirou Street, 117 - 41 Athens,
GREECE
Tel. 01-924-2620

HITACHI SALES EUROPA GmbH
Am Seestern 18,
40547 Düsseldorf,
GERMANY
Tel. 0211 529150

HITACHI SALES ITALIANA SPA
Via Gulli n.39
20147 MILANO
ITALY
Tel: 0039-2-487861

HITACHI FRANCE (RADIO-T.V.-ELECTRO-MENAGER) S.A.
4, Allée des Sorbiers,
Parc d'activité du Chêne,
BP 45
69671 Bron cedex,
FRANCE
Tel. (33) 04-72-14-29-70

**ITEM N.V./S.A. (INTERNATIONAL TRADE FOR
ELECTRONIC MATERIAL & MEDIA N.V./S.A.)**
UCO Tower - Bellevue, 17 - 9050 GENT
BELGIUM (for BENELUX)
Tel: (32) 09 230 4801

HITACHI SALES IBERICA, S.A.
Gran Via Carlos Tercero.101,1 -1
Barcelona 08028
SPAIN
Tel. +34 93 330 86 52

**HITACHI HOME ELECTRONICS
(NORDIC) AB**
Haukadalsgatan 10
Box 77
164 94 KISTA
SWEDEN
Tel: +46 8 562 711 00

HITACHI HOME ELECTRONICS NORWAY
Brugata 14
N - 0186 OSLO
NORWAY
Tel: + 47 9 2205 9060
Fax: + 47 9 2205 9061

HITACHI

HITACHI LTD. TOKYO JAPAN
International Sales Division,
THE HITACHI ATAGO BLDG.
No. 15 -12 Nishi Shinbashi, 2 - Chome,
Minato-Ku, Tokyo 105, Japan
Tel. Tokyo 3 32581111